

# RISC-V Day Vietnam 2022

## Ngày RISC-V Việt Nam 2022



## RISC-V Products and Activities in Japan

### Các sản phẩm và hoạt động của RISC-V tại Nhật Bản

January 15, 2022

Shumpei Kawasaki

Ippan Shadan Houjin RISC-V Kyokai,  
RISC-V Alliance Japan



@risc\_v  
@riscv\_a

# Agenda



1. Why are we advocating RISC-V ?
2. Ten Properties that Makes RISC-V Special
3. RISC-V and Open Silicon
4. RISC-V in Japan
5. Conclusions

1. Tại sao chúng tôi ủng hộ RISC-V?
2. Mười thuộc tính làm cho RISC-V trở nên đặc biệt
3. RISC-V và Open Silicon
4. RISC-V ở Nhật Bản
5. Kết luận

# 1. Why are we advocating RISC-V?

1. Tại sao chúng tôi ủng hộ RISC-V?

# Presenter Bio



<Age of 32-bit MCUs>

1980-1986 68450 DMAC, AI32, TRON FPU

1988-2001 SH, Saturn, Dreamcast Chipset

1994 16-bit Fixed-Length Instruction 2545 Patent

<Age of Security Software>

2001 Left Hitachi for its Silicon Valley subsidiary

Java Card <sup>TM</sup> → Secure Element Software

2001-2003 C Language Crypto Library → US Router

2004-2008 Secure Operating System → Smart Phone

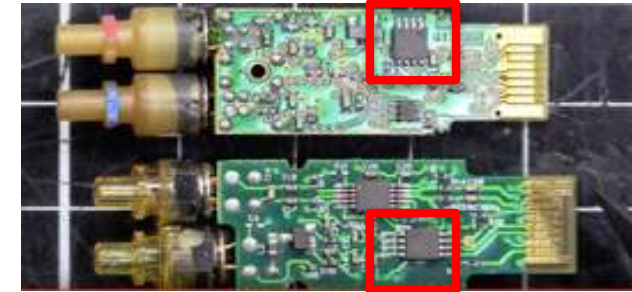
2008-2010 FIPS140-2 Level 3 → Secure Token

<Age of Wireless IoT>

2013 Left Renesas to work on → Wireless IoT

2016 Joined RISC-V Foundation

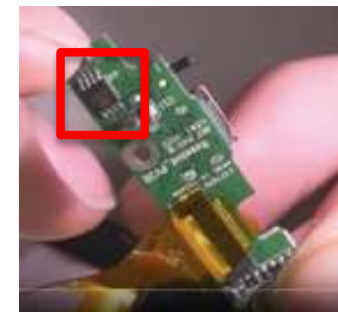
Optical Switch (Router)



Thunderbolt Cable (Smart Phone)

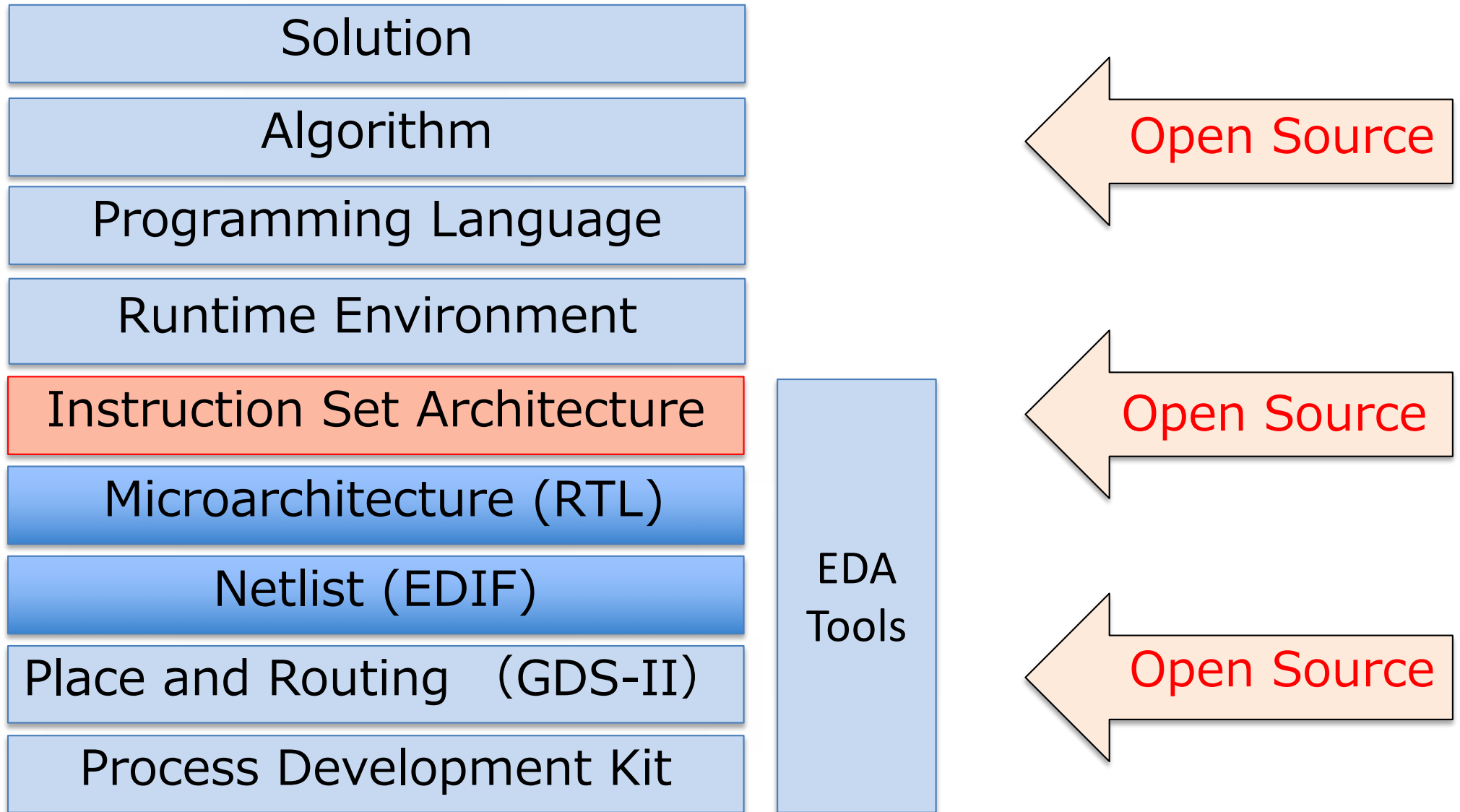


MFI Accessory (Smart Phone)



# What is RISC-V?

## Abstraction Layers of Computer



# RISC-V Kyokai

## Hiệp hội RISC-V



- Started 2016
- Incorporated as a Japanese non-profit entity in 2021.
- Purposes Proliferation of:
  - RISC-V Products and Technologies
  - Enabling Technologies of RISC-V
  - Open Silicon
  - Computer Science and Electronics
- Bắt đầu năm 2016
- Được thành lập như một tổ chức phi lợi nhuận của Nhật Bản vào năm 2021.
- Mục đích Phổ biến:
  - Sản phẩm và Công nghệ RISC-V
  - Kích hoạt các công nghệ của RISC-V
  - Mở Silicon
  - Khoa học Máy tính và Điện tử

## 2. Ten Properties that makes RISC-V Special

2. Mười thuộc tính làm cho RISC-V  
trở nên đặc biệt

# Property 1: Modular 32/64/128 bit instruction set covers entire computer real world applications

- 32-bit ISA, 64-bit ISA, and 128-bit ISA is derived from one ISA.
- Only data length changes.
- Chisel language can generate hardware for all of these instructions in one hardware description.

MXL	XLEN
1	32
2	64
3	128

①レジスタ長の指定

Table 3.1: Encoding of MXL field in misa

Subset	汎用命令群G	Name
Standard General-Purpose ISA		
Integer		I
Integer Multiplication and Division		M
Atomics		A
Single-Precision Floating-Point		F
Double-Precision Floating-Point		D
General		G = IMAFD
Standard User-Level Extensions		
Quad-Precision Floating-Point		Q
Decimal Floating-Point		L
16-bit Compressed Instructions		C
Bit Manipulation	圧縮命令C	B
Dynamic Languages		J
Transactional Memory		T
Packed-SIMD Extensions		P
Vector Extensions		V
User-Level Interrupts		N
Non-Standard User-Level Extensions		
Non-standard extension "abc"		Xabc
Standard Supervisor-Level ISA		
Supervisor extension "def"		Sdef
Non-Standard Supervisor-Level Extensions		
Supervisor extension "ghi"		SXghi

②命令群の指定

Table 22.1: Standard ISA subset names.

Level	Encoding	Name	Abbreviation
0	00	User/Application	U
1	01	Supervisor	S
2	10	<i>Reserved</i>	
3	11	Machine	M

特権モード定義

Table 1.1: RISC-V privilege levels.

Number of levels	Supported Modes	Intended Usage
1	M	Simple embedded systems
2	M, U	Secure embedded systems
3	M, S, U	Systems running Unix-like operating systems

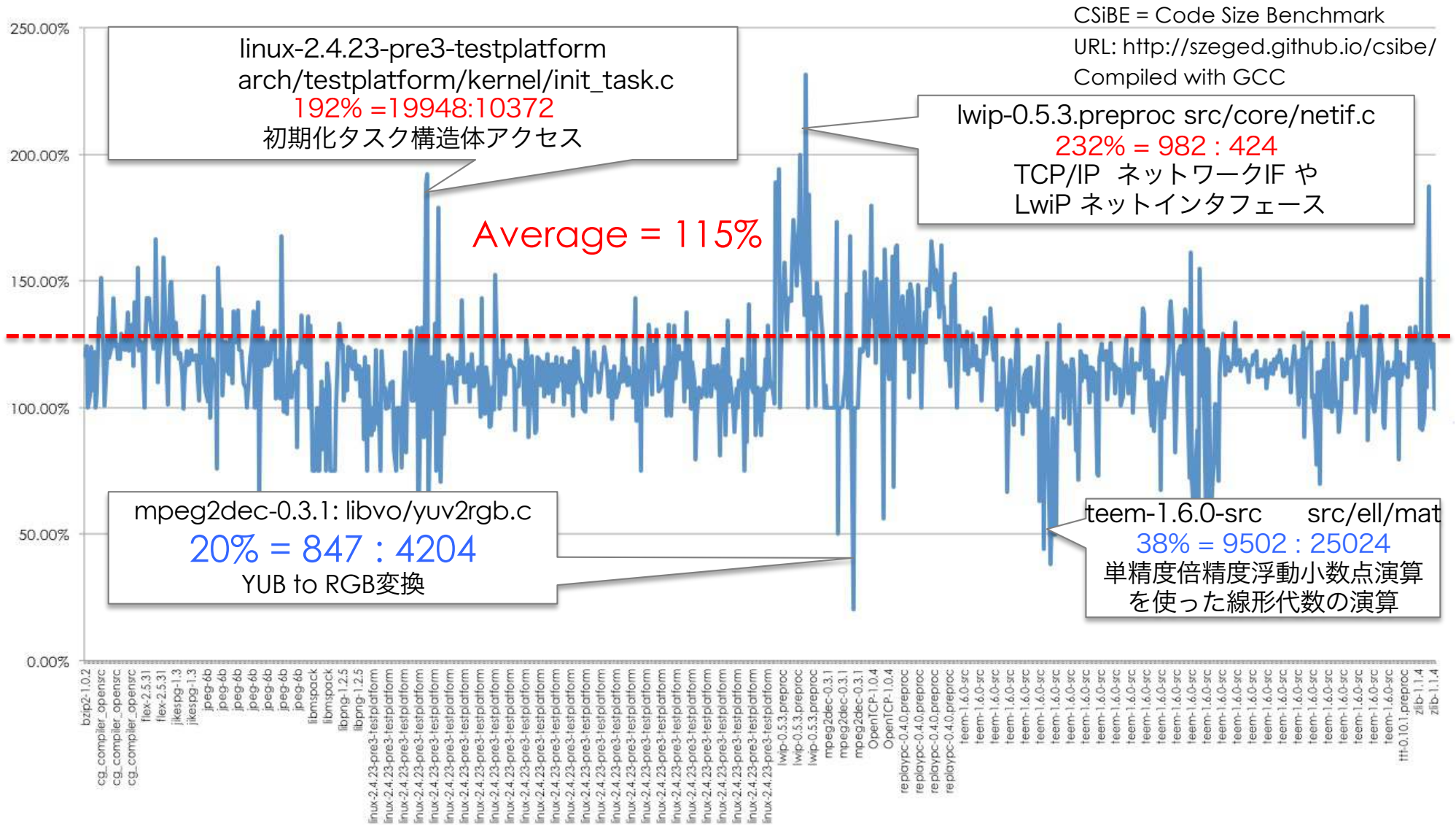
④特権モード構成の指定

Table 1.2: Supported combinations of privilege modes.

Source: SHC Poster Session Presentation at RISC-V Workshop 5 2016/11/29



# Property 2: Non-modal high-density instruction achieves efficiency and cost



Source: SHC Poster Session Presentation at RISC-V Workshop 5 2016/11/29

# Property 3: Rocket SoC Hardware Generator



Chip Complete: December 2018

Process: ROHM 180nm

Area: 3.75mm x 3.75mm

SRAM:

I \$ + D \$: 4KiB + 4KiB

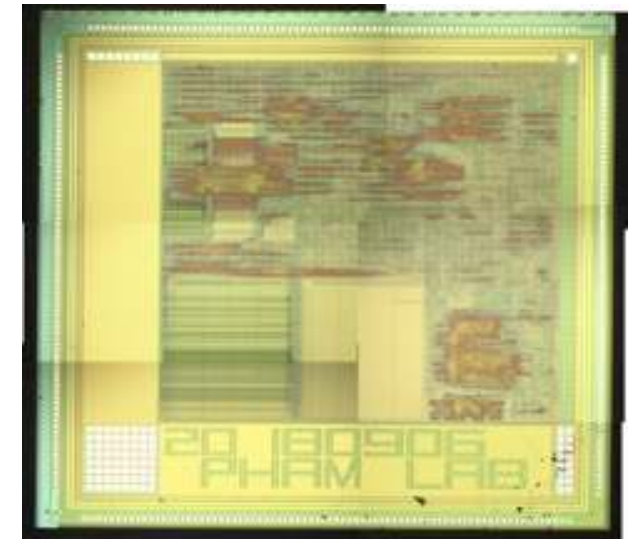
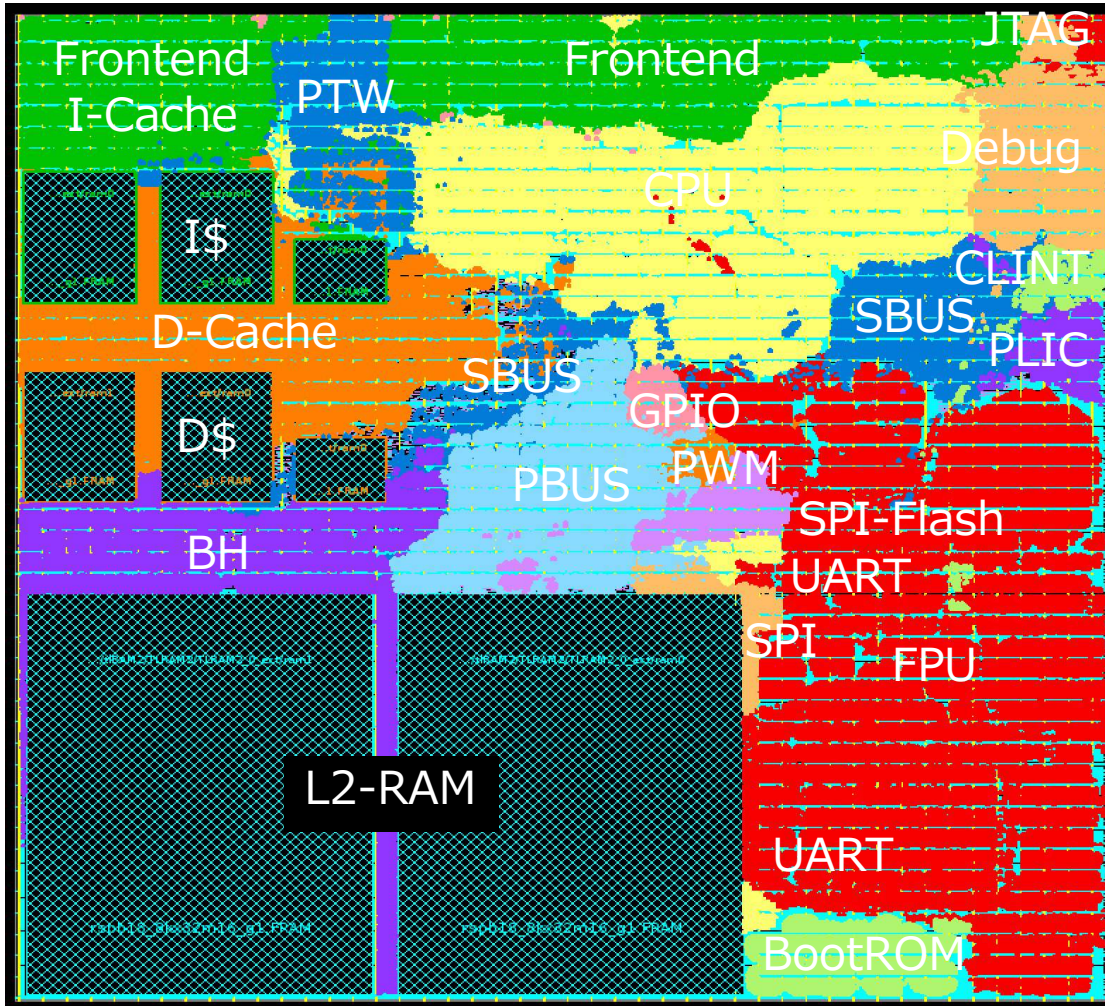
L2-RAM: 64KiB

Logical scale: 302KG

(Usage rate: 53%)

Frequency: 80MHz @typ

(Not optimized)

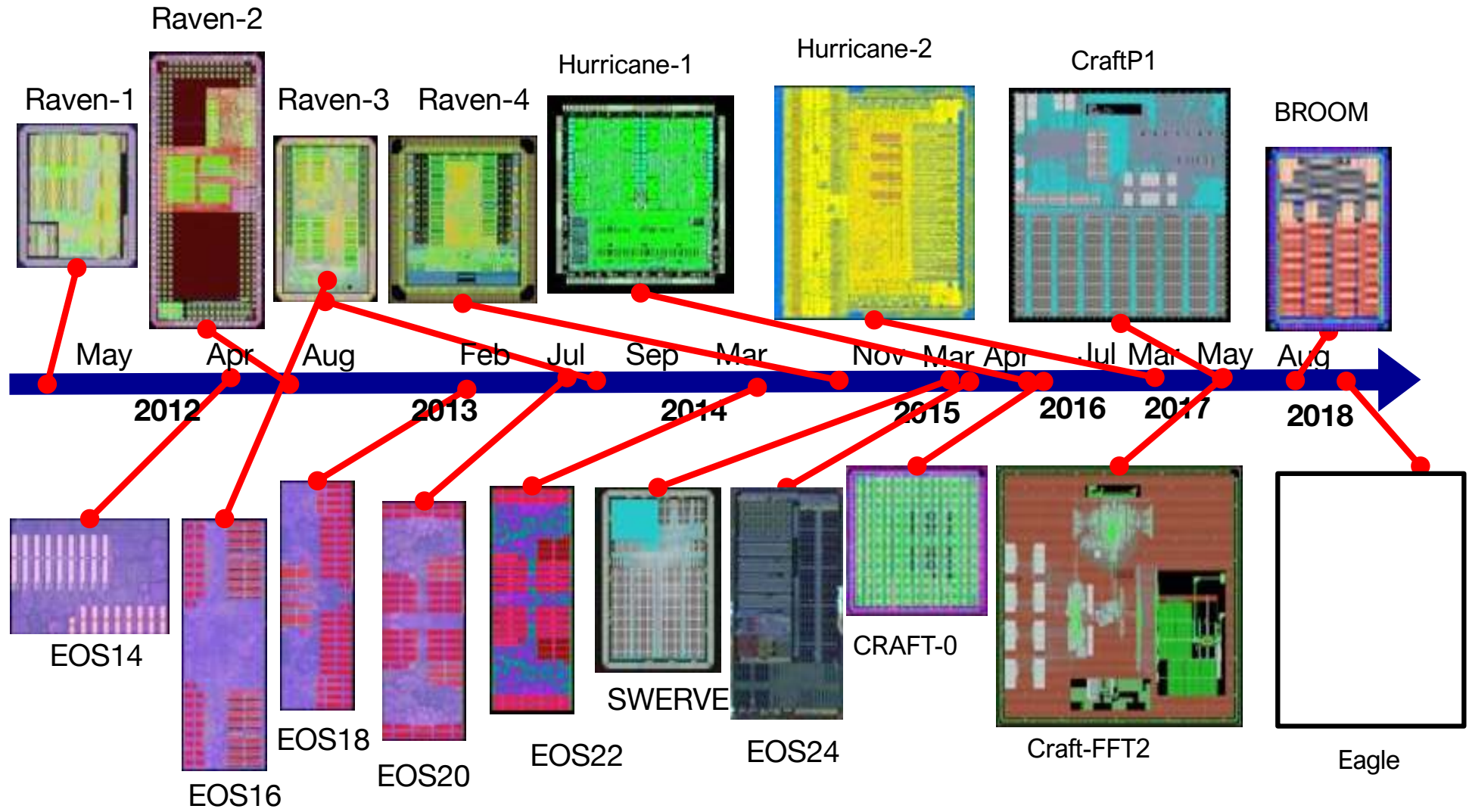


5mm x 5mm

Source: University of Electro-Communications, VDEC  
Designer's Remark: Designed on weekend nights. The actual design took less than a month

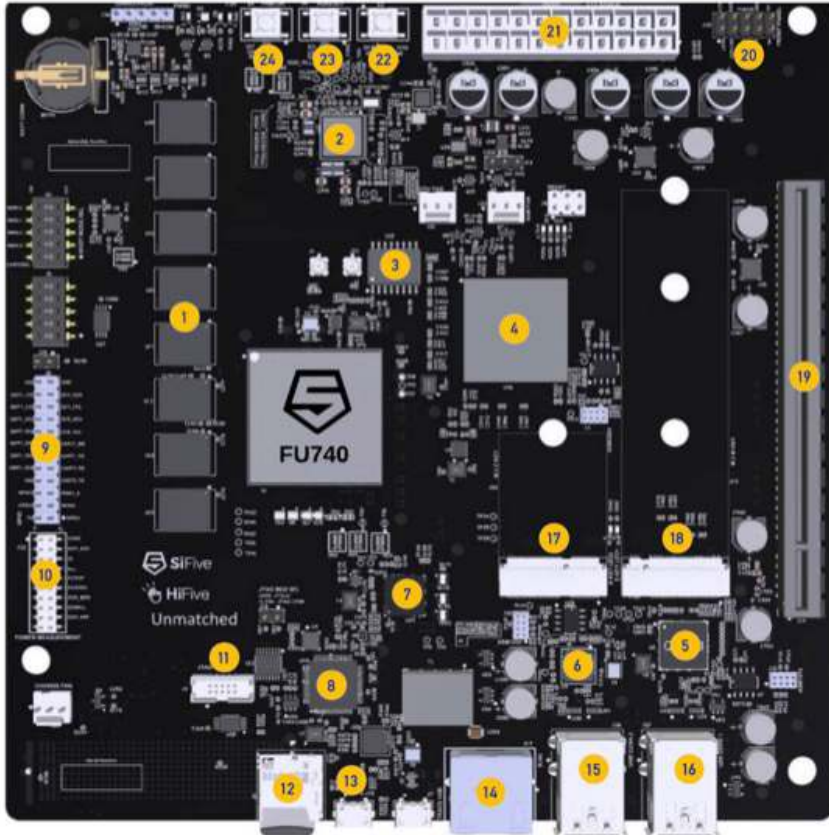


# Property 4: Chip and software implementation to validate architecture elements



Designed with IBM 45nm, ST 28nm FDOI, TSMC 28nm and 16nm FF, GF 14nm

# Property 5: PC, Cloud high-end resident software environment is being developed for RISC-V.



I can pretty much guarantee that as long as everybody does cross-development, the platform won't be all that stable. Or successful. Some people think that "the cloud" means that the instruction set doesn't matter. Develop at home, deploy in the cloud.

**Linus Torvalds** (torvalds.delete@this.linux-foundation.org), February 21, 2019 9:03 am

Source :  
[https://www.theregister.com/2019/02/23/linus\\_torvalds\\_arm\\_x86\\_servers/](https://www.theregister.com/2019/02/23/linus_torvalds_arm_x86_servers/)

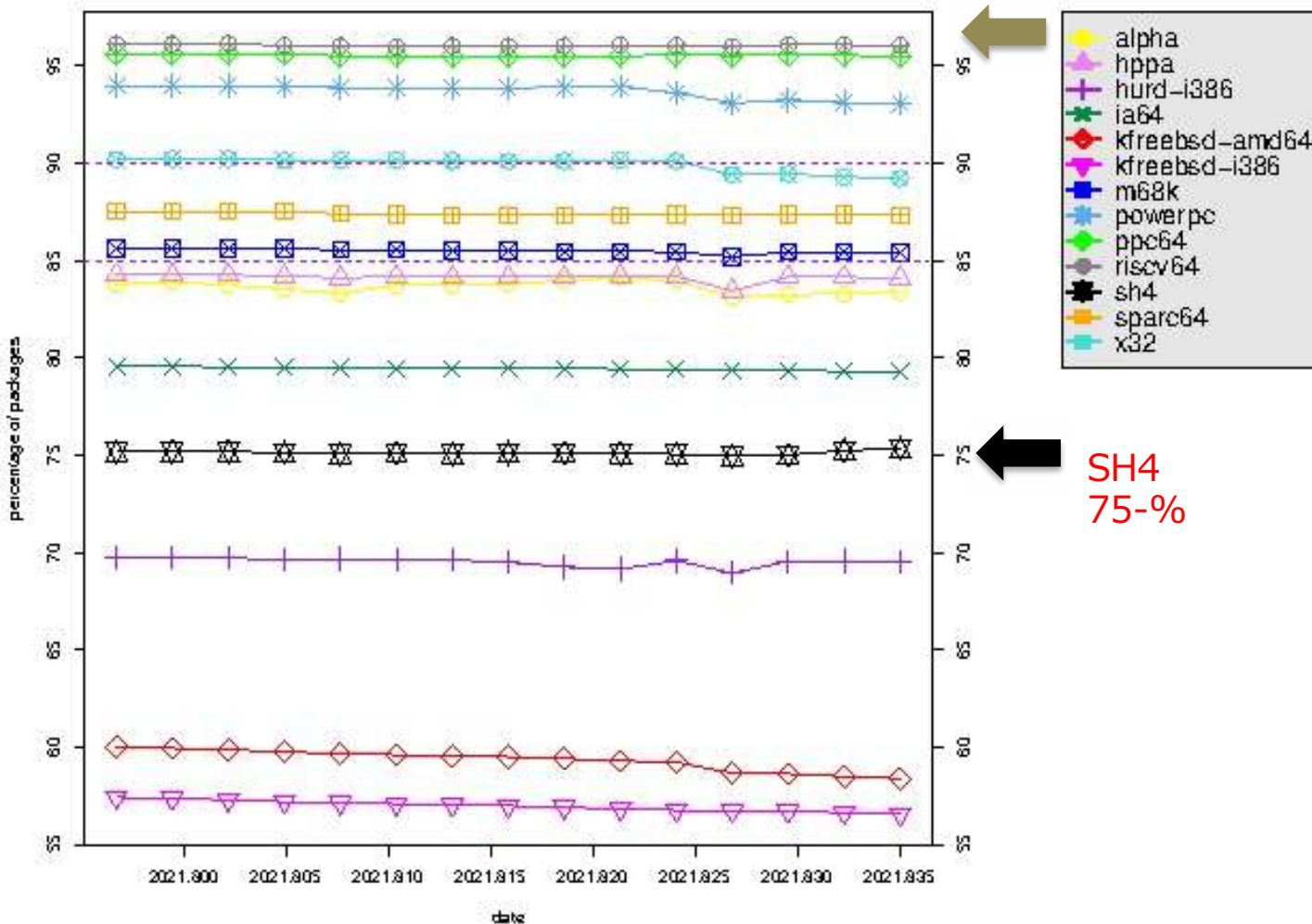
1	DDR4 SDRAM	7	Ethernet PHY	13	microUSB – UART Console	19	x16 PCIe Connector
2	PMIC	8	UART – USB Controller	14	RJ45 Connector	20	Front Panel Header
3	QSPI Flash	9	Expansion Header	15	x2 USB Connector	21	24-pin ATX power connector
4	PCIe Switch	10	Current Monitor	16	x2 USB Connector	22	FU740 Reset
5	USB Hub	11	JTAG Header	17	M.2 Key E Connector	23	Global Reset
6	PCIe - USB Bridge	12	microSD Card Slot	18	M.2 Key M Connector	24	On/Off Switch

写真提供 : SiFive社

Property 6: The software community is on RISC-V side.  
 Next goal is to become a “Debian official architecture”, a server and cloud grade platform.



What percent is built for each architecture (past two weeks)



RISC-V  
95+%

SH4  
75-%

Debian is the release of Linux with the most rigorous testing gimmicks. Efforts are being made p to upgrade RISC-V from a "Debian porting architecture" to a "Debian official architecture".

One requirement is that 95% or more of the software packages used in each era can be built.

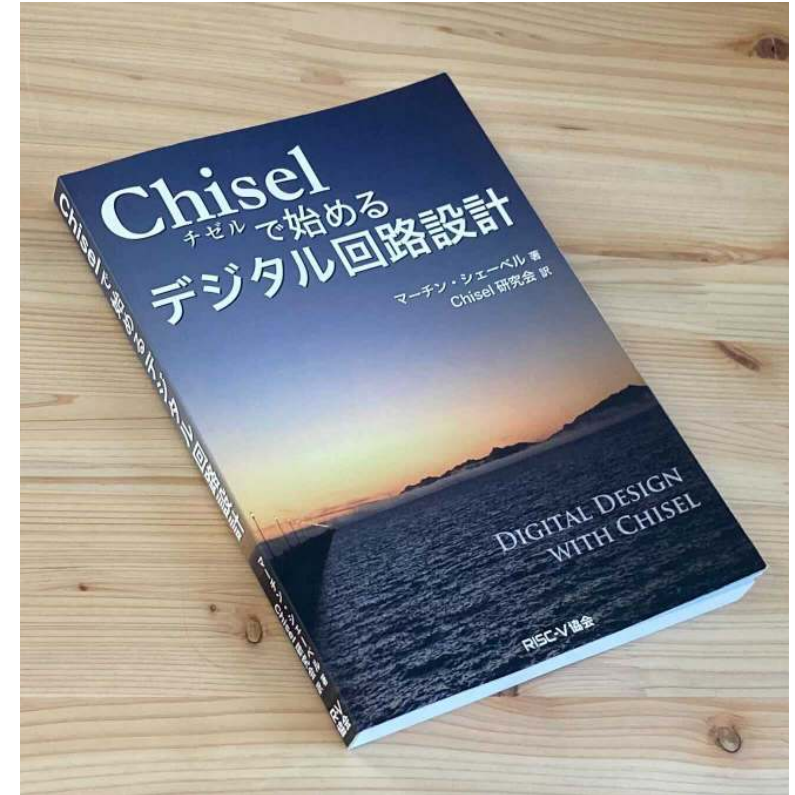
Exhibitor: Debian Official Architecture  
 (<https://buildd.debian.org/s tats/>)



# Property 7: Chisel Hardware Description Language has Integrated Hardware Generator

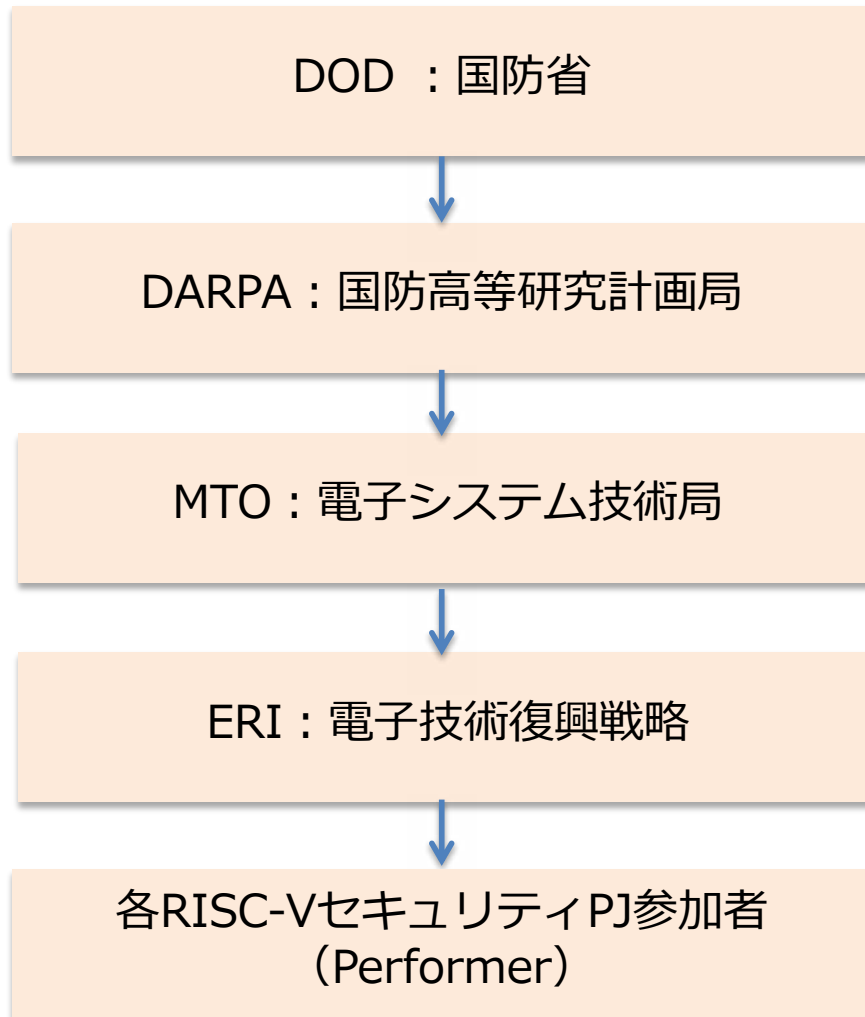


- Chisel's strength is the ability to write so-called hardware generators.
- Older hardware description languages such as VHDL and Verilog require the use of other languages such as Java and Python in order for hardware generation.
- With Chisel, designer can use features of Scala and Java libraries to build hers/his hardware hence the hardware generator can be programmed in the same language in the same environment.
- Parameterize, Type Definition Parameters, Bundle, Inheritance, Logic Generation...



2021年11月17日 第1版第1刷発行  
著者： マーチン・シエーベル  
訳者： Chisel 勉強会  
発行： 一般社団法人 RISC-V協会

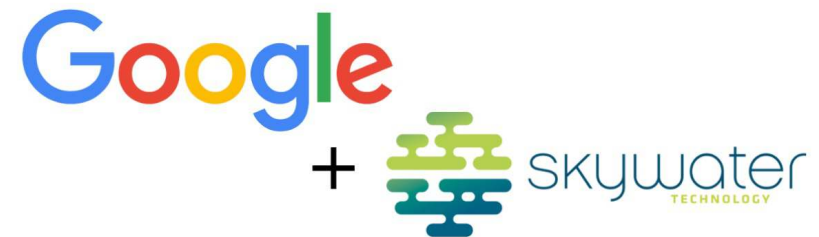
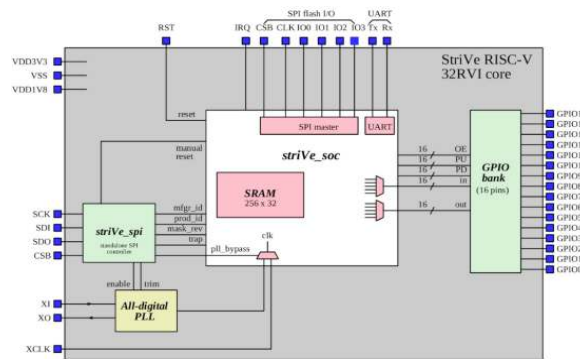
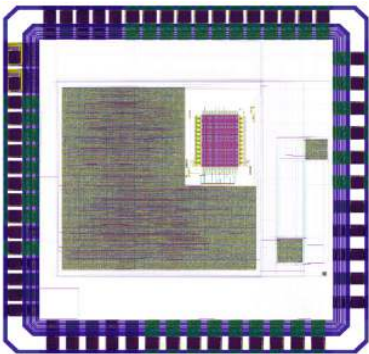
# Property 8: Strong Security Architecture Research



- In 2017, DARPA made RISC-V CPU a condition for DARPA funding for security architecture research.
- On Linux OP-TEE, Open Platform Trusted Execution Environment system is being developed. NEDO is backing this effort.

# Property 9: Core of Open Silicon

- Open source RISC-V design example by SKY130 PDK (Process Development Kit)
- Google and Skywater, Michigan, USA created a Free and Open Source PDK (process development kit) targeting Fab 130 nanometer process.

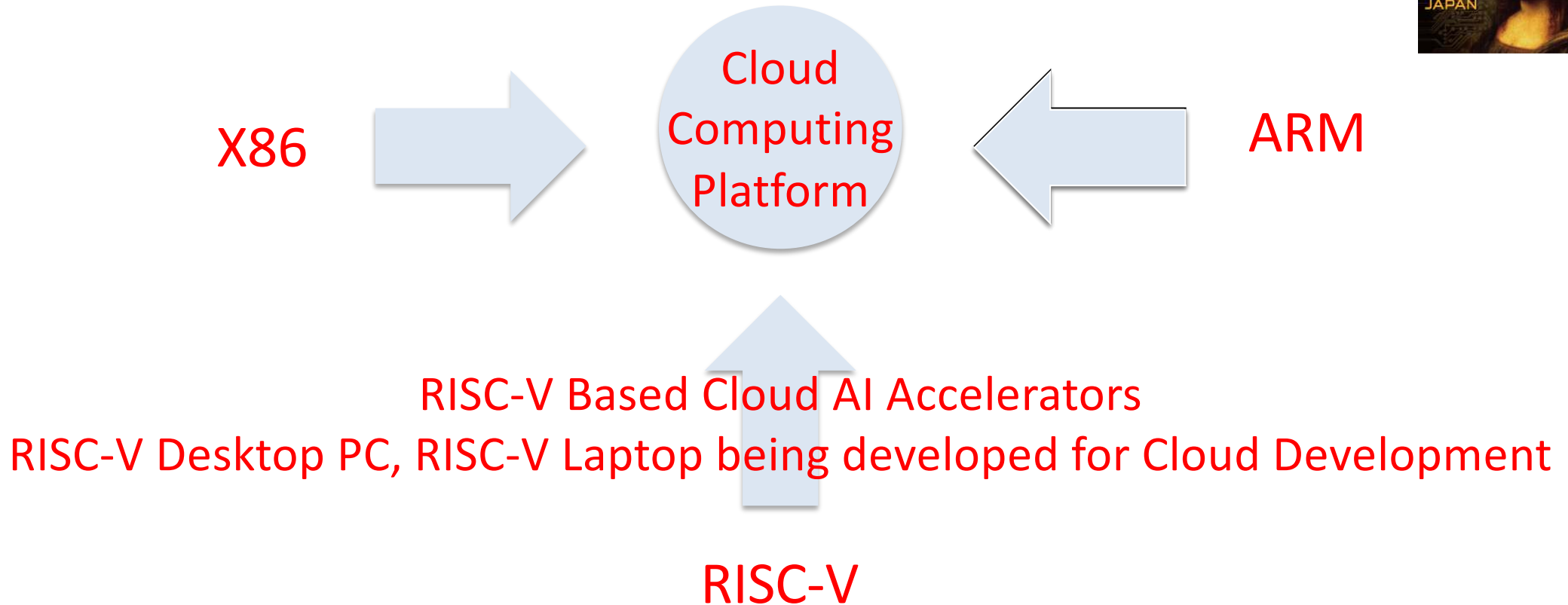


**FOSS 130nm Production PDK**  
[github.com/google/skywater-pdk](https://github.com/google/skywater-pdk)





# Property 10: End-to-End Cloud Strategy



"Some people think that 'the cloud' means that the instruction set doesn't matter," Torvalds said in a forum post. "Develop at home, deploy in the cloud. That's bullshit. If you develop on x86, then you're going to want to deploy on x86, because you'll be able to run what you test 'at home' (and by 'at home' I don't mean literally in your home, but in your work environment)."

Sat 23 Feb 2019 [https://www.theregister.com/2019/02/23/linus\\_torvalds\\_arm\\_x86\\_servers/](https://www.theregister.com/2019/02/23/linus_torvalds_arm_x86_servers/) 17

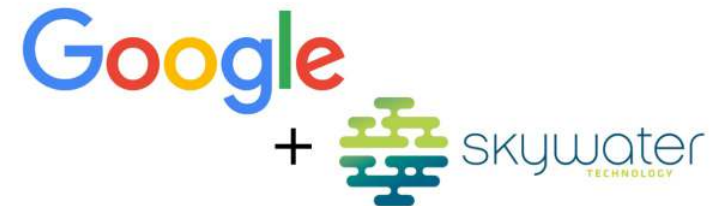
# 3. RISC-V and Open Silicon

## 3. RISC-V VÀ OPEN SILICON

# Open Hardware Movement



- Google decided to open source last nanometer of semiconductor design.
- Proprietary IP were not only about instruction sets, chip IP, chip design EDA tools, chips, board design tool, and fabrication technology or PDK (process development kit)



**FOSS 130nm Production PDK**  
[github.com/google/skywater-pdk](https://github.com/google/skywater-pdk)

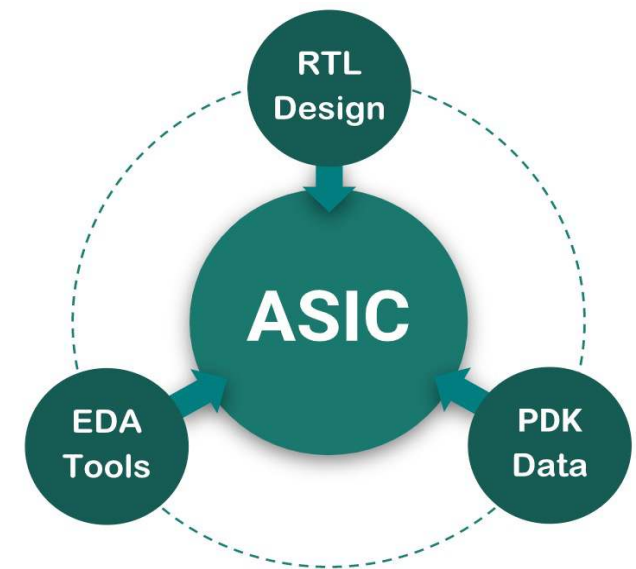
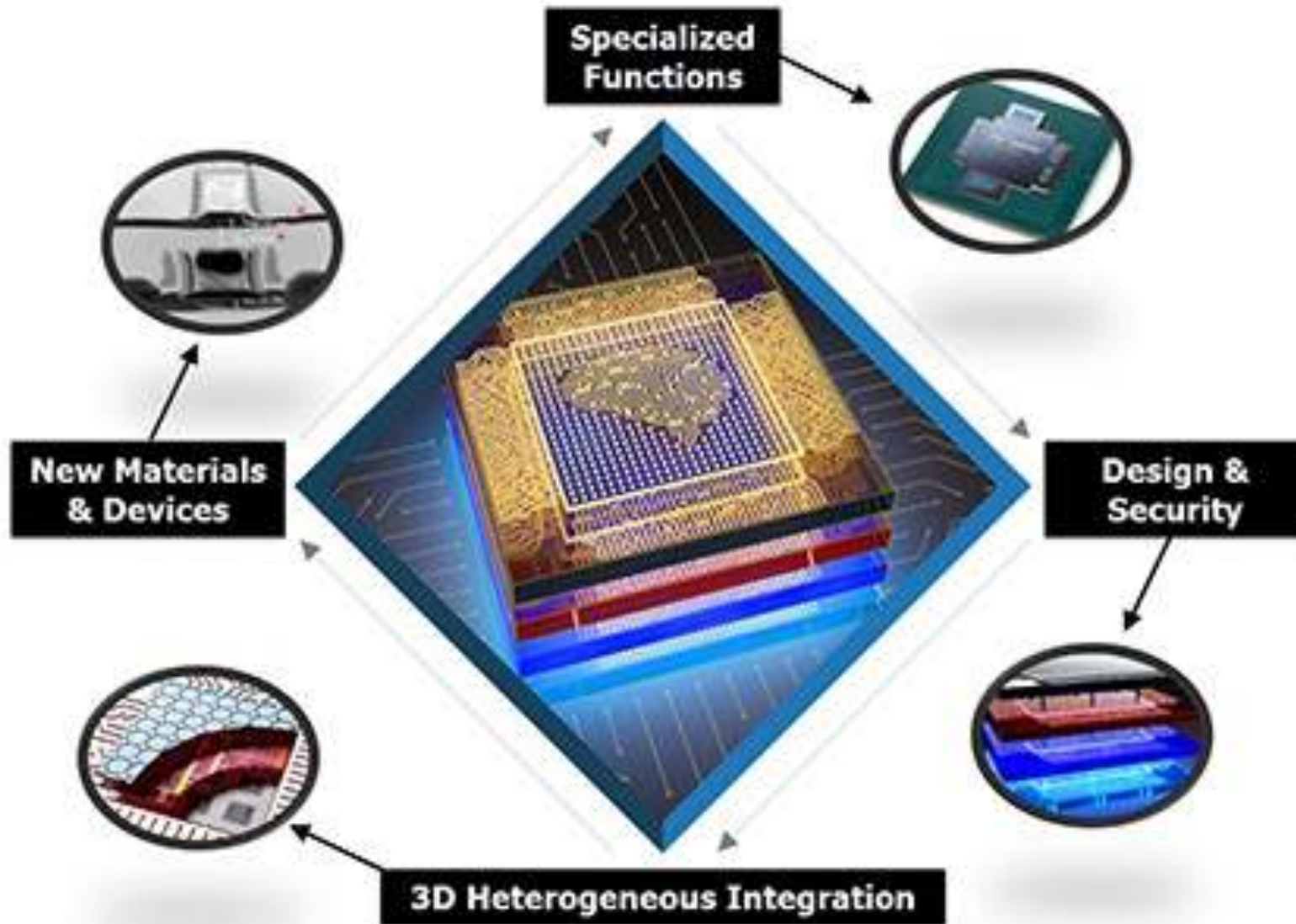
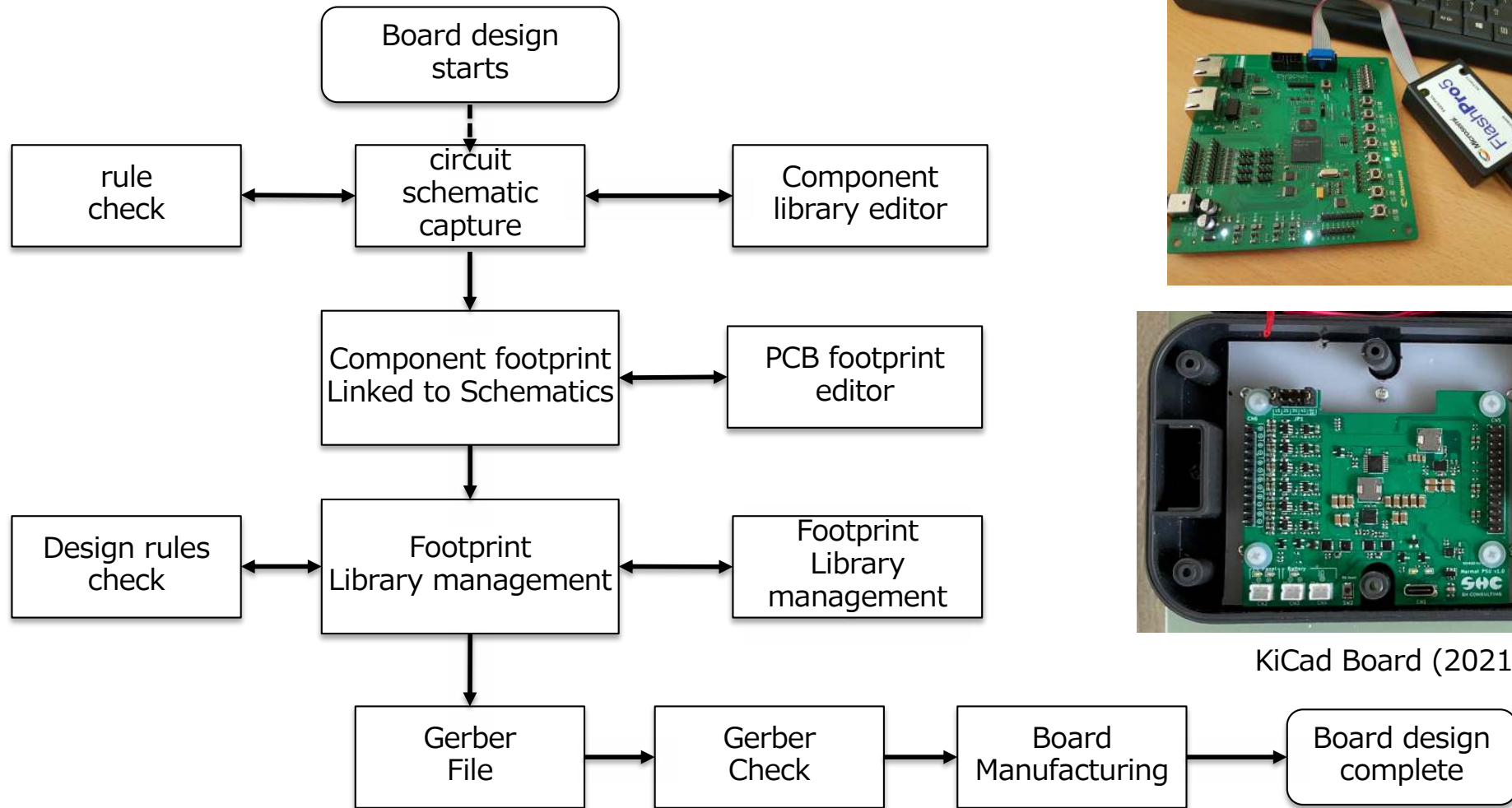


Diagram of Google open silicon strategy

# US Defense Department DARPA's Electronics Resurgence Initiative



# Open Source Board Design Tool KiCad



KiCad Board (2019)



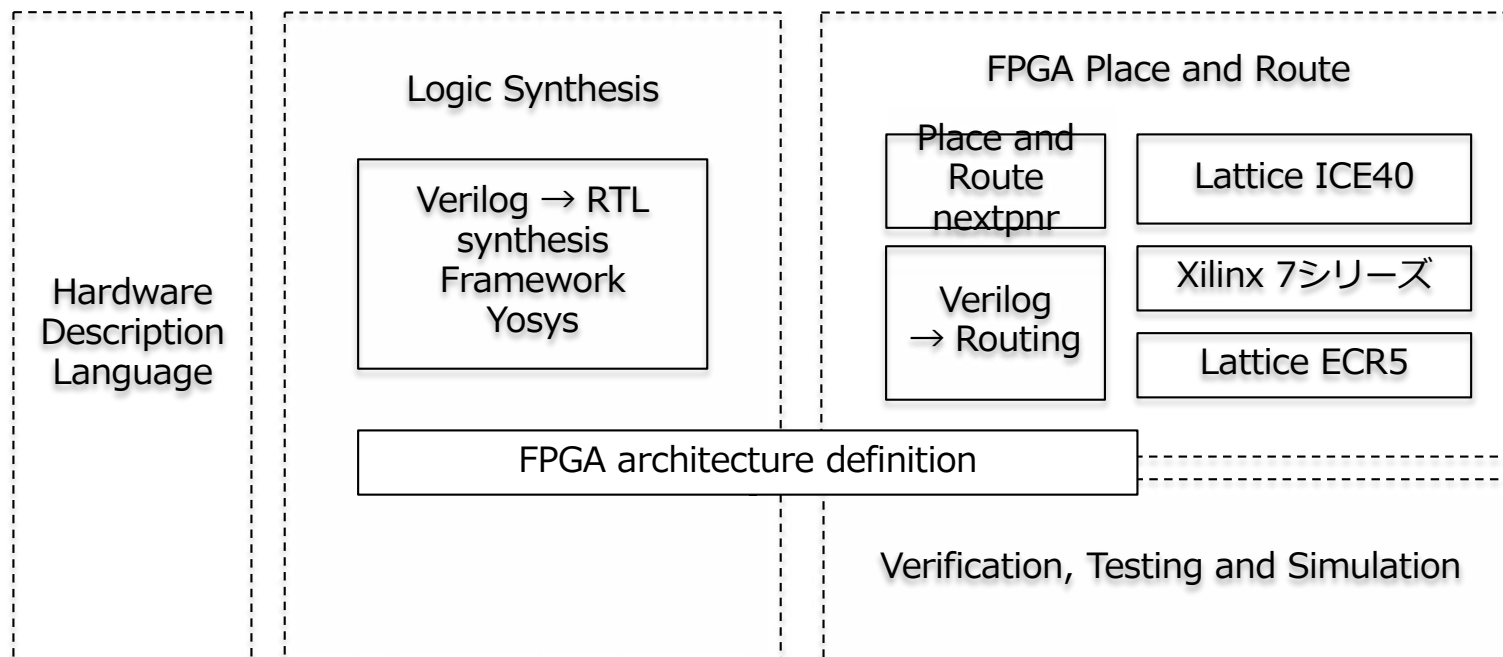
KiCad Board (2021)

Reference : Hacstar.io

# Open source FPGA tools

FPGA tools including verification functions that can design RTL → FPGA including software and system have appeared, and there are tens of thousands of users. There are also users in Japan.

Open Source FPGA Tools Block Diagram

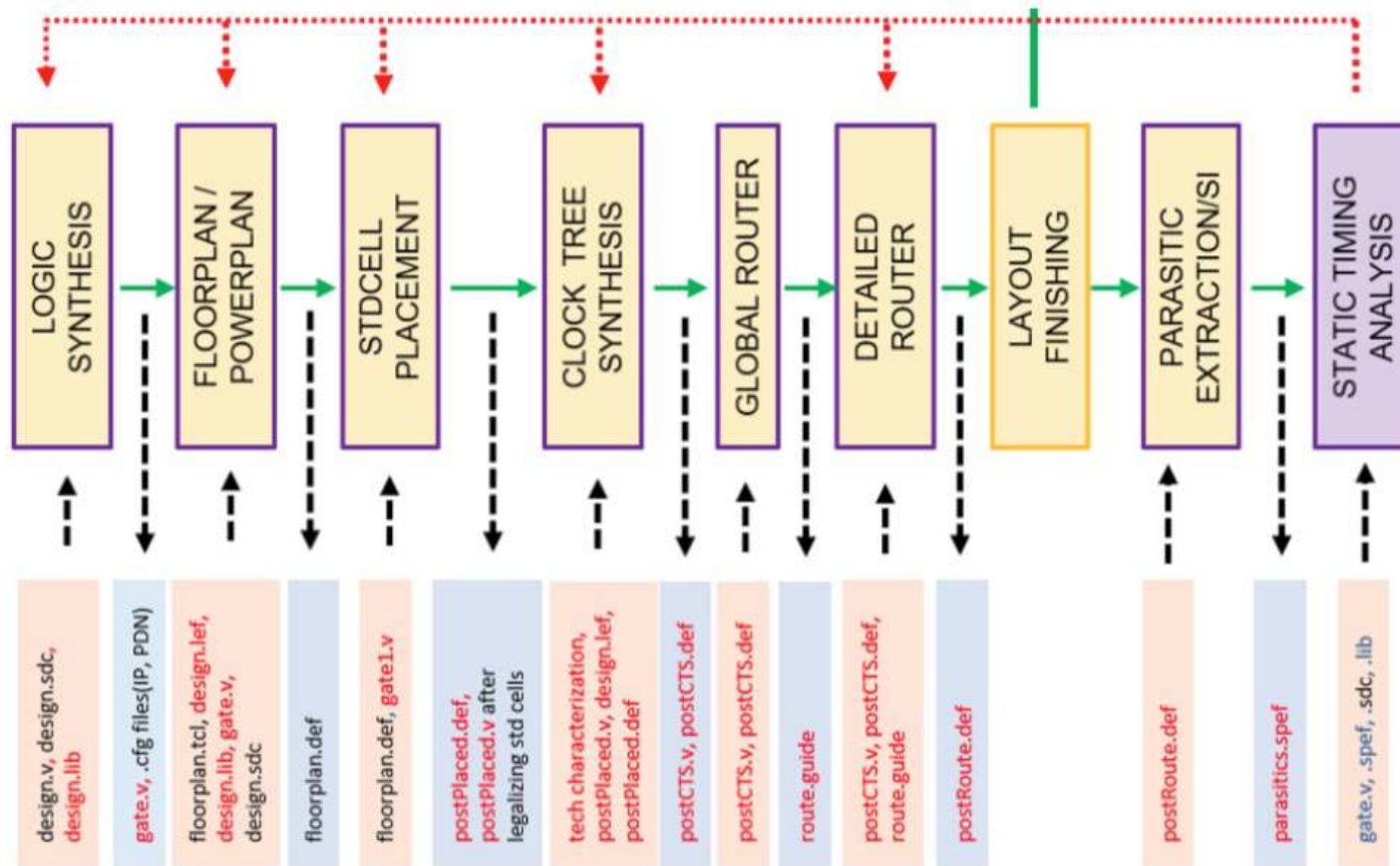




# Digital design flow with OpenROAD

[j.mp/du20-sky130](http://j.mp/du20-sky130)

## Digital Design - OpenROAD



[j.mp/du20-sky130](http://j.mp/du20-sky130)

# Google-eFabless Open Silicon

efabless.com

HOW-TO

CONTACT

MARKETPLACE

LOGIN

REGISTRATION

## chipIgnite

*Rapid IC Creation*

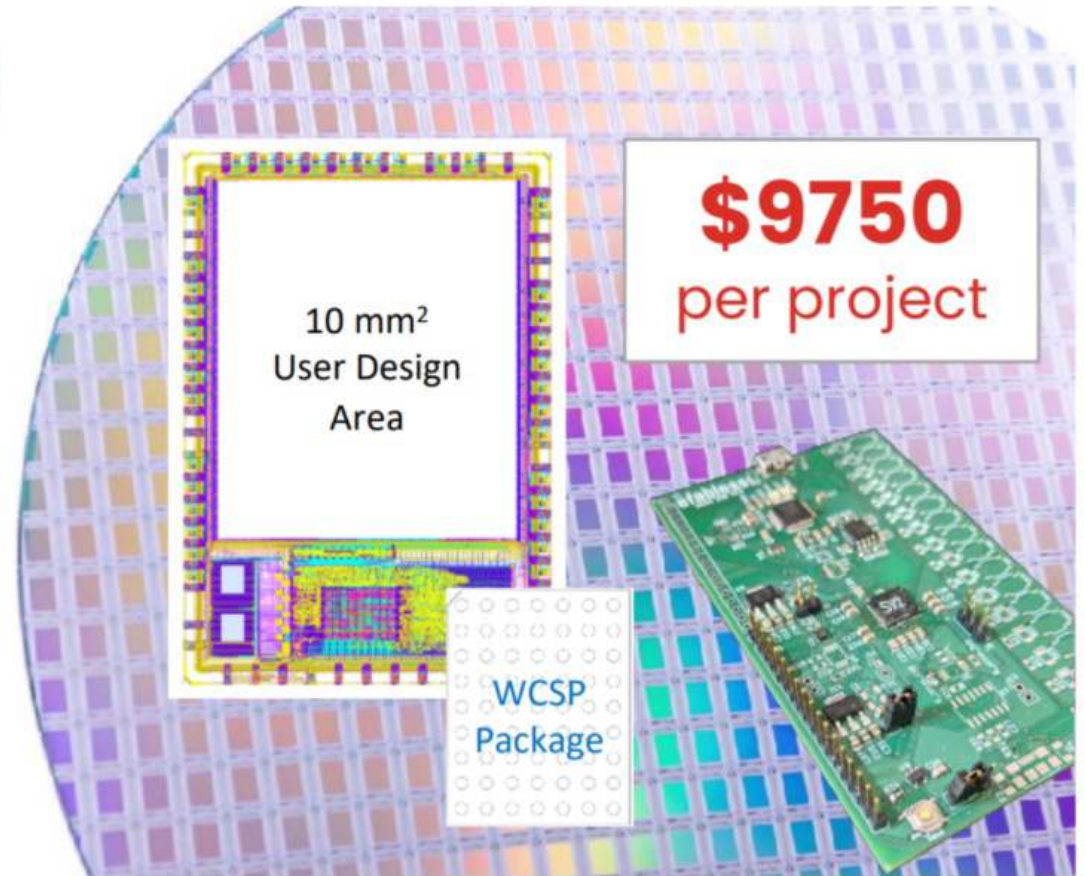
Shuttle 2106Q



19 of 40 project slots reserved

Tapeout: June 18

Delivery: Oct 6



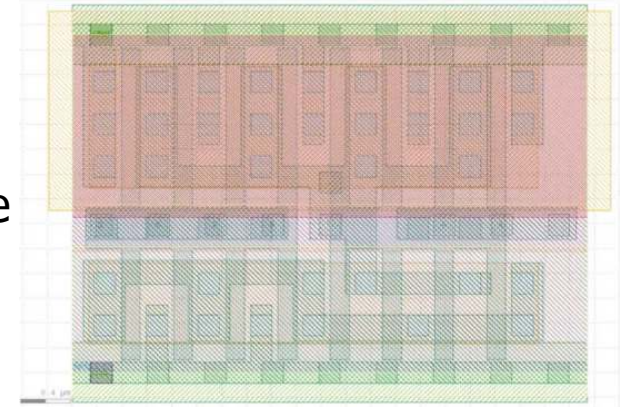


# Open Source Process Development Kit SKY130

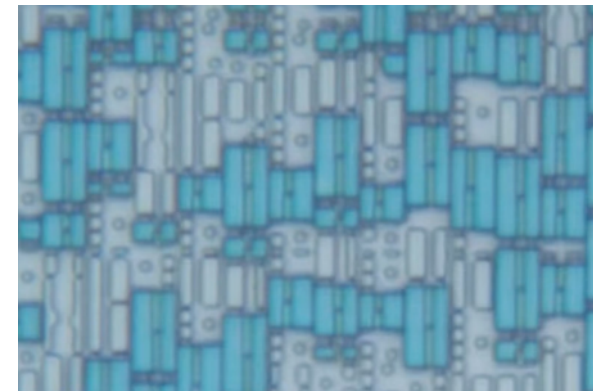


A collaboration between Google and Skywater Fab

- Google has a slogan of "Open source up to the last nanometer!" It is an attempt to create an infrastructure that can make chips without concluding a confidentiality agreement.
- Using 130nm manufacturing process information from the former Cypress, Skywater Fab and his Google company independently developed an open source process development kit for his fab.
- For the time being, aim for ASIC. Implemented standard cell, standard I / O, and high-density RAM cell. Started implementing RAM compiler, ROM compiler, and flash compiler in 2021. An analog design kit will also be released.
- Launching a process development kit As his vehicle, he is developing a free shuttle service. When using a free fab, the design information must be open source.
- You can also use SKY130 as a commercial fab.



SKY 130  
オープンソース  
PDKのNANDセル



米国ミシガン州 スカイウオータ  
ファブの130ナノメータ  
をターゲットとしたオープンソース  
プロセス開発キットを開発



**FOSS 130nm Production PDK**  
[github.com/google/skywater-pdk](https://github.com/google/skywater-pdk)

# 4. RISC-V in Japan

## 4. RISC-V ở Nhật Bản



# Renesas to Introduce RISC-V ASSPs in FY2021

- Renesas plans to introduce RISC-V to market within fiscal year 2021 (FY2021)
  - Renesas starts sampling a series of RISC-V-based Application Specific Standard Products (ASSP) prior to General-Purpose RISC-V products.
  - Renesas' RISC-V ASSP products uses CPU cores from Andes Technology of Taiwan designed to differentiate from its low-end ARM products of the RA family.
  - Renesas initially engages its own engineers to develop Application software and ensure its RISC-V software development environment is satisfactory for its general customers e.g. eat its own dog food.
  - SiFive RISC-V is integrated in Renesas' in-vehicle SoC (System on a Chip) and in-vehicle microcontrollers.
- Renesas compared to alternative ISA such as ARM, identified the following RISC-V benefits:
  - Market for RISC-V core-based products will grow rapidly in the future.
  - RISC-V tends to have lower loyalty than its competitor.
  - License terms for changes and improvements allows flexibility.
- Renesas có kế hoạch giới thiệu RISC-V ra thị trường trong năm tài chính 2021 (FY2021)
- Renesas bắt đầu lấy mẫu một loạt các Sản phẩm Tiêu chuẩn Ứng dụng Cụ thể dựa trên RISC-V (ASSP) trước các sản phẩm RISC-V cho Mục đích Chung.
- Các sản phẩm RISC-V ASSP của Renesas sử dụng lõi CPU từ Andes Technology của Đài Loan được thiết kế để tạo sự khác biệt với các sản phẩm ARM cấp thấp của họ RA.
- Ban đầu, Renesas thu hút các kỹ sư của riêng mình để phát triển phần mềm Ứng dụng và đảm bảo môi trường phát triển phần mềm RISC-V của họ thỏa mãn các khách hàng nói chung, ví dụ: ăn thức ăn cho chó của chính nó.
- SiFive RISC-V được tích hợp trong SoC trên xe của Renesas (Hệ thống trên chip) và các bộ vi điều khiển trên xe.
- Renesas so với ISA thay thế như ARM, đã xác định các lợi ích RISC-V sau:
  - Thị trường cho các sản phẩm dựa trên lõi RISC-V sẽ phát triển nhanh chóng trong tương lai.
  - RISC-V có xu hướng có lòng trung thành thấp hơn so với đối thủ cạnh tranh của nó.
  - Các điều khoản cấp phép cho những thay đổi và cải tiến cho phép sự linh hoạt.

# Renesas-Andes RISC-V ASSPs



- Renesas chose Andes advantages are the following:
  - Andes has a lot of achievements. According to Andes, its CPU cores are IC / SoC that integrated in over 5 billion units.
  - Andes has abundant customizable functions and ease of customization.
  - Andes offers robust security functions.
- Renesas ASSPs will be equipped with Renesas firmware.
  - Renesas ASSPs are dedicated devices and by setting parameter the user can parametrize the application programs.
  - Renesas plans to provide a user interface tool, which will make it easier for users to optimize the solutions to their use cases.
- Renesas chọn Andes những ưu điểm sau:
- Andes có rất nhiều thành tích. Theo Andes, các lõi CPU của nó là IC / SoC được tích hợp trong hơn 5 tỷ đơn vị.
- Andes có nhiều chức năng tùy biến phong phú và dễ dàng tùy chỉnh.
- Andes cung cấp các chức năng bảo mật mạnh mẽ.
- Renesas ASSP sẽ được trang bị phần mềm Renesas.
- Renesas ASSP là thiết bị chuyên dụng và bằng cách cài đặt tham số, người dùng có thể tham số hóa các chương trình ứng dụng.
- Renesas có kế hoạch cung cấp một công cụ giao diện người dùng, giúp người dùng dễ dàng tối ưu hóa các giải pháp cho các trường hợp sử dụng của họ.

# ArchiTek AI processor "AiOnlc" adopts RISC-V

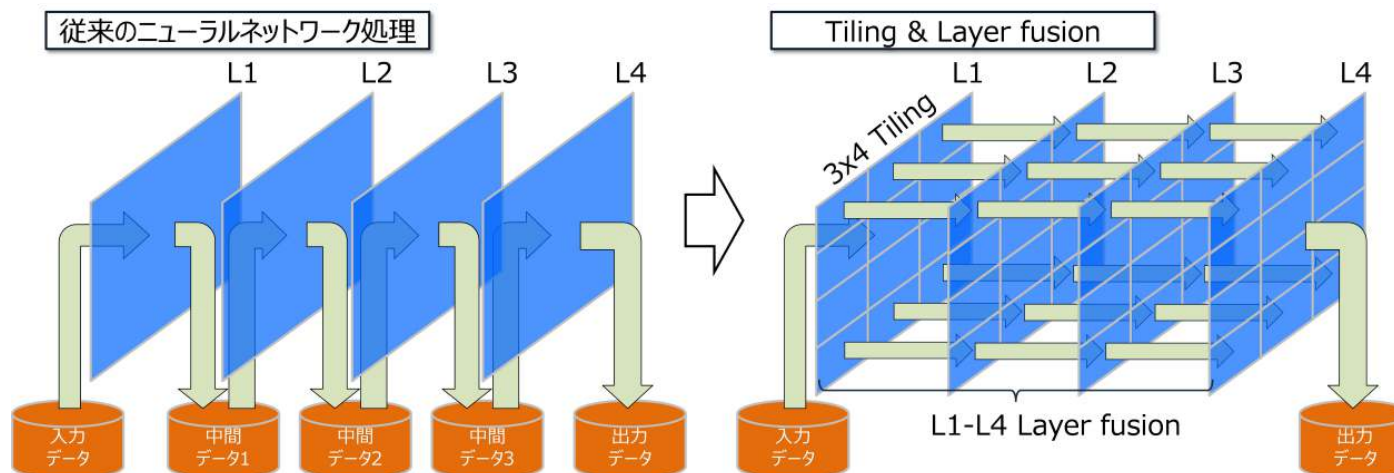
- AI processor "AiOnlc" developed by ArchiTeK is equipped with SiFive's E3 series RISC-V processor IP in addition to its own engine "ArchiTek Intelligence® Pixel Engine (aIPE)."
- It is possible to dynamically adjust the use of hardware by combining the advantages of a CPU, GPU, and a dedicated LSI. Architek architecture processes AI workloads with significantly lower power and higher efficiency than general-purpose CPUs and GPUs.
- "AiOnlc" processor targets AI processing within an IoT edge. The chip size made by the TSMC 12nm process is 4.5mm by 4.5mm, and its power performance enables fan-less designs.
- ArchiTek's original engine "ArchiTek Intelligence® Pixel Engine (aIPE)" consists of pre-packaged signal processing, sorting, multifunction DMA, matrix / inverse matrix operation, FFT engine, and general-purpose GPU. It supports diverse algorithms in combination with the 32-bit RISC-V "SiFive E3" with hardware floating point unit. Simultaneous localization and mapping (**SLAM**) processing can be processed in 1/20 of the time of a general-purpose CPU, and human posture estimation using OpenPose library can be processed 3.8 times faster than a GPU.
- Bộ xử lý AI "AiOnlc" do ArchiTeK phát triển được trang bị IP bộ xử lý RISC-V dòng E3 của SiFive bên cạnh công cụ riêng "ArchiTek Intelligence® Pixel Engine (aIPE)."
- Có thể tự động điều chỉnh việc sử dụng phần cứng bằng cách kết hợp các ưu điểm của CPU, GPU và LSI chuyên dụng. Kiến trúc Architek xử lý khối lượng công việc AI với công suất thấp hơn đáng kể và hiệu quả cao hơn so với CPU và GPU đa năng.
- Bộ xử lý "AiOnlc" nhắm mục tiêu xử lý AI trong một cạnh IoT. Kích thước chip được thực hiện bởi quy trình 12nm TSMC là 4,5 mm x 4,5 mm và hiệu suất năng lượng của nó cho phép thiết kế không có quạt.
- Công cụ gốc của ArchiTek "ArchiTek Intelligence® Pixel Engine (aIPE)" bao gồm xử lý tín hiệu được đóng gói sẵn, sắp xếp, DMA đa chức năng, hoạt động ma trận nghịch đảo / ma trận, công cụ FFT và GPU đa năng. Nó hỗ trợ các thuật toán đa dạng kết hợp với RISC-V "SiFive E3" 32-bit với đơn vị dấu chấm động phần cứng. Xử lý bản đồ và bản địa hóa (SLAM) đồng thời có thể được xử lý trong 1/20 thời gian của CPU đa năng và ước tính tư thế của con người bằng thư viện OpenPose có thể được xử lý nhanh hơn 3,8 lần so với GPU.library can be processed 3.8 times faster than a GPU.



# NSITEXE AI accelerator "ML041"

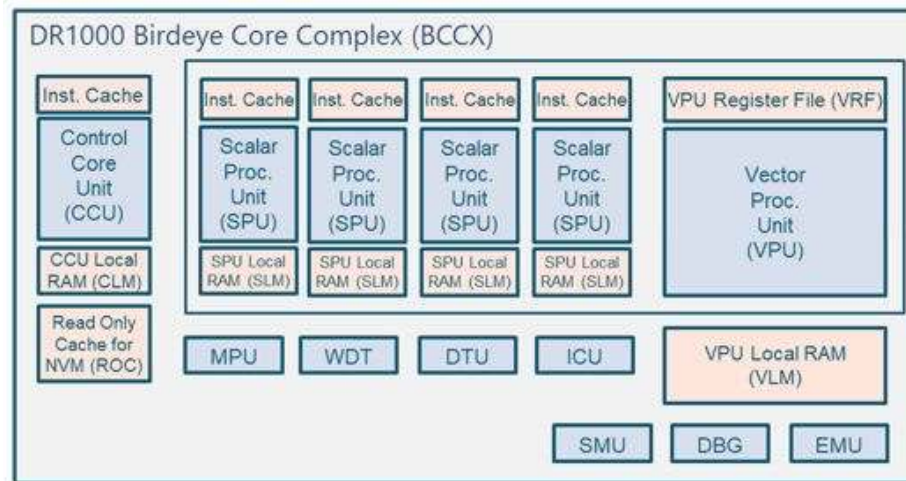


- The AI accelerator "ML041" executes Neural networks (e.g. VGG16, MobileNet, and ResNet) at power efficiency of 12TOPS / W using 7nm geometry.
- "ML041" divides input data (Tiling) and concatenates the input and output of multiple layer processing to process the intermediate data. This reduces the data transfers with the external memory improving the power performance.
- "ML041" also provides a built-in diagnostic circuit to detect random hardware failures enabling AI applications in safety-critical systems.
- Máy gia tốc AI "ML041" thực thi mạng Neural (ví dụ: VGG16, MobileNet và ResNet) với hiệu suất năng lượng 12TOPS / W sử dụng hình học 7nm.
- "ML041" chia dữ liệu đầu vào (Tiling) và nối đầu vào và đầu ra của quá trình xử lý nhiều lớp để xử lý dữ liệu trung gian. Điều này làm giảm việc truyền dữ liệu với bộ nhớ ngoài, cải thiện hiệu suất năng lượng.
- "ML041" cũng cung cấp một mạch chẩn đoán tích hợp để phát hiện các lỗi phần cứng ngẫu nhiên cho phép các ứng dụng AI trong các hệ thống quan trọng về an toàn.



# NSITEXE DR 1000 C, a RISC-V vector processor

- NSITEXE licensed Renesas DR 1000 C, a RISC-V-based vector accelerator for arithmetic processing (e.g. model predictive control, real-time modeling, sensor data processing) to meet automotive safety-critical requirements.
- NSITEXE đã cấp phép cho Renesas DR 1000 C, một máy gia tốc vectơ dựa trên RISC-V để xử lý số học (ví dụ: điều khiển dự đoán mô hình, lập mô hình thời gian thực, xử lý dữ liệu cảm biến) để đáp ứng các yêu cầu quan trọng về an toàn ô tô.



MPU: Memory Protection Unit  
 WDT: Watch Dog Timer  
 DTU: Data Transfer Unit  
 ICU: Interrupt Controller/Request

SMU: System Management Unit  
 DBG: Debug Unit  
 EMU: Error Management Unit

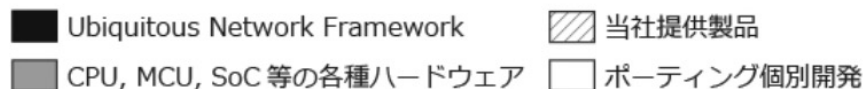
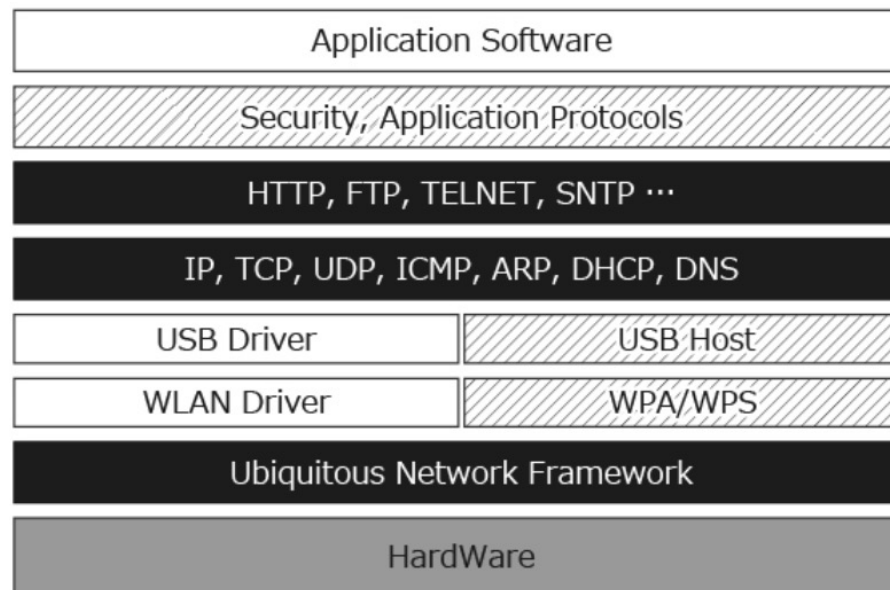


# Ubiquitous AI Corporation's RISC-V Network Framework



- Ubiquitous AI Corporation is creating RISC-V Middleware for implementing communication functions based on the TCP / IP stack.

- Tập đoàn AI phổ biến đang tạo Phần mềm trung gian RISC-V để triển khai các chức năng giao tiếp dựa trên ngăn xếp TCP / IP.





# RISC-V Days Tokyo 2022 Spring

## April 21-23, 2022



# RISC-V Days Tokyo 2022 Spring

- Products
- Security
- Open silicon
- Trends in Asia and Japan
- Trends in Europe and USA

- Các sản phẩm
- Bảo vệ
- Mở silicon
- Xu hướng ở Châu Á và Nhật Bản
- Xu hướng ở Châu Âu và Hoa Kỳ

# 5. Conclusions

## 5. Kết luận

# 5. Conclusions



- RISC-V is about to change semiconductor e.g. play book and players
- RISC-V offered tangible assets e.g. IP, methodology and production technologies creating a wave of open silicon movement
- This tide covered the entire sphere of semiconductor digital and analog.
- RISC-V is laying groundwork for future cloud computing and compute areas.

# 5. Kết Luận



- RISC-V sắp thay đổi chất bán dẫn, ví dụ: chơi sách và người chơi
- RISC-V cung cấp các tài sản hữu hình, ví dụ: IP, phương pháp luận và công nghệ sản xuất tạo ra một làn sóng chuyển động silicon mở
- Thủy triều này đã bao phủ toàn bộ phạm vi kỹ thuật số và tương tự bán dẫn.
- RISC-V đang đặt nền móng cho các lĩnh vực máy tính và điện toán đám mây trong tương lai.