

RISC-V Day Tokyo 2025 Spring

最先端デジタルSoC設計人材育成/上級コースのご紹介

※本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の
「ポスト5G情報通信システム基盤強化研究開発事業」（JPNP20017）の委託事業によるものです。

中野 守

Tenstorrent Inc, Country Manager

Tenstorrent Japan KK

27 Feb 2025



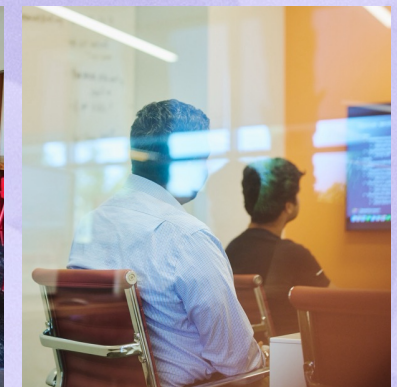
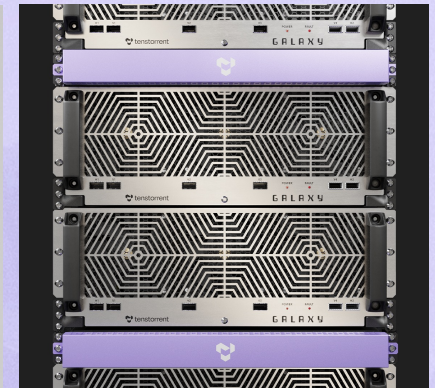
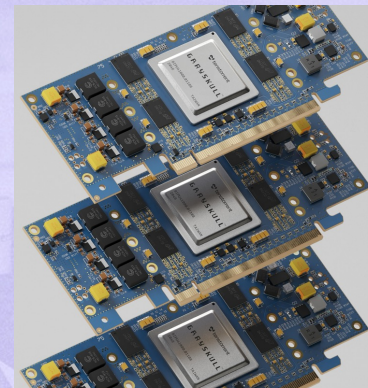
Tenstorrent Overview

Build AI supercomputers from mW to MW

Tenstorrentは次世代AIスーパーコンピュータを開発します。

業界をリードするAI/MLアクセラレータ、高性能RISC-V CPU及びそれらを柔軟に統合するChipletsを通じて、ソフトウェア2.0のオープンソース・コンピューティング需要に対応します。

- 会社設立 2016年
 - カナダで起業し、2024年1月本社を米国に本社移転
 - 日本法人を2023年1月設立
- 従業員 700+
 - 主要オフィス：Toronto, Santa Clara, Austin, Boston, Belgrade, Bangalore, Japan
- 資金調達 シリーズD
 - 2024年12月2日ジェフ・ベゾス氏やSBIグループ、韓国のサムスン証券などから約 \$ 700M (約1040億円) の出資を受けた事を発表
 - その後、1月末Close時点で約 \$ 800M (約1250億円)



Software, Silicon, and Systems to Run AI, ML, and Compute *Cheaper and Faster than Anyone Else*



Tenstorrent Product Summary

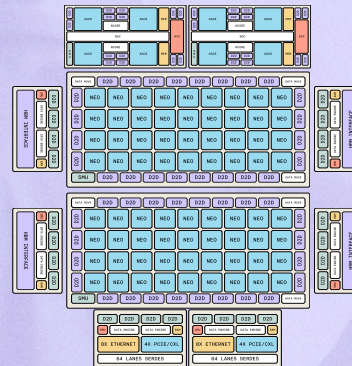
Build RISC-V based AI supercomputers

IP (TT-Ascalon™ / Tensix NEO)



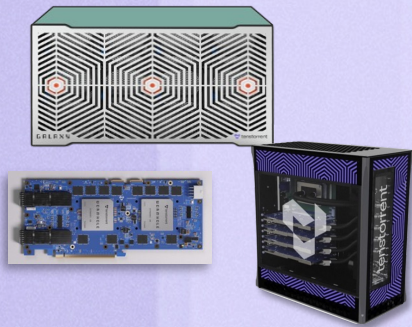
- Scales from mW to MW for efficiency and performance
- IP available for licensing
- Industry-leading performance
- Modular design available in varied configurations

Chips & Chiplets



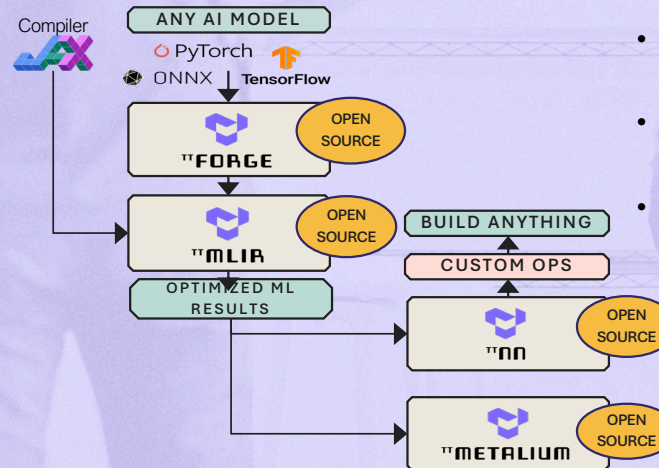
- Portfolio of products powered by scalable Tensix AI cores
- Inference and training, CNN and NLP, recommendation engines, all on the same silicon
- Hardware available for purchase as well as IP available for licensing
- Multi-component modular chiplets

Servers (Galaxy, WS)



- Galaxy Server – 32 high performance cards in a custom chassis - starts shipping in 2024
- Easily combine Servers into a Galaxy Rack with high bandwidth chip-to-chip connectivity

Software



- ML compilers that scale from one chip to thousands
- TT-Buda™ - Automated AI/ML Compiler
- TT-Metalium™ - Bare metal software stack

Tenstorrent AI ML アクセラレータ

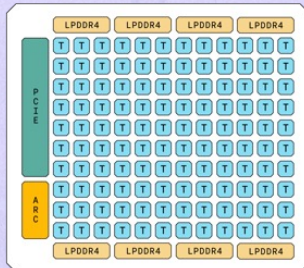
Core Silicon Roadmap

2021

High Perf AI ASIC

Grayskull

AI Accelerator



- 120 Tensix Cores
- 12nm
- 276 TOPS (FP8)
- 16 lanes of PCIe Gen4
- 8 channels LPDDR4

GEN 1

2022

Scalability

Wormhole

Networked AI accelerator



- 80 Tensix+ Cores
- 12nm
- 328 TOPS (FP8)
- 16x100 Gbps Ethernet
- 6 channels GDDR6
- 16 lanes of PCIe Gen4

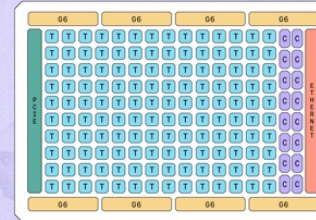
GEN 1

2023

Heterogeny

Blackhole

Standalone AI accelerator



- 140 Tensix++ Cores
- 6nm
- 790 TOPS (FP8)
- 12x400 Gbps Ethernet
- 48 lanes of SERDES
- 8 channels of GDDR6
- 16 RISC-V CPU cores

GEN 2

2024

Chiplets

Quasar

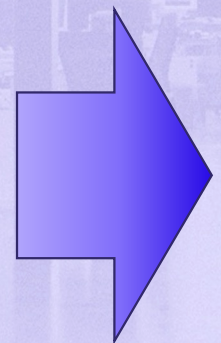
Low Power AI accelerator Chiplet



- 160 Tensix Neo Cores on 4nm Chiplet
- Features incl SMC with Self-boot/Reset
- Non-blocking D2D Interfaces
- Easily stack Quasar or combine to choose your own compute

GEN 3

Tape out timing

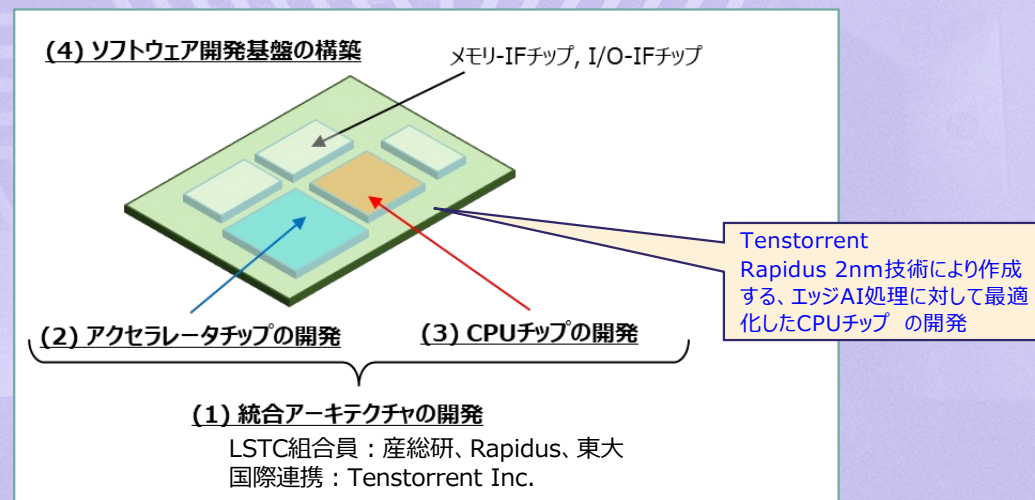


NEDO f1プロジェクト 2nmロジック技術によるエッジAIアクセラレータの開発 LSTCが採択される。(Tenstorrentは再委託先)

*技術研究組合 最先端半導体技術センター

*本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の事業によるものです。

- **2024年 2月発表**,以細を狙う次世代半導体設計技術として、生成AIを含むエッジ推論処理用途に専用化したエッジAIアクセラレータの開発を国際連携により進める。
- 主な開発課題
 - (1) 業界標準に対応したAIアクセラレータ向け統合アーキテクチャの開発
 - (2) AIDC (産総研、東大など)が2nm技術によるアクセラレータチップの開発
 - (3) Tenstorrentは2nm技術 (Rapidus)を用いエッジAIに最適化されたRISC-V CPUチップの開発
 - (4) 業界標準のAIフレームワークを利用可能なソフトウェア開発基盤の構築を行う。



Bosch, Tenstorrent to collaborate on standardizing automotive chips

ボッシュとテンストレント、自動車用チップの標準化で協力 OCE, Open Chiplet Ecosystem

- SAN FRANCISCO, 2024 Oct 10 (Reuters) **ドイツの産業大手ボッシュは、自動車用チップの構成要素を標準化するためのプラットフォームを開発するため、米国のチップ新興企業テンストレントと協力すると、テンストレントの幹部が語った。**
- この計画には、チップレットと呼ばれる最新のチップの構成要素を使用して、ニーズの大きく異なる自動車に電力を供給できるシステムを構築するための標準的な方法を開発することにも含まれている。
- この提携は、チップレットを構成するブロックにまつわる技術的要件の標準化に役立ち、低価格化につながる可能性がある
- テンストレントの自動車部門副社長Thaddeus Fortenberryによると、自動車メーカーはまた、各設計のカスタマイズ・オプションが増えることになる。



Collaboration on
Open Automotive Chiplet Interface
Thomas Schamm
Project Director Chiplet, Bosch



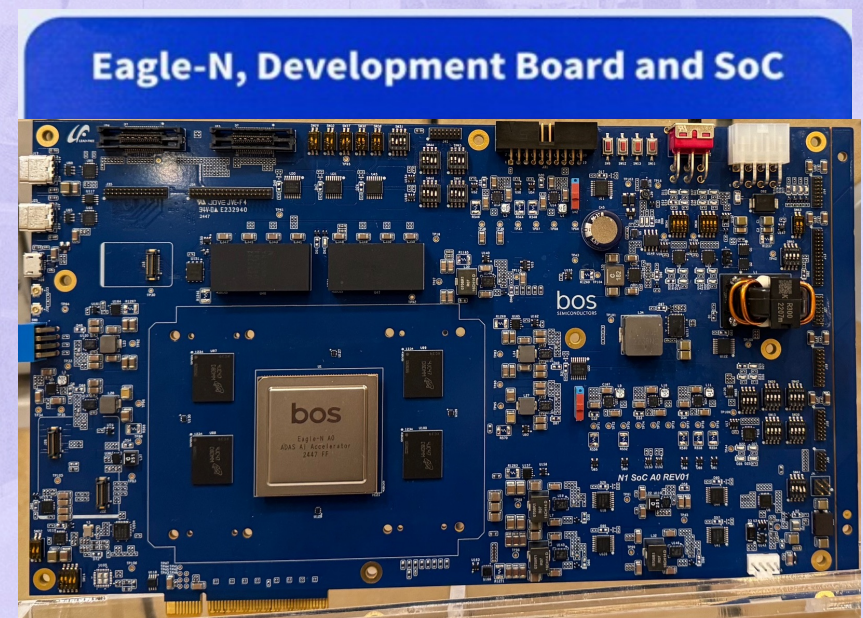
BOS and Tenstorrent Unveil Eagle-N, Industry's First Automotive AI Accelerator Chiplet SoC, @CES. Jan 2025

- 韓国の車載ファブレス企業であるBOSセミコンダクターズとTenstorrentは、BOSとTenstorrentが共同開発した業界初の車載AIアクセラレータ・チップレットSoC「Eagle-N」を発表。Eagle-Nは、TenstorrentのTensix NPUコアを搭載しており、車載アプリケーション向けに調整され、車載先進運転支援システム（ADAS）および車載インフォテインメント（IVI）領域のコンピューティング・システム向けに強力なAI性能とエネルギー効率の高い動作を実現します。
- Eagle-Nは、最大250TOPSのNPU性能をPCIe gen5およびUCIe高速インターフェースとともに提供し、アドオンNPUおよびAIサブシステムを構築して、チップレット技術を活用した自律走行機能や没入型車内体験を開発する。OEM/Tier-1企業は、Eagle-NのTOPS/\$およびTOPS/ワットの競争力を享受しながら、既存のADASまたはIVIドメイン・コンピューティング・システムにEagle-Nを実装するだけで、AI性能をアップグレードすることができます。

Eagle-Nに加え、BOSはワンチップADAS SoCであるEagle-Aの開発にも注力しており、Eagle-Nと組み合わせて使用することができる。Eagle-NとEagle-AはADASチップレットSoCファミリで、ADASと自動走行機能の様々なセグメントをサポートが可能。

Open Chiplet Architecture via UCIe

- 250 TOPS(INT8), 2X of TOP/\$, 1.5 of TOPS/W
- Support INT8,BFP4,BFP8,FP16,FP32,BrainFloat16,MXINT,MXFP
- Programmable RISC-V cores.
- FUSA ASIL-B
- PCIe Gen5 IF
- Mass Production 2026



最先端デジタルSoC設計人材育成

2024年11月5日発表「ポスト5G情報通信システム基盤強化研究開発事業／人材育成」上級コースの委託先の選ばれる。

※本プロジェクトは、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の「ポスト5G情報通信システム基盤強化研究開発事業」（JPNP20017）の委託事業によるものです。

- 上級コース：シングルナノ半導体設計コース
シリコンバレーの最先端企業で実践的な研修（アドバンスコース）を行う人材育成プログラム
- 日本の多くのテクノロジー企業、研究機関、一流大学から、2025年初頭からプログラム参加者を募集し、2025年4月から最初の正式なグループのトレーニングを開始予定。
- 5年間のプロジェクト期間中に最大200名のシリコンエンジニアを米国拠点に招聘し、シングルナノ世代の最先端のCPU 及びAI/MLアクセラレータ開発技術等を実践を通して学ぶ。
 - 技術分野 RISC-Vプロセッサ、AIアクセラレータ、Chiplet、関連SW
 - 適応分野 データセンター、自動車SoC、エッジ・IoTデバイス
 - 拠点 サンタクララ、オースチン、トロント、東京

上級コースの目標

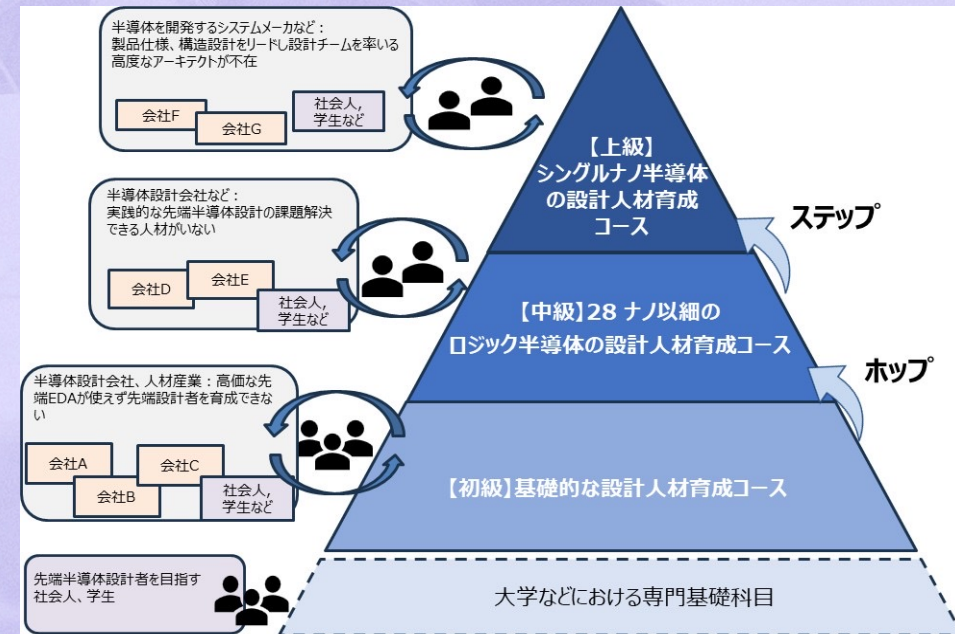
- 事業全体を俯瞰しながら、高度な半導体設計ができる人材を育成する。
- 最先端の半導体設計に必要な知識、実践能力を身につけ、国際感覚および交渉能力を鍛える。

Advanced SoC Design Talent Incubation Program

Webサイト：<https://adip.jp>

近々に発表、募集開始になる予定です。

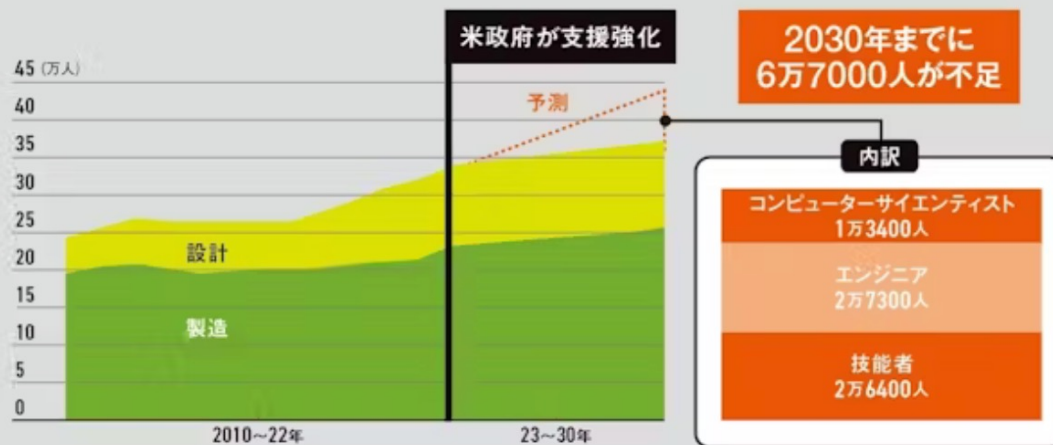
募集詳細は発表後に上記サイトをご覧ください。



半導体業界の人材不足、中国の台頭

人手不足が顕在化する米半導体業界

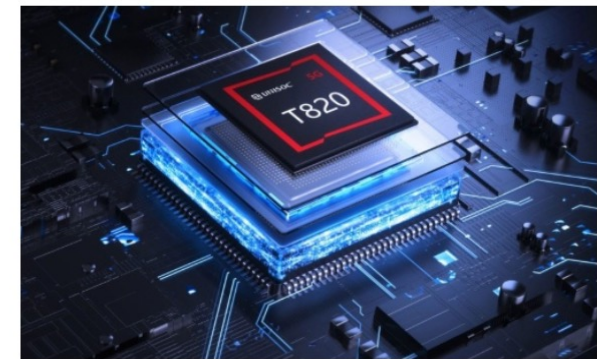
●米半導体工業会による半導体関連人材の将来予測



出典：NVIDIAエンジニア年収4000万円 不振インテルから流入
日経ビジネス 2025年1月24日

半導体設計で中国躍進、専門家「優秀な研究者が多くの後進育成」

大下 淳一 日経クロステック



中国が半導体設計の実力を急速に高めている（出所：UNISOC）
[画像のクリックで拡大表示]

半導体の回路設計で中国が急速に実力をつけている。半導体集積回路の最高峰の国際会議「ISSCC 2025」（2025年2月16～20日、米サンフランシスコ）では、中国発の論文が採択論文全体の4割近くを占めた。国を挙げた産業振興を反映しており、半導体の製造だけでなく設計でも米国との競争が激しさを増す。日本は対照的に採択論文数が減少し続けており、設計分野の強化を急ぐ必要がある。

日経BPセミナーナビ | 日経BPのセミナー総合サイト



2025年3月11日開催 【オンライン開催】

テクノロジーNEXT

最後の砦「自動車」も中国が席卷するか

徹底調査と現地取材で分かった最新事情

Advanced SoC Design Talent Incubation Program

最先端デジタルSoC設計人材育成プログラム



NEDO委託事業「ポスト5G情報通信システム基盤強化研究開発事業/人材育成/最先端デジタルSoC設計人材育成」

ADIP: 最先端デジタルSoC設計に必要な人材を育成プログラムを推進するのがADIP: Advanced SoC Design Talent Incubation Programです。

- これは、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の「ポスト5G情報通信システム基盤強化研究開発事業/人材育成」の委託事業として実施中です。
- 技術研究組合 最先端半導体技術センター（LSTC）とTenstorrent社が中心となって、半導体設計の即戦力となる実践的なエンジニアやアーキテクトを育成します。

受講要件

• 実施内容

• RISC-V CPU設計コース

- RISC-V CPU開発フローにおける種々のプロセスを習得します。
- Ascalon D8などのコア設計開発、AegisなどのChiplet設計開発

• AI MLアクセラレータ設計コース

- AIハードウェア開発フローにおける種々のプロセスを習得します。
- Tensix NEOなどのコア設計開発、QuasarなどのChiplet設計開発

- 最先端の実戦的なハードウェア設計に関する知識を身につけ、開発プロセスを実際に経験し、深く理解することを目指します。
- プロフェッショナルな技術文書の作成や、ビジネスにおけるグローバルなコミュニケーションスキルの向上も重視します。米国文化の体験や同僚との交流を通じて、ビジネス面での異文化理解を深め、国際的なヒューマンコミュニケーションの習得を目指します。
- プログラムでは設計、検証、評価等の複数の課題テーマが設定され、実際の業務に即した形で課題を一つずつ経験します。

トレーニングスケジュールと実施場所

1) 事前トレーニング (東京、虎の門)

国内 米国と国内エンジニアによるオンライン講義やテキストを使った自習の他、比較的簡単な課題によるOJT

2) 3) 4) 米国Tenstorrent本社 (Santa Clara, Austinなど) におけるトレーニング

米国に滞在し、米国のエンジニアやシニアテクニカルリードと共にOJTを行います。

合計2年で設計サイクルを完結するため、最長2年の期間を推奨していますが、J1 Visaの期限を超えた残り半年は、日本にてリモートで米国エンジニアの指導や、国内在住のエンジニアからのサポートを受け、設計ノウハウを体得します。



	1)	2)	3)	4)
期間	3カ月間	12か月間	6か月間	6か月間
工程数*	-	1~3		
	-	2~6		
	-	全工程		

*以下の設計工程から選択してOJTを行う。

プロセッサ、アクセラレータ開発	統合アーキテクチャ開発
- 初期デザイン設計 - 評価目標 - 論理設計 - 性能評価 - 論理設計、検討 - 物理設計、検討 - 評価準備、評価	- 統合アーキテクチャ設計、検討評価 - パッケージボードの設計製造 - チップ製造、評価 - ボード製造評価

受講要件

• 必須要件

- J1-Visaの取得
- EE/CSまたは関連分野の学位に相当する学歴を有すること
- Linux、Tcl/Tk、Perl、Python等のプログラミングに精通していること
- 日本語、英語での高度なコミュニケーション能力を有すること

• 望ましい要件

- 中・上級エンジニアまたは修士号・博士号取得者であること
- AIアクセラレータ、ASIC設計、FPGAなどの関連分野での実務経験があること
- SystemVerilog等のHDL経験者
- 大規模チップ開発プロジェクトにおけるリーダー経験があること
- EDAツールの高度な使用経験を持つこと

申し込みから採択まで

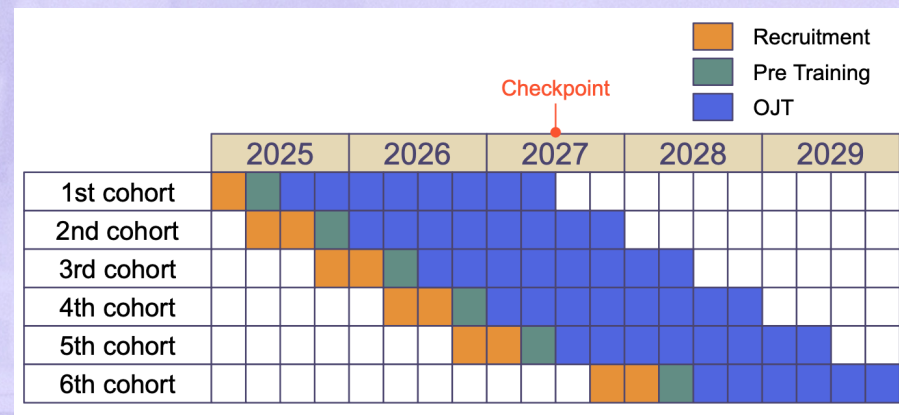
* 日程は変更する場合があります。

第1期

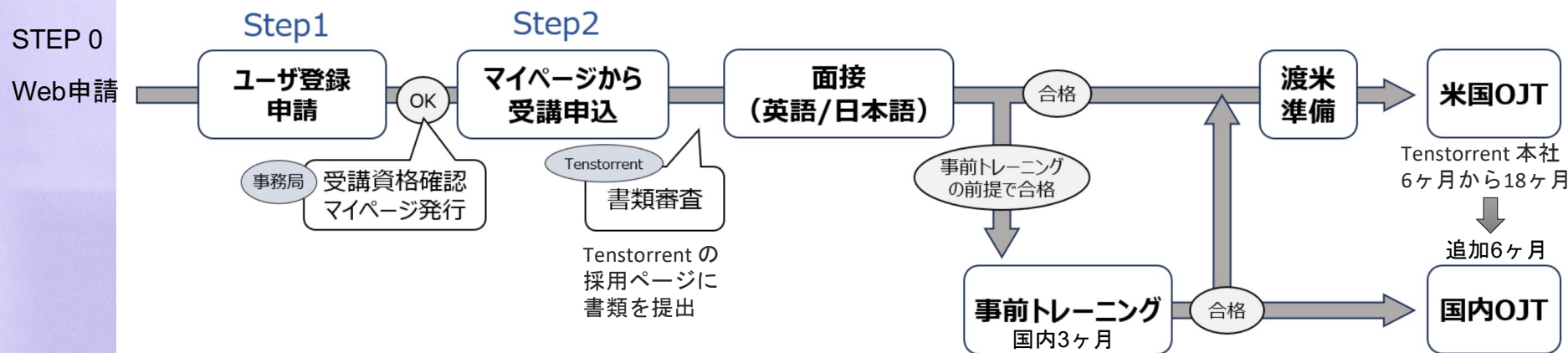
- 募集期間 : 2025年2月末頃～3月21日
- 審査期間 : 2025年3月1日～3月21日
- 事前トレーニング期間 : 2025年4月1日～6月27日
- 渡米時期 : 2025年7月7日～

第2期

- 募集期間 : 2025年4月1日～9月19日
- 審査期間 : 2025年8月1日～9月19日
- 事前トレーニング期間 : 2025年10月1日～12月26日
- 渡米時期 : 2026年1月5日～



- 第3期. 事前トレーニング開始予定 : 2026年4月1日
- 第4期. 事前トレーニング開始予定 : 2026年10月1日
- 第5期. 事前トレーニング開始予定 : 2027年4月1日
- 第6期. 事前トレーニング開始予定 : 2028年4月1日



Value

- 日本から参加するエンジニアは、プログラム参加期間中、Tenstorrentの最先端半導体技術をベースにした RISC-V CPUコア AscalonやそのChiplet、AI Accelerator IP のTensix IPやアクセラレータChiplet の Quesar、それらをサポートするソフトウェアスタックなど、様々な技術に取り組むことが可能です。
- エンジニアは研修プログラムを修了した後、シングルナノ世代の最先端プロセッサの技術、製品だけでなくエンジニアリングフィロソフィに関する深い知識などを得て、日本の会社に戻ることができます。
- 日本の多くのテクノロジー企業、研究機関、一流大学から受講生を募り、米国のハイテク地域において、米国を中心にする半導体企業から集まった優れたアーキテクト、設計エンジニアが集まるTenstorrentのメンバーとなり1年もしくは2年間のOJTを通して経験を積み国際的なエンジニアとなって帰国します。

ご清聴有難うございました。

人材育成 問い合わせ先 Webサイト : <https://adip.jp>

近々に発表、募集開始になる予定です。募集詳細は発表後に上記サイトをご覧ください。

Tenstorrent 問い合わせ先 メール : info-japan@tenstorrent.com

ADIP: 最先端デジタルSoC設計人材育成プログラム (ADIP: Advanced SoC Design Talent Incubation Program)。国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の「ポスト5G情報通信システム基盤強化研究開発事業/人材育成」の委託事業として実施。技術研究組合 最先端半導体技術センター (LSTC) とTenstorrent社が中心となって、半導体設計の即戦力となる実践的なエンジニアやアーキテクトを育成します。

