

# RISC-Vとオープン化 への期待

AIチップ設計拠点の観点から

産業技術総合研究所

内山邦男

# AIチップ設計拠点

とは

NEDO事業「AIチップ開発加速のためのイノベーション推進事業  
研究開発項目②: AIチップ開発を加速する共通基盤技術の開発」

# 拠点構築の目的

- ✓ 我が国では、ベンチャー企業等を中心に、AIチップを基にした新たなビジネスを創出させる種が多数存在。
- ✓ 一方、AIチップ設計には、高額なEDAツールやIP、検証装置(エミュレータ等)が必要であり、これらがビジネス化に向けた高いハードルとなっている。
- ✓ AIチップ設計に必要な設計・検証環境を整備し、イノベーション実現のためのAIチップ開発を加速する。

## 革新的AIチップ のアイデア

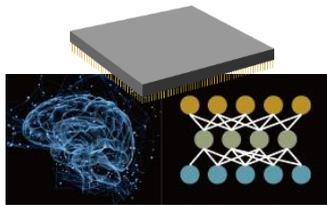


高額なEDAツール、  
IP、検証装置が必要

高いハードル

国内中小企業  
ベンチャー企業

## AIチップ プロトタイプ試作



学習、推論、認識を  
低電力かつ高速に

## 超スマート社会 (Society5.0) の実現

- ・次世代モビリティ  
自動運転, 無人配送, ...
- ・次世代ヘルスケア  
AI診断, 自動モニタリング, ...
- ・次世代サプライチェーン  
スマート保安, 無人工場, ...
- ・農林水産業スマート化  
無人農業車両, 水中ロボット, ...
- ・FinTech

AIチップ設計拠点

# 拠点の体制・運営

赤字: AIチップ設計拠点 運営組織

ベンチャーキャピタル  
Pluga Capital

ベンチャー・中小企業等

EDAツール・IP・検証環境提供

サテライト拠点

ふくおかIST

**AIチップ設計拠点**

@東大本郷地区浅野キャンパス

EDAツールベンダー

IPベンダー

ファウンドリ

LSIデザインハウス  
凸版印刷, ...

ソフトウェアハウス

産総研



人工知能研究センター  
ABCI

産総研



東京大学

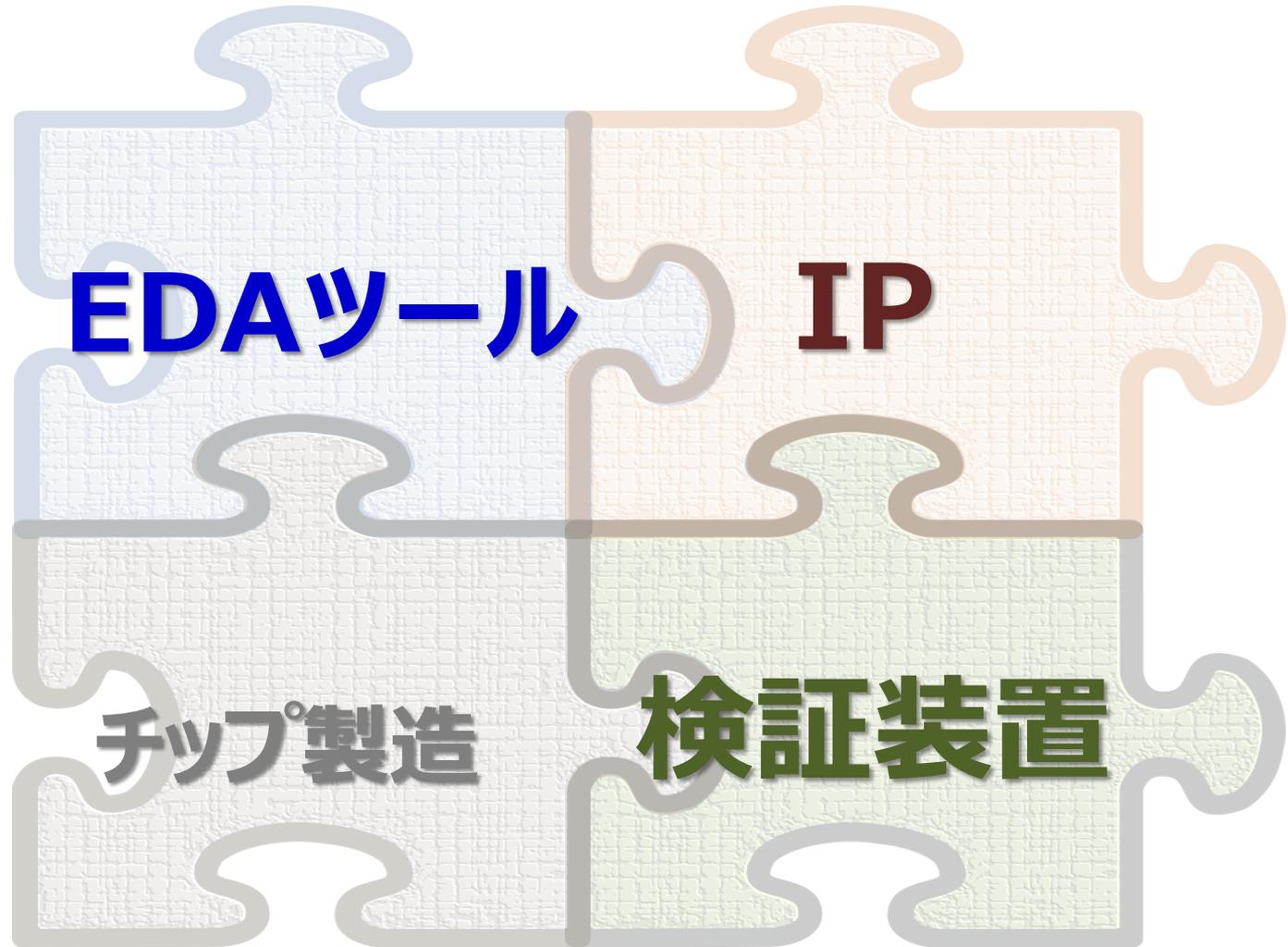


大学・公的機関  
コンソーシアム

- ・北海道大学
- ・東北大学
- ・福岡大学

- ✓ AIチップ設計に必要な設計・検証環境 (EDAツール, IP, エミュレータ等)の整備, 提供
- ✓ AIチップ開発に資する設計技術、検証手法の開発
- ✓ AIチップ技術に関する人材育成

# 拠点での整備



# EDAツール

## Cadence, Synopsys, Mentorのツールを整備

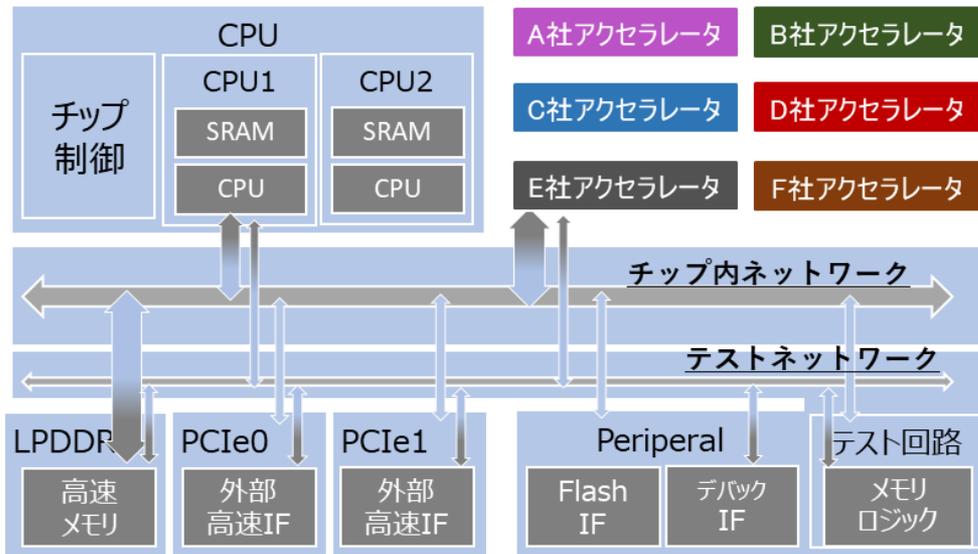
アーキテクチャ検証、高位合成、論理設計/検証、回路設計、物理設計/検証、  
論理エミュレータ、FPGAプロトタイピング、ボード設計、etc.

## IP

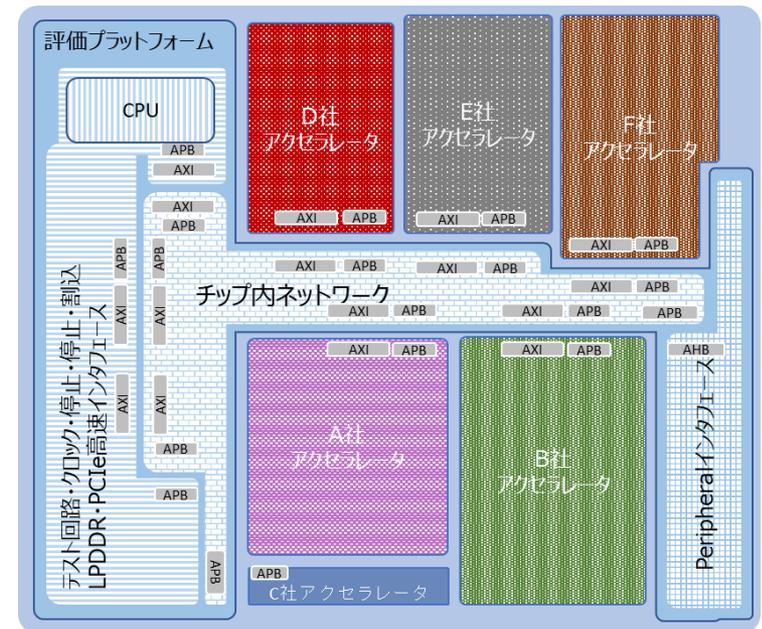
Synopsysの40nm, 28nm 標準IP群 (CPU, DSP,  
DMAC, DDR, PCIe, USB, MIPI, I2C, etc.) を整備  
(物理系はTSMC向け)

# エッジAI向け評価チップ (AI-One)

- 拠点導入IP(28nm)を活用して、拠点が評価プラットフォームを準備
- 乗合チップ参加企業は各社のAIアクセラレータをプラットフォームに接続
- 拠点がまとめてチップ実装を行いファブに試作依頼、各社にチップ(+ボード)を配布
- 各社は試作チップ (ボード)を用いて、実証実験を進める



チップ内部構成

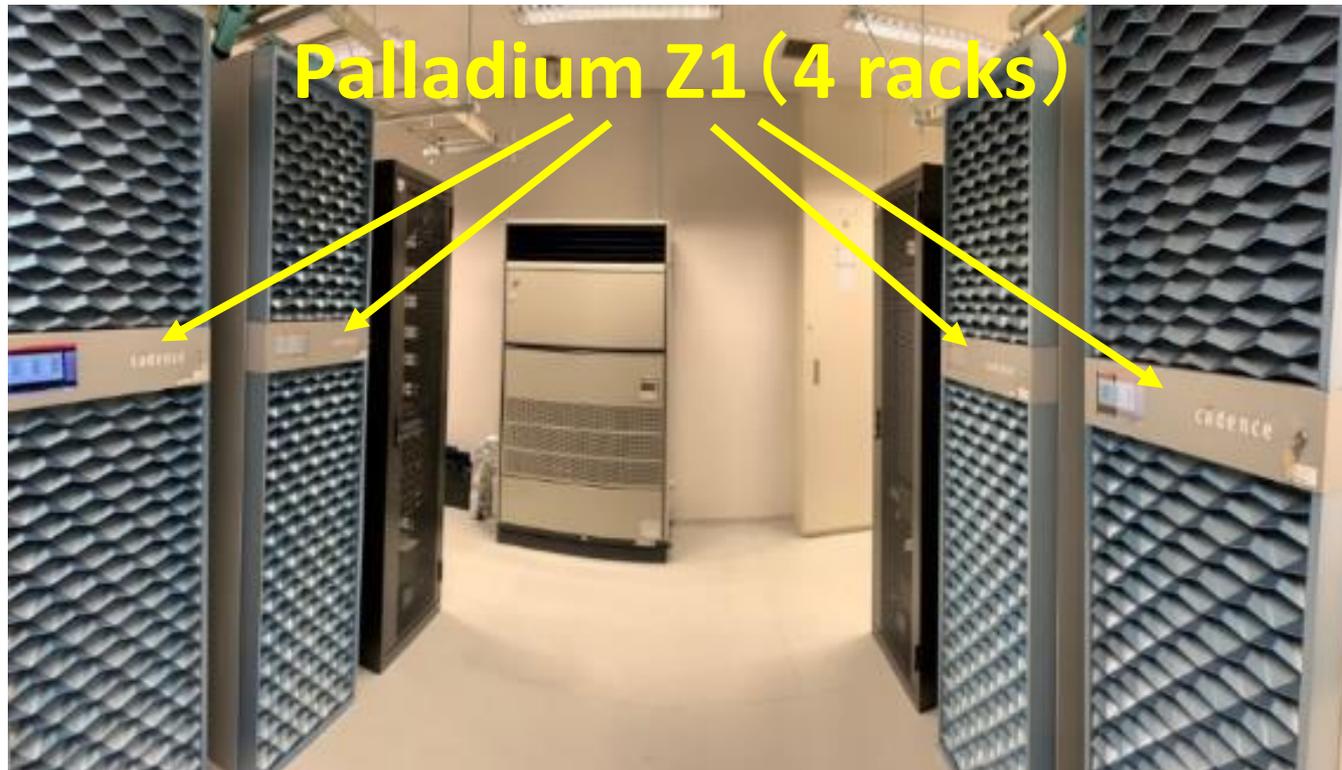


チップ実装イメージ

# 論理工ミュレータの概要

## Palladium Z1

- ・容量：23億ゲート, 4.6Tバイト（ユザメモリ）, 4.6Tバイト（デバッグメモリ）
- ・シミュレーション速度：最大4MHz, コパ°化速度：140Mゲート/時



AIチップ設計拠点 サーバ室

# 論理工ミュータの活用例

Server

Palladium Z1

x86仮想  
環境

PCI (検証IP)

USB (検証IP)

消費電力  
解析

AIチップ<sup>o</sup>

PCIe  
制御

USB  
制御

CPU

AI  
アクセラレータ

周辺回路

AMBAバス (検証IP)

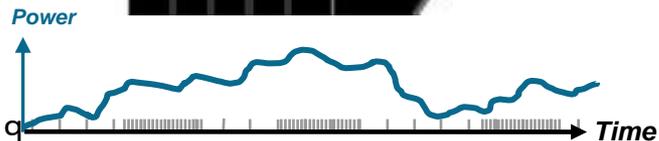
DDR  
制御

メモリ  
制御

DDR4

FLASH

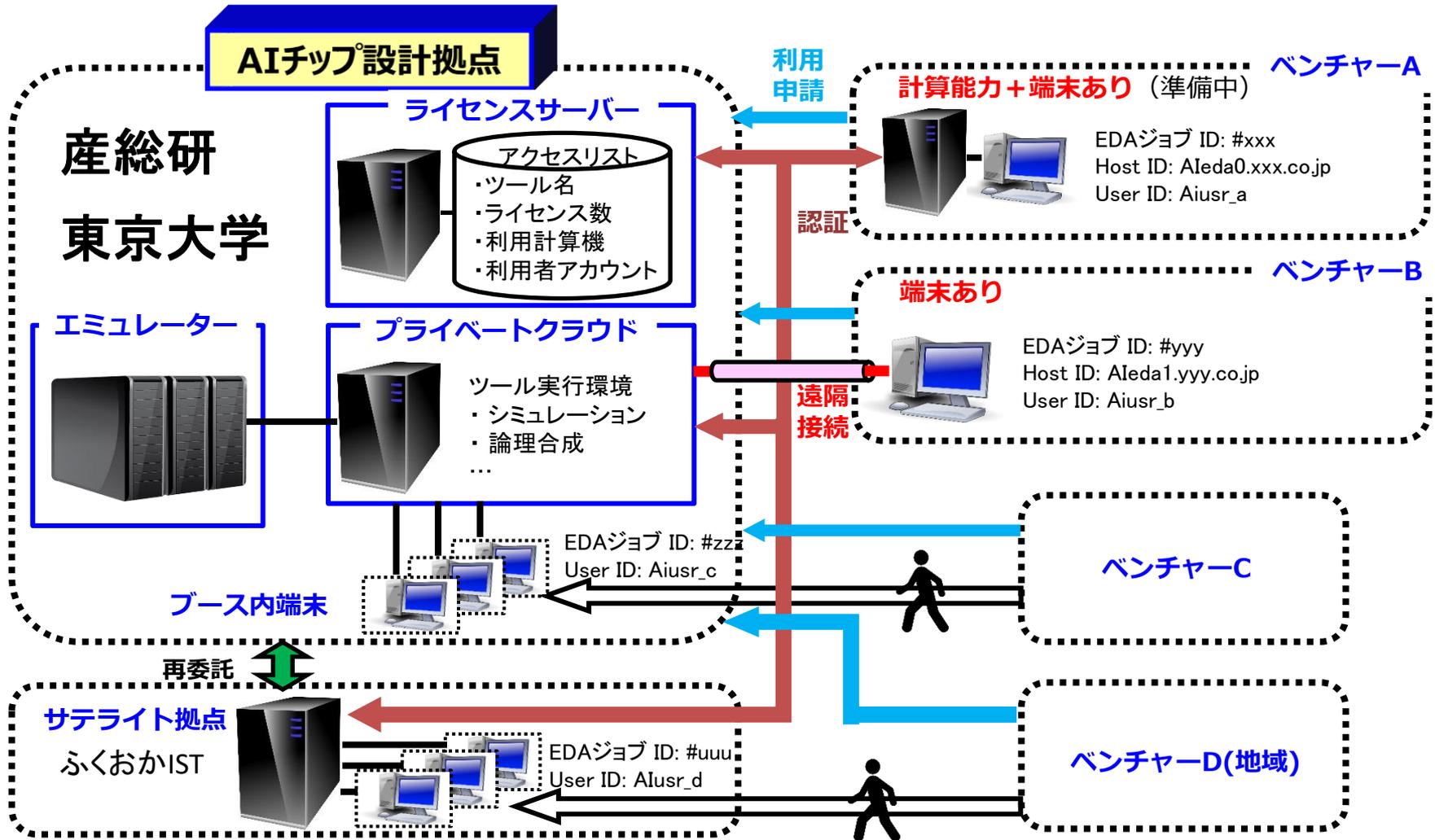
メモリモデル



エミュレータ写真提供:ケイデンス社

# 拠点利用形態

- ✓ 企業毎の設計環境に応じた拠点利用形態を整備し、中小・ベンチャー企業群が使い易い拠点をめざす



# AIチップ設計拠点フォーラム

- ✓ AIチップ、次世代コンピューティング、LSI設計などに関する技術情報を共有し、議論する場を提供
- ✓ 月1回のペースで開催(2019/5～)

## 第29回 AIチップ設計拠点フォーラム (10/29)

13:30-13:35 AIチップ設計拠点フォーラムについて  
(産総研 内山邦男)

13:35-14:35 IoT エッジデバイスから HPC まで Arm Solution のご紹介  
(アーム株式会社/五月女哲夫氏・佐藤啓昭氏)

14:35-15:35 Hot Interconnects における技術動向  
(東大/長谷川淳氏)

15:40-16:40 ネットワークとコンピューティングの融合に向けたフォトニクス技術の展望  
～プラットフォームフォトニクス研究センター紹介～  
(産総研・プラットフォーム研究センター/並木周氏)

## プロジェクトID申請には、

既にプロジェクトIDをお持ちで追加機能申請の場合は、本フォームからプロジェクトに参加される拠点利用者全員のEmailアドレスを記載願います。プロジェクトID入手後、拠点利用者全員に拠点ID申請をお願いいたします。(プロジェクトID申請は、管理責任者以外には必要ありません)

## プロジェクト

プロジェクトID(1)

新規作成の場合は、ブランク

プロジェクト名(1) **必須**

任意のプロジェクト名を記載

プロジェクト概要(1) **必須**

研究開発概要、開発期間、使

プロジェクトID(2)

新規作成の場合は、ブランク

## イベント

拠点フォーラム  
e-講座・講演

イベント

e-講座

お名前 **必須**

姓(例:山田)

名(例:太郎)

お名前(カタカナフリガナ) **必須**

姓(例:ヤマダ)

名(例:タロウ)

会社名(法人の方) **必須**

所属機関(例:株式会社〇〇〇〇、〇〇大学)派遣元や複数所属している機関も全て記載ねがいます。

メールアドレス **必須**

例: yourname@sample.com

お問い合わせ内容 **必須**

お問い合わせ内容をご記載ください。入力は、日本語と英語の文字でお願いします。プログラムコードで使用される特殊文字を入れると問い合わせできないことがあります。

設計拠点のプライバシーポリシーに 同意する **必須**

記載内容確認。まだ送信されません。

## 4. 教材

Emulatorと論理Simulator, 高位設計、論理設計と検証

エミュレータフローの一般論 (初級編)

デジタル設計フローの一般論 (初級編)

高位合成を使ったデジタル設計 (基礎編)

エミュレータ論理検証の基礎 (初級編)

エミュレータ論理検証の基礎 (応用編)

A Design Verification Management Platform

論理設計検証技術

エミュレータ活用 運営1.5時間コース

エミュレータ活用 関連セミナー(1)

エミュレータ活用 関連セミナー(2)

演習

Emulatorと論理Simulator, 高位設計、論理設計と検証

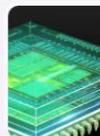
Spyglass演習1

6:40 AIチップ設計拠点フォーラム (第26回)

2021/08/17 09:00 夏季休暇とシステム稼働

ーク不安定の報告(事後連絡)

ットフォーラム  
ライン  
ulation



産総研

国立研究開発法人  
産業技術総合研究所  
エレクトロニクス・製造領域

ブースとサテライト

東京地区・福岡地区  
FPGAにPC接続しシステムソフト実行  
設計端末with高速構内回線

## Webinarと教材Download

高位設計したRTLは実装できない例があります。その部分と対処方法

00:15 実装設計結果の確認

00:54 エラー箇所とその原因

01:34 対処後の結果

再生します。再生後、以下のアイコンが表示されます。

Picture in Picture機能 (サムネール右下: をクリック)、新規Windowで視聴出来ます。

Full screen機能 (サムネール右下: をクリック) で、解像度が上がります。

音量調節

本動画は、拠点ホームページでのみ閲覧ください。Downloadや配布等は禁止です。

拠点ホームページ・拠点コンタクト先

<https://www.ai-chip-design-center.org>

## AIチップ設計拠点事務局

➤ TEL: 03-5841-8460

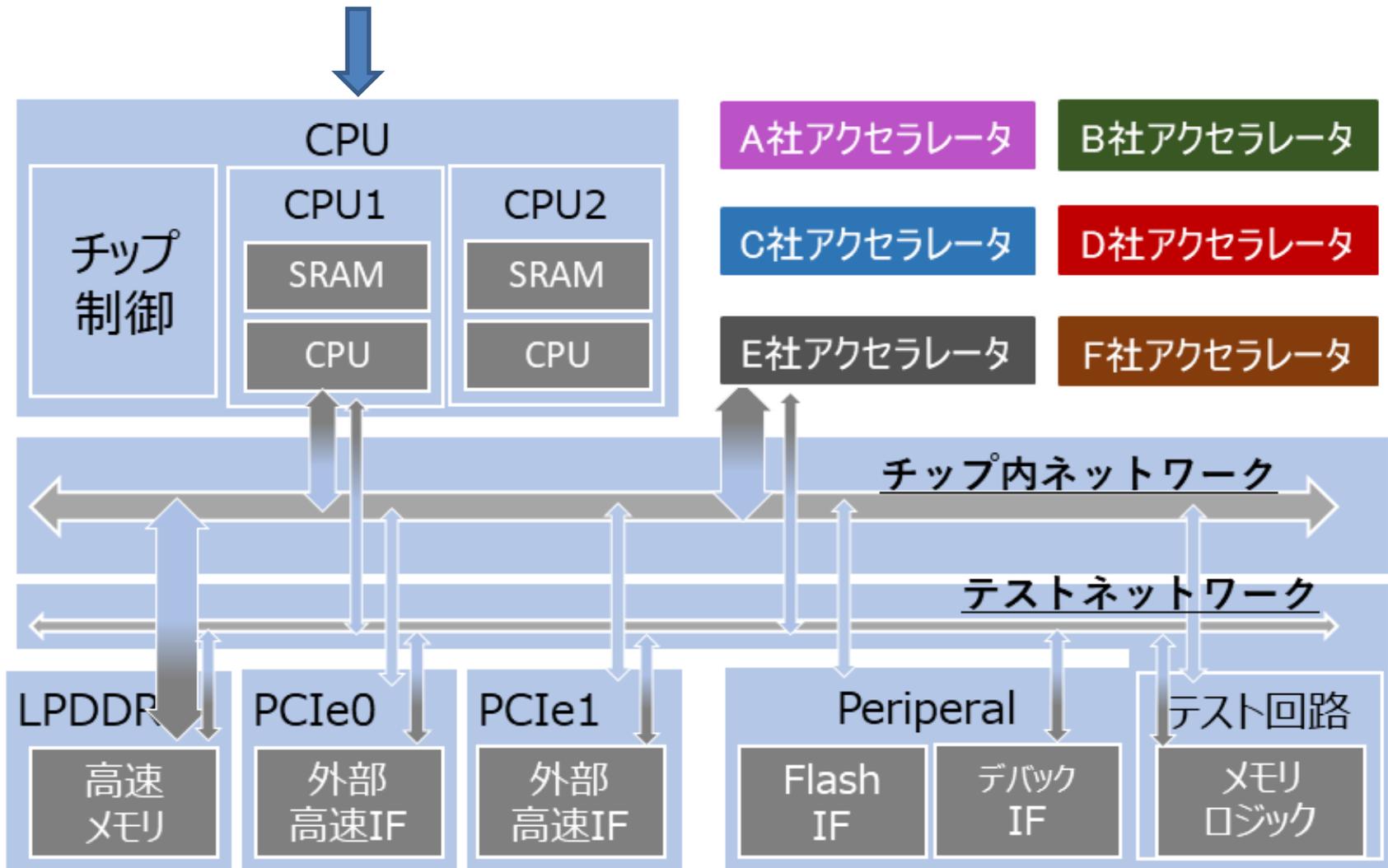
➤ 住所: 〒113-0032

東京都文京区弥生2-11-16武田先端知ビル203号室

# RISC-Vとオープン化 への期待

# 28nm SoCプラットフォーム

## ARC, ARM, RISC-V



# RISC-V on 論理エミュレータ(Palladium Z1)

RISC-V Days Tokyo 2021 Spring, 2021/4/23, 講演

荒川 文男

東京大学 大学院 工学系研究科 システムデザイン研究センター

## 『Emulator上でのRISC-VプロセッサによるLinuxブート』

- Cadence社のEmulator上でRISC-VコアによるLinuxのブートに成功
- RISC-Vコアは東工大一色研の高位システム設計検証環境で開発したコア
- Emulation環境構築では、UARTトランザクタを活用して、Linux端末ウィンドウおよびEmulation状況のモニタリングを実現
- 約132M cycleの実行時間は最速で2分20秒程度
- 速度はCPU時間で約1.2M cycles/s、実行時間で0.9~1.1M cycles/s

# EmulationとSimulationの比較

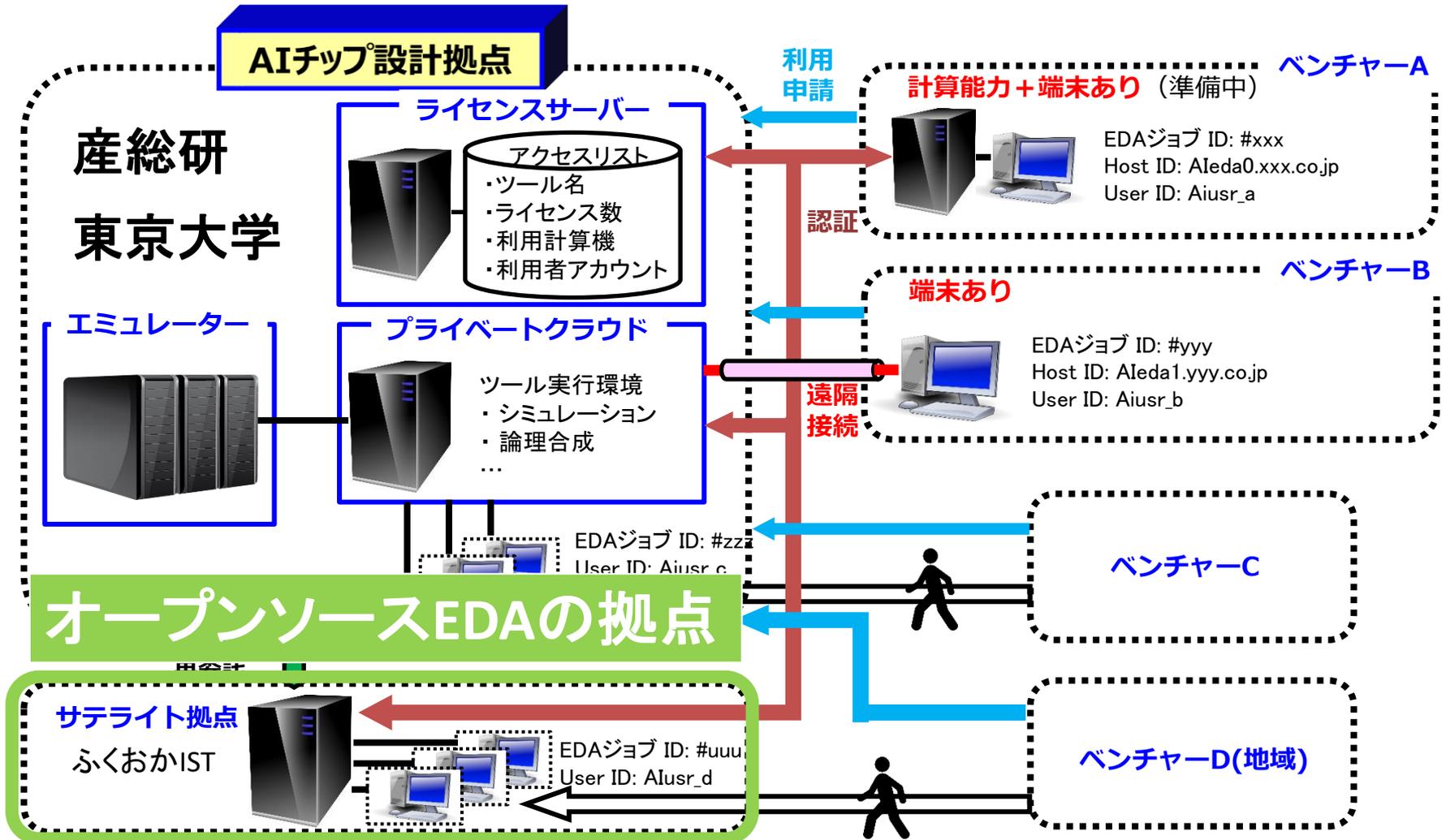
	parameters			boot cycles		Linux Boot			1M cycles		
	ext. mem.	log check	UART			RTL	Gate	G/R	RTL	Gate	G/R
1	log	Yes	1/2	116M	Emu.	13'38"	15'06"	1.11	0'46"	2'01"	2.63
					Sim.	<i>262:46'20"</i>	<i>561:47'40"</i>	<i>2.14</i>	2:15'55"	4:50'35"	2.14
					S/E	<i>1,156</i>	<i>2,232</i>		177	144	
7	mem.	No	1/234	132M	Emu.	<b>2'20"</b>	<b>2'31"</b>	<b>1.08</b>	0'22"	0'53"	2.41
					Sim.	<b><i>145:09'48"</i></b>	<b><i>609:19'36"</i></b>	<b><i>4.20</i></b>	1:05'59"	4:36'58"	4.20
					S/E	<b><i>3,733</i></b>	<b><i>14,527</i></b>		180	314	

– *Italic numbers are estimated values with extrapolation of 1M-cycle executions.*

- 1M cyclesのEmulationでは初期化時間が無視できず、Linux Bootの1/100未満の実行に1/18～1/3の時間がかかる。したがって、**1M cyclesでの比較は不適切**。
- 一方、Simulationでは初期化時間が無視でき、**外挿によるLinux Boot時間推定**は正しいと期待できる。
- UART=1/2設定の影響は変化する。Emulationでは大、SimulationのRTLでは小、Gateではほぼ無し。変化の少ない**UART=1/234での比較**が妥当。
- 赤字部分がこれに相当し、**RTLで3,700倍、Gateで14,500倍高速化**。

# 拠点利用形態

- ✓ 企業毎の設計環境に応じた拠点利用形態を整備し、中小・ベンチャー企業群が使い易い拠点をめざす



## オープンソースEDAツール一覧

2021年6月末現在

ツール名	機能	ツールの特徴
ALTA	IP設計環境、回路図変換	(株)アナジックスが無償で提供するアナログ回路設計環境
Qflow	デジタル設計フロー	Verilog記述を入力とし、スタンダードセルを自動配置配線
Kicad	プリント基板設計ソフト	日本語による情報が充実
Eeschema	回路図エディタ	Kicadの回路図入力ツール 回路シミュレータ(NGspice)が組み込まれており、小規模なLSI設計にも使用される
Xschem	回路図エディタ	Skywater 130n PDKのアナログ設計に使用される
KLayout	レイアウトエディタ	独自のDRC,LVSが組み込まれており、LSI設計に使用される
Glade	レイアウトエディタ	peardropDesignSystem社が無料で配布するLSI設計ツール 操作性はCadenceのVirtuosoに似ている
magic	レイアウトエディタ	1980年台に開発されたものであるが、未だにSkywater 130n PDK等で使用される。

RISC-Vで

**チップ開発の民主化**  
**スマホに続く新市場開拓**  
を期待