

RVfpgaがコンピュータ教育 にもたらす可能性

2021年4月23日

慶應義塾大学理工学部

天野英晴

今日の発表の主旨

- RVfpgaの紹介（宣伝ではない）をする
- RVfpga Getting Started Guideの翻訳をすることで（木村さんに手伝ってもらって監修してもらった）協力した。
 - このマニュアルは長い（100ページくらいある）、親切、若干うざいが実際に使ってみるとありがたい。
 - お金はもらっていない（ボランティア）→Imagination Technologyの手先ではない
- 独立した立場からRVfpgaの役に立つ点、問題点を紹介する。

RVfpgaとは？

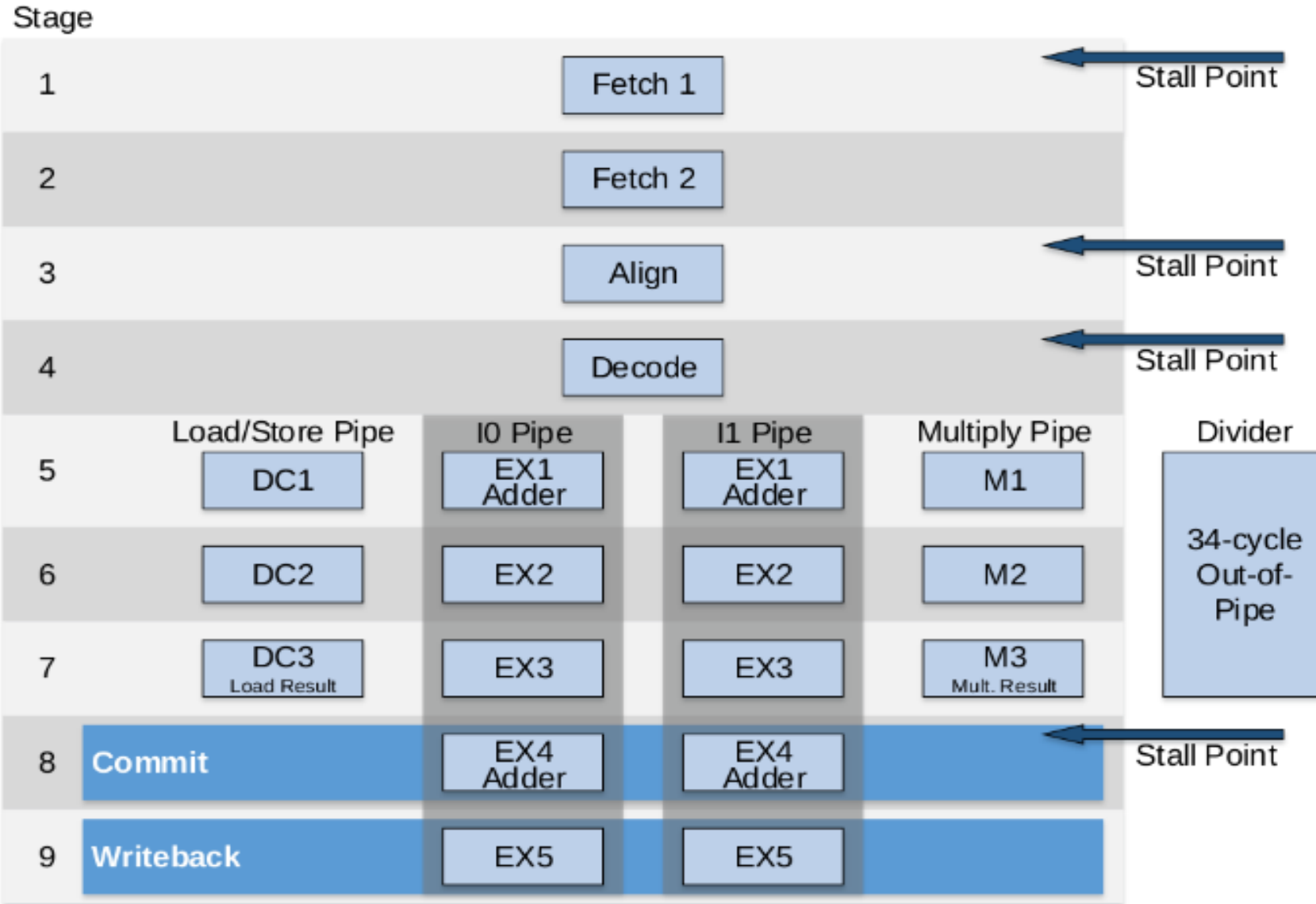
- Imagination TechnologyのUniversity Programが提供するFPGA用RISC-Vの設計
実習パッケージ
 - MIPSfpgaと類似のコンセプト
- コア：WesternDigital社 SweRV EH1 Core
 - RV32IMC 組み込み用標準装備
 - 9段パイプライン、2命令同時発行
 - 周辺機器、インタフェースが整備されている
 - m(machine)モードのみ、OSの実装はできない
- Nexys A7 FPGAボードが対象
 - Artex 7の安価なボード
 - DRAMは不要
- 組み込み開発向けオープンソースプラットフォームPlatformIOとVSCodeによる
統合環境
 - コンパイル、デバッグ、FPGAのConfigurationが単一の環境で実現できる
 - シミュレータとの連携
 - 親切（ちょっとうざい）なマニュアルがある

SweRV EH1 Coreとは？

- Western Digital社の開発したRISC-Vコアシリーズの一つ

コア名	RISC-V	パイプライン構成	スレッド	サイズ@TSMC	CoreMarks/MHz
SweRV Core EH1	RV32IMC	9stage 2命令同時発行	単一	.11mm@28nm	4.9
SweRV Core EH2	RV32IMC	9stage 2命令同時発行	2	.067@16nm	6.3
SweRV Core EL2	RV32IMC	4stage 単一命令発行	1	.023@16nm	3.6

SweRV EH1 Coreのパイプライン構成



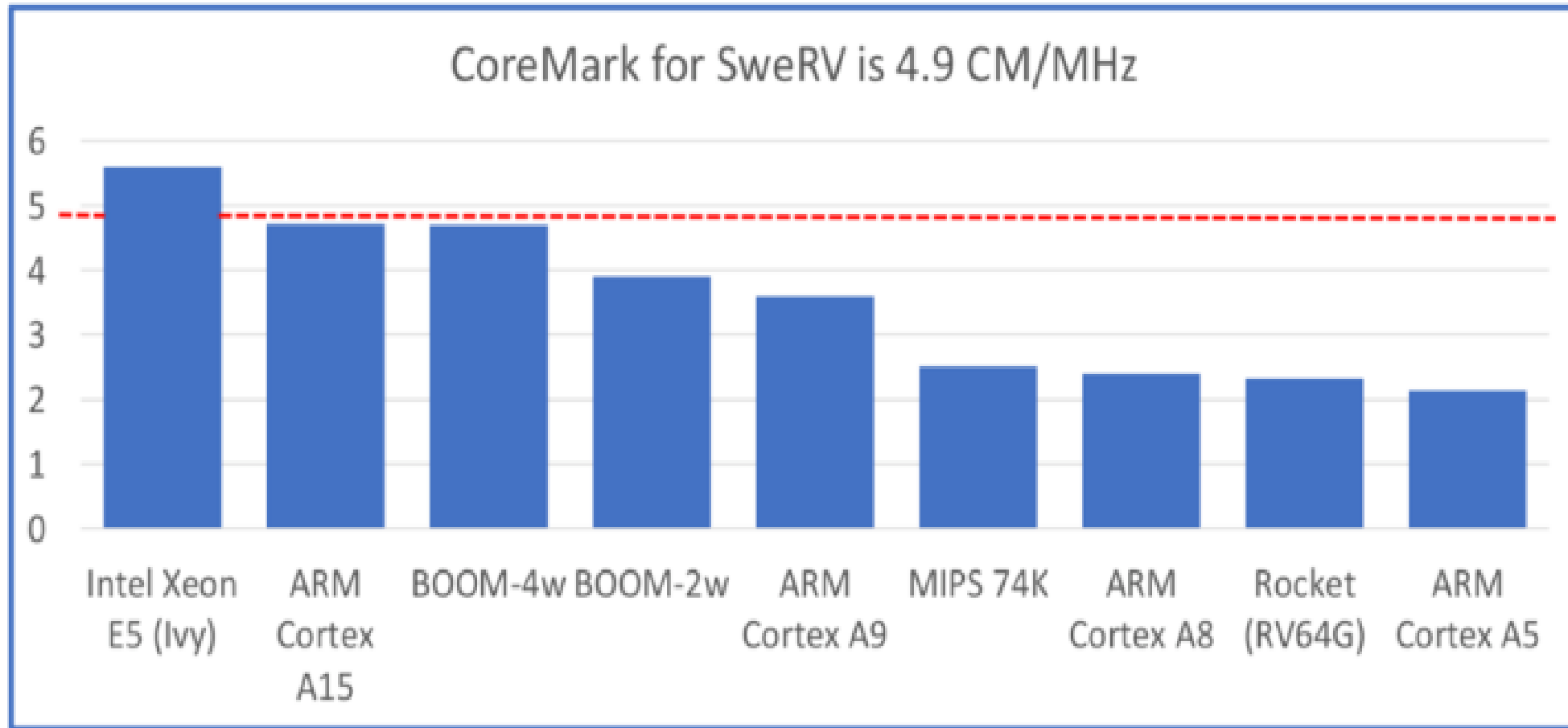
Fetch1はGshare分岐予測器を持つ

Fetch1はGshare分岐予測器を持つ

I PipeはLoad/Store
II Pipeは3サイクル遅延の乗算器

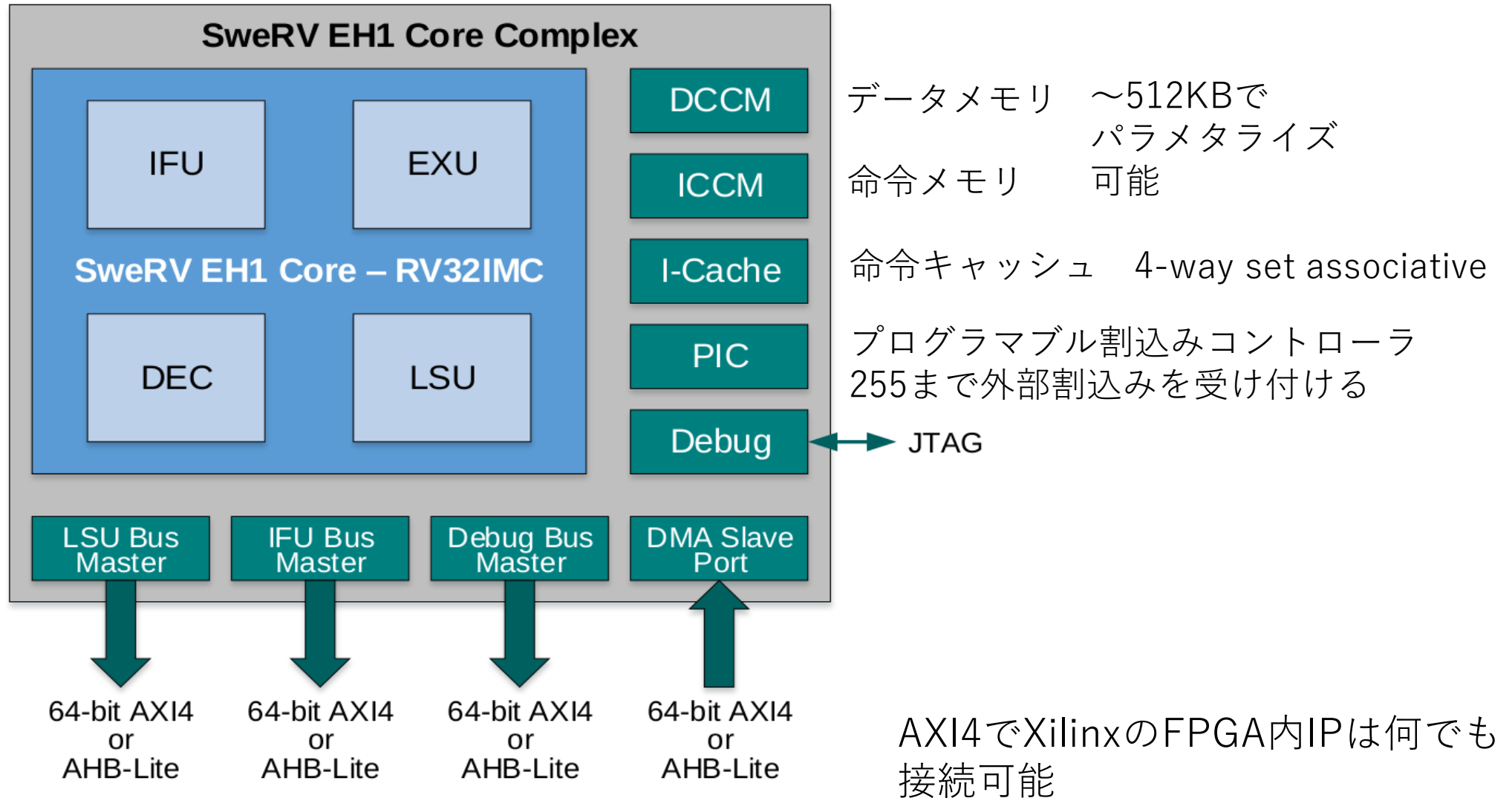
パイプライン外に34サイクルの
除算器

性能比較：50MHzで動作する。周波数当たりの性能が高い。



CoreMarkはEEMBCが提供しているベンチマークで、Dhrystoneより「マシ」な合成ベンチマーク1秒当たりの反復回数で表すが、これはさらにMHzで割っている。

Core Complex:周辺回路



データメモリ ~512KBで
パラメタライズ
命令メモリ 可能

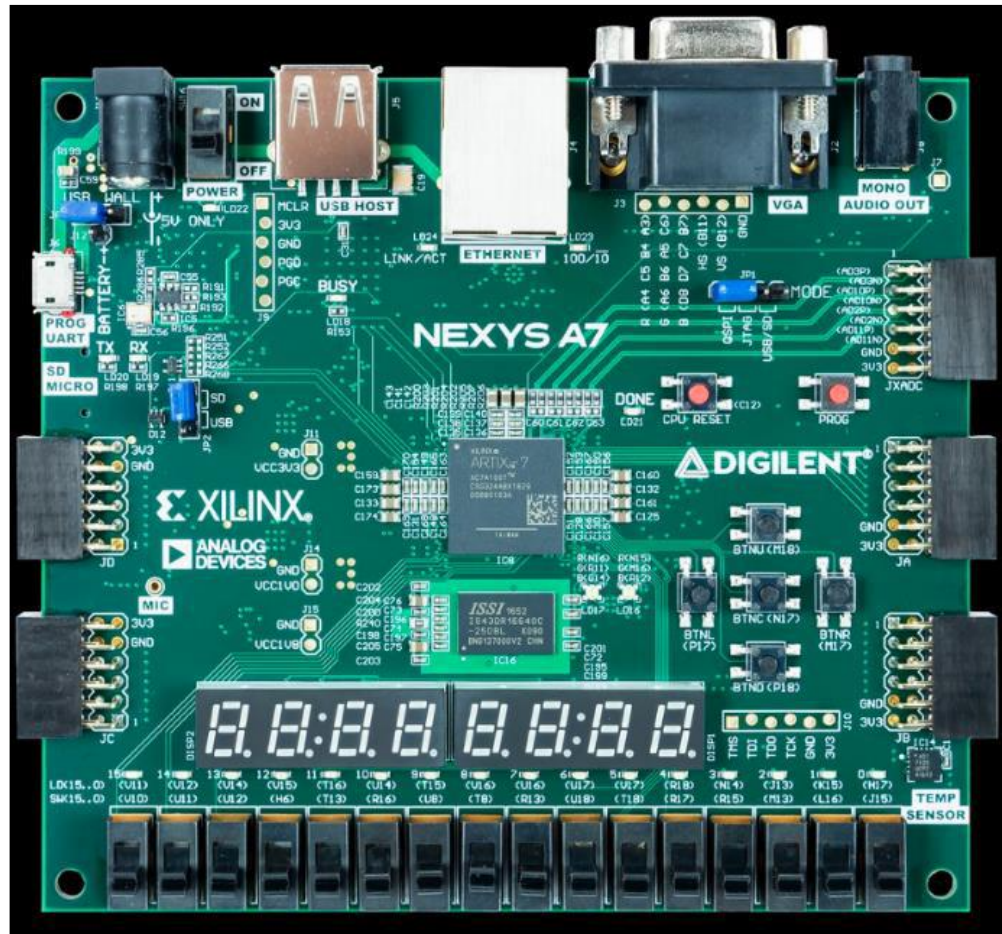
命令キャッシュ 4-way set associative

プログラマブル割り込みコントローラ
255まで外部割り込みを受け付ける

AXI4でXilinxのFPGA内IPは何でも
接続可能

SPIコントローラ、GPIOに拡張可能

対象FPGAボード

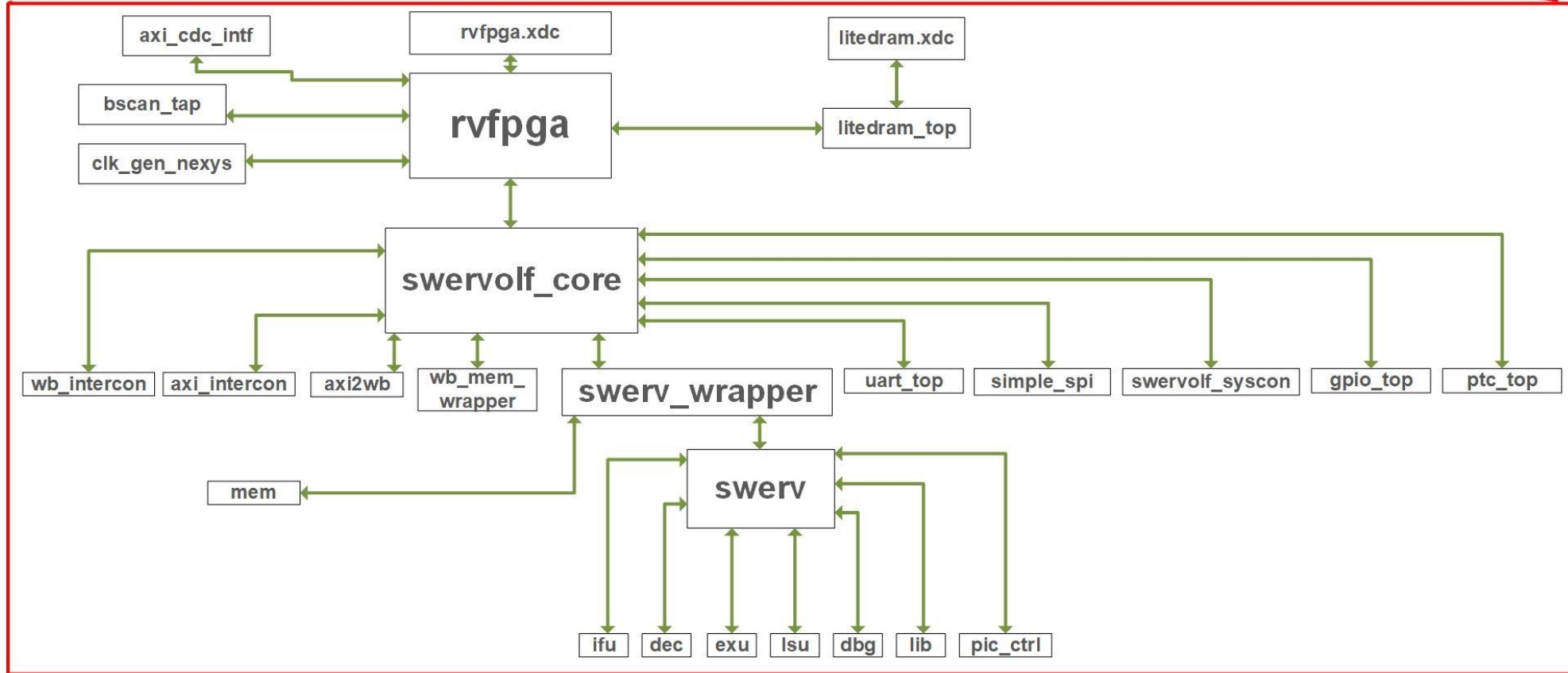
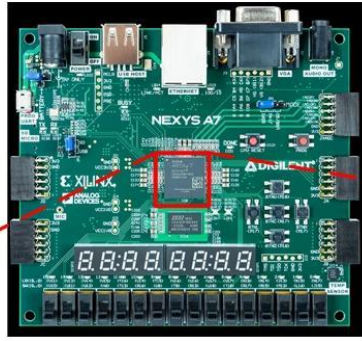


Digilent社Nexys A7

34700円@秋月電子

Artex-7:XC7A100T-1CSG324C
10万Logic Cells/4.8Mb memory

Digilent社Nexys4 DDRでもOKだが
他のボードへの移植は手がかかる



実装の様子

PlatformIO

組み込み用の統合
プラットフォーム

FPGAのConfiguration

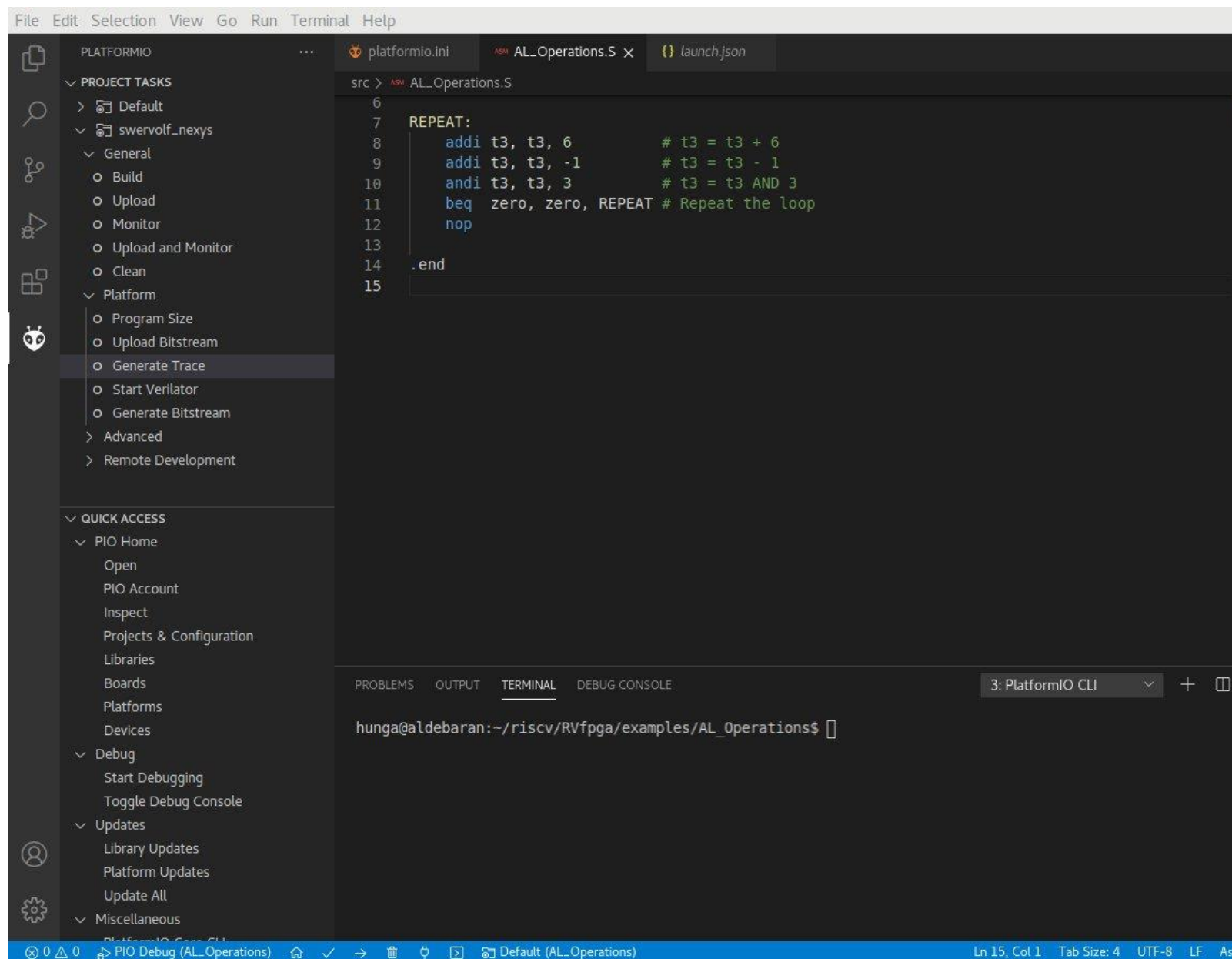
プログラムのコンパイル

アセンブル

ダウンロード

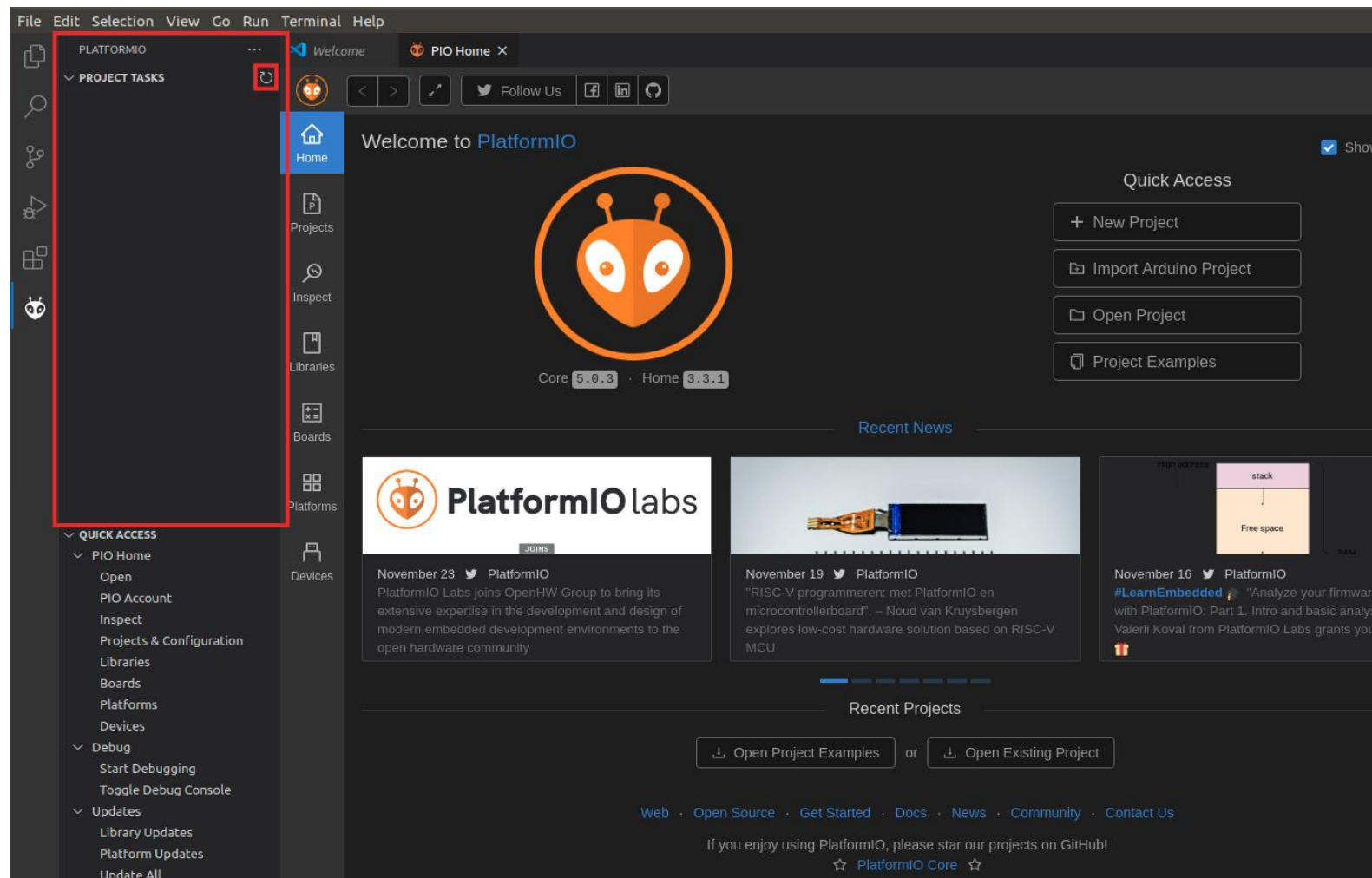
デバッグ

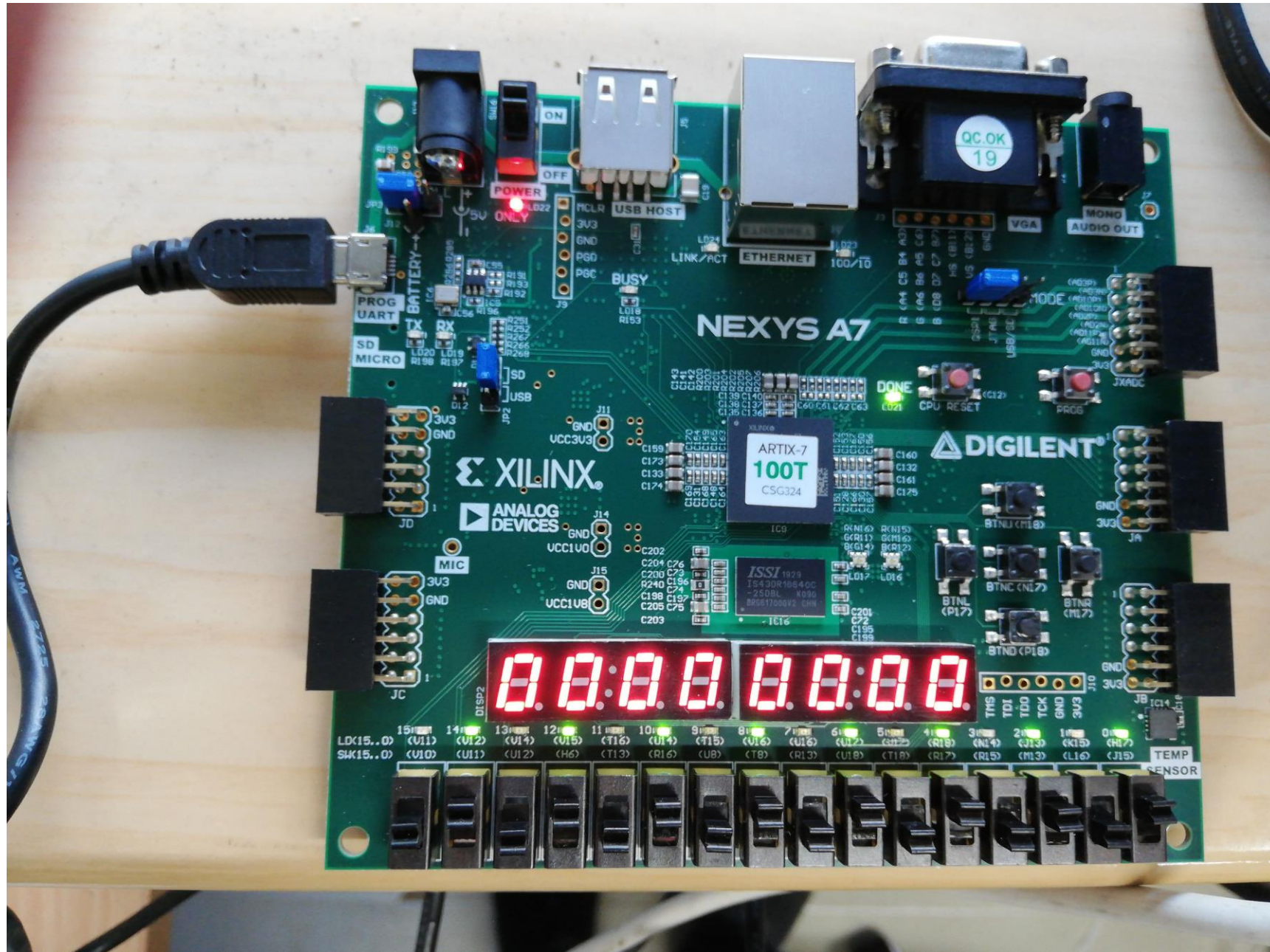
が統一環境で可能



ボードのUSBコネクタと接続

Configuration Dataと
プログラムを別々に
ダウンロードできる。



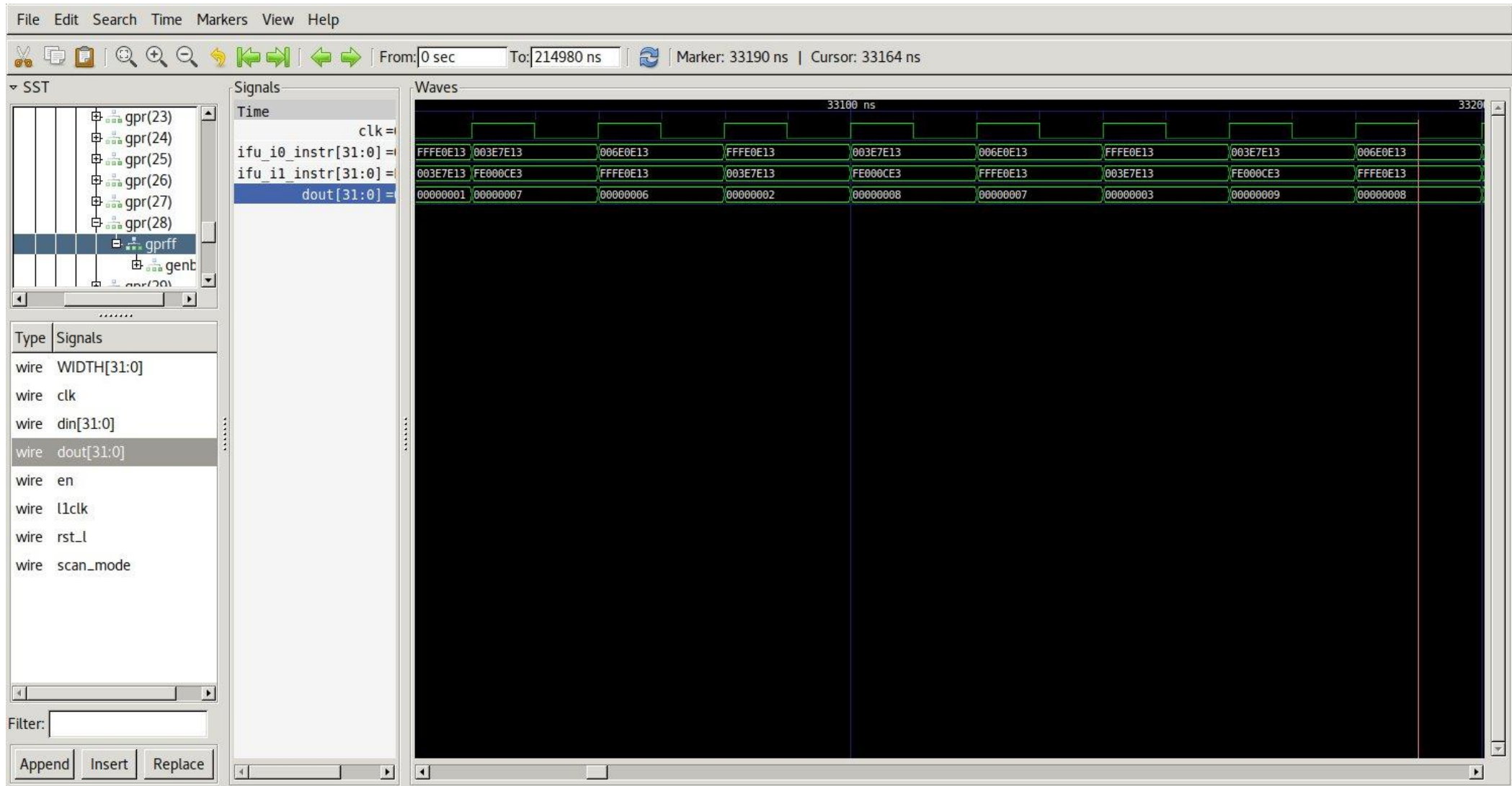


思ったより簡単に
環境の立ち上げが
できる

VSCoDe + PlatformIOの利点

- FPGA上でCPUを動かす時にどうやっているか？
 - VivadoでConfiguration
 - ターミナルでコンパイル・アセンブル
 - 機械語を何らかの方法でFPGAにダウンロード（Configuration dataにROMの初期値を入れてしまう）
 - 何らかの手段でデバッグ（ILAを使ったりする）
- 上記の操作が一つのユーザインタフェースで可能
 - Vivadoがなくても可能
- Linux Ubuntu、Windows10、MacOSのホストで可能
- この統合環境の提供がRVfpgaの最大の利点
 - 部分的利用が面倒（可能だが）
 - ボードの移植も面倒

Verilator + GTKWaveでのシミュレーション



コマンドラインでアセンブルまで行い、シミュレーション、表示はGTKWave
Whisperという命令レベルシミュレーションもある。しかしVerilatorは十分速いが、、、

RVfpgaは何に向いているか？

- FPGAを用いた学生実験
 - FPGA基板を実際に使わないと魅力が半減
- 組み込みシステムの実験、演習
 - 豊富なI/Oの利用
 - 元々、SweRV EH1 CoreもPlatformIOも組み込み用途
 - しかし、OSは走らない
- SweRV EH1 Coreはアーキテクチャの演習に使えるか？
 - 案外簡単でSystem Verilog記述は読めるかもしれない
 - 動作もVerilator+GTKWaveで解析可能
 - しかし、やはり手を入れるのは難しい
- コンパイラの動作の理解には使える
 - しかし、TLBがないのでOSまでは行かない
- アーキテクチャ・OS教育ならば吉瀬さん（東工大）の所の方が良いような気がする。
- Harris & Harrisの「デジタル回路設計とコンピュータアーキテクチャ」が出てくるだろう。そこにはSystem Verilogのコードも付いているはず（しかしこれは読みにくい
が、、）

Imagination Technologyにお願い

- SweRV Core EL2判も出して欲しい
 - 4ステージ、単一パイプラインなので教育用としてはこちらが良い
- Vivadoのプロジェクトがあった方がいい
 - xdcファイルがあるので、構成は可能かもしれない
 - Xilinxのプロジェクトは巨大なので配布は難しいが、アーカイブかプロジェクト生成スクリプト(tclファイル) ならば可能
 - 命令の付加や周辺回路の実験に活用できる
 - FPGAのインタフェースを活用できる

<https://university.imgtec.com/>

- 全てOpenSourceで無料のツールで構成されている
- Linux Ubuntu、Windows10、MacOSで環境構築可能
- 日本語翻訳済のRVfpga Getting Started Guide (RVfpgaスタートガイド) も取って来れるはず (近日中には)