VDEC / d.lab & AI拠点
～チップの民主化とRISC-V

VDEC / d.lab and AI Chip Design Center
~Chip democratization and RISC-V~

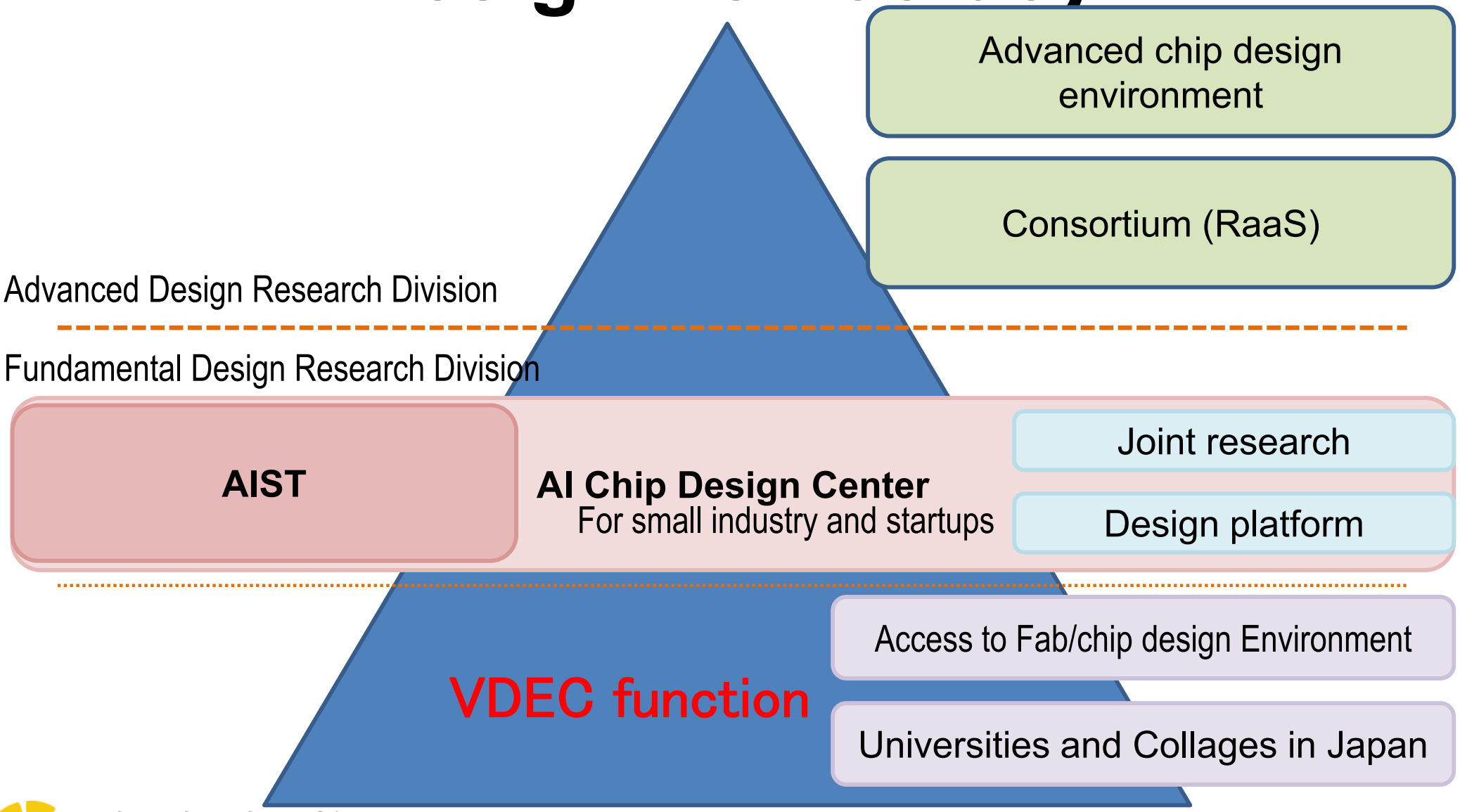
Makoto Ikeda

Systems Design Lab(d.lab),
(Electrical Engineering and Information Systems)
The University of Tokyo, Japan

RISC-V as a piece of Chip design democratization

- Many barrier for chip design,,,
  - Cost of EDA tools
    → d.lab(VDEC) for academia, AIDC for small industry
    → OpenSoft EDA?
  - Cost of IPs
    → RISC-V
  - Know how / design cost: Community
    → AIDC,, Agile design at RaaS/d.lab

d.lab as the Center of Chip Design Democracy

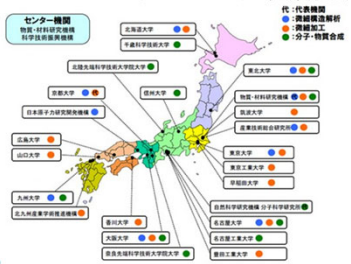


Structure of d.lab

4-wheel driving covering device, design for circuits and systems

基盤デバイス研究部門

- 武田クリーンルーム・ナノテクプラットフォーム
  → マテリアルDX
  – 高価なクリーンルーム、高価な装置、高額な運用コスト→いかに共用し効率化？



対比するなら・・計算機センター

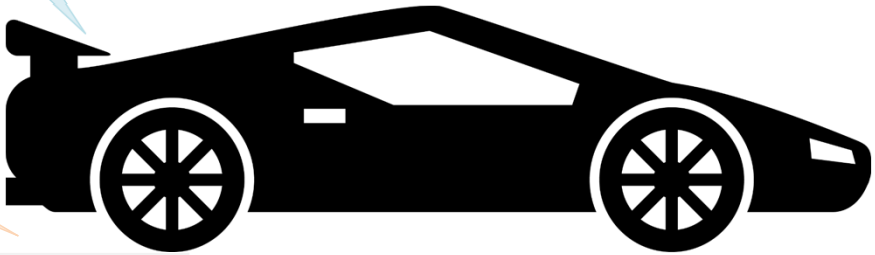
全国各大学に設置され共用されているクラウド化？・機能の集約？

基盤デバイス研究部門

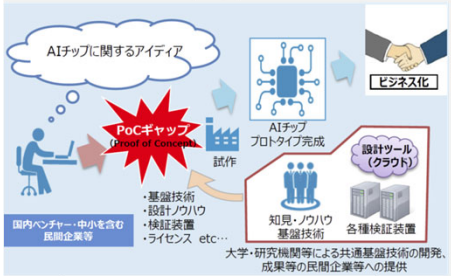
先端デバイス研究部門

基盤設計研究部門

先端設計研究部門



AIチップ開発加速・ベンチャー支援

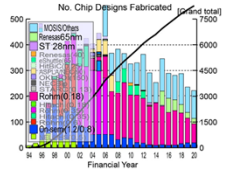


進化速度の速いAI分野
- アイデアーTo－チップの高速化
- 大規模チップの効率的設計、効率的検証の実現

- 2018年から経済産業省・NEDOのプロジェクトとしてAIST・東大で受託し運営中
- ESまで対応可能なEDAツール
- 大規模検証を可能とするハードウエアエミュレータ
- AIチップ実現に不可欠なLSI-IP
- AIチップ設計に関するフォーラム・勉強会・セミナー・教材
- AIチップ試作のための先端プロセスのゲートウエイ

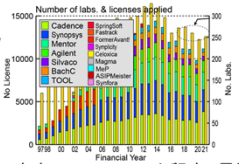
VDECの活動：チップ試作・EDAツールと人財育成

- 1.2umCMOS ～ 28nm CMOSまで、23年間で16種類のプロセスに対し、PDKを含む設計プラットフォームを構築し、セミナーなどを通じた教育により全国に普及させた
  – デザインキットの頒布数の合計：393研究室1568件
  – チップ試作品種数：8300品種

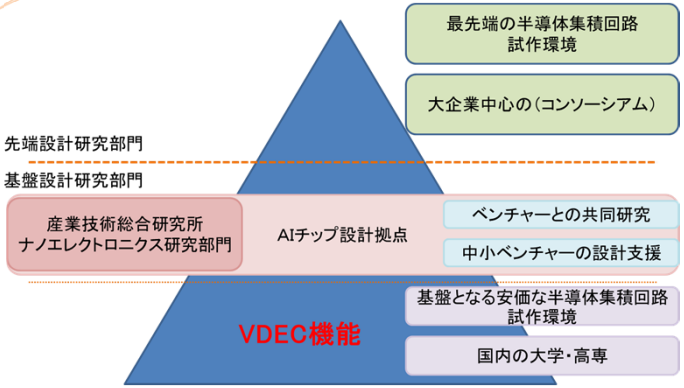


→ 累計で1万人を上回るチップを設計できる人材を輩出

- 主要なEDAベンダーとアカデミックライセンス契約
  – 日本国内の国公私立大学、高専における「研究」「教育」目的に利用可能なライセンスを提供
  – 利用申請：　～ 300研究室
  – 総利用申請数：～14，000



→ 毎年1,000～3,000人程度、累計で3万人を上回るEDAを駆使できる人材を輩出



AI Chip Design Center

- Activity funded by METI and NEDO from 2018, at VDEC(now d.lab) & AIST
  - Platform for AI chip design in small company and startups
  - EDA tools for engineering samples
  - Verification platform by logic emulator
  - LSI-IP for AI chip design
  - Forum, seminars & materials for AI chip design
  - Chip fabrication gateway for the Advanced process for AI chip
  - **Preparing SoC platform based on RISC-V on Emulator**

RISC-V as a piece of Chip design democratization

- Many barrier for chip design,,,
  - Cost of EDA tools
    → d.lab(VDEC) for academia, AIDC for small industry
    → OpenSoft EDA?
  - Cost of IPs
    → **RISC-V**
  - Know how / design cost: **Community**
    → AIDC,, Agile design at RaaS/d.lab