

# Emulator上でのRISC-Vプロセッサによる Linuxブート

## Linux Boot with RISC-V Processor on Cadence Emulator

2021/04/23

荒川 文男

Fumio Arakawa

東京大学 大学院 工学系研究科 システムデザイン研究センター

d.lab, The University of Tokyo



# AI設計拠点のEmulatorの概要



- ❑ 1チップ大規模データをEDAシミュレーションより高速にエミュレーションできます。
- ❑ PCIe等のエミュレータ専用IPモデルの整備を進めております。
- ❑ シミュレータとエミュレータの協調設計検証が出来る専用サーバの準備を進めています。  
設計検証効率を向上させるエミュレータ活用方法を研究開発しています。
- ❑ 論理検証、システム検証、性能消費電力予測に適用できます。
- ❑ 1,200TBのストレージなど整備を進めています。
- ❑ セキュアにリソースを専有できます。
- ❑ リソース増強などプロジェクトニーズに対応できます。



# AI設計拠点のEmulatorの仕様



- ASIC based Emulator、High Capacity and Optimized Verilog IF
- 72 Boards、576 Domains
- 最大ゲート規模：2,304MGate
- 最大ユーザメモリ規模：4,608GByte
- ライブラリ
  - ◆ エミュレータ検証専用AXI, PCIe, HDMI, MIPI, USBのライブラリの整備を進めています。

cf.) [https://ai-chip-design-center.org/aidc2020/aidc2020\\_wp\\_Public/public\\_tools/#Emulator](https://ai-chip-design-center.org/aidc2020/aidc2020_wp_Public/public_tools/#Emulator)



# 目次

---

- AI設計拠点のEmulatorの概要
- 東工大一色研のRISC-Vコアと検証環境
- Emulatorへのポーティング
  - ◆ Emulatorの制約と対応
  - ◆ UARTトランザクタの活用
  - ◆ 外部メモリの実装
  - ◆ UART速度の変更
- Emulator活用のノウハウ
  - ◆ ホストとEmulatorのインタフェース
  - ◆ 波形データ取得方法とデータ量削減方法
  - ◆ メモリデータ取得方法
  - ◆ simvisionでの信号追跡方法
- Emulation速度
  - ◆ パラメータの違い、波形取得の有無の影響
  - ◆ RTLとGate、EmulationとSimulationの比較



# 東工大一色研のRISC-Vコアと検証環境

- 5段パイプライン、命令・データキャッシュ、MMUあり
- 東工大一色研の高位システム設計検証環境で開発
  - ◆ C/C++からVerilog RTL、テストベンチを生成
- システム構成
  - ◆ RISC-Vコア、AXIバス、外部メモリI/F、UART I/F、SPI I/F
- 外部UARTモジュール
  - ◆ UART出力される文字コードを\$write, \$displayで表示
- テストベンチ
  - ◆ Verilogのinitial文で動作記述、クロック・リセットも記述
  - ◆ 毎サイクル、テスト対象の入出力ログを読み出し
  - ◆ 検証のために外部端子以外も出力し32ビットに圧縮してチェック
  - ◆ 入力ログはテスト対象に入力
  - ◆ ログはバークレーブートローダ (bbl) によるLinuxのブート



---

# Emulatorへのポーティング



# Emulatorの制約と対応

- Initial文による**動作記述**はEmulator HWに**マッピング不可**
  - ◆ ただし、初期化にはInitial文が使える
  - ◆ 合成可能な記述はマッピングできる
  - ◆ 動作記述の**テストベンチ**はEmulator用に**全面書換え**
  
- **100M要素を超える配列**定義はエラーとなる
  - ◆ Linuxのブートログは約116Mステップ
  - ◆ 2分割で対応し、配列初期化でログ読み込み
  - ◆ ただし、宣言の後に `/* sparse */` を付けると要素数 $2^{31}-1$ までOK
  
- **\$write, \$display**はワーニングを出して無視する
  - ◆ ただし、ixcomで**+iscdisp**オプションを付ければconsoleに出力できる
  - ◆ しかし、Emulator制御の入出力と混ざってしまう
  
- AI設計拠点環境の制約
  - ◆ UARTトランザクタ使用時はホストにemu01-nを指定
  - ◆ com01-nでは動作しない



# UARTトランザクタの活用

---

- UARTトランザクタはCadence社のAEWare \*)
- 事前にJob投入端末でxhost +する
- 複数をインスタンス化することで、複数の端末ウィンドウを開ける
- Linuxのブートでは、一つをバークレー・ブートローダー (bbl) 出力に、もう一つをEmulation進行状況、ログとの比較結果表示に使用
- EmulatorのConsole出力と分離することで、Emulator制御の入出力と混ざってしまうことを防げる
- Linuxホストのscreenやminicomと同様なインタフェース

\*) AEWare : Cadence社製品の顧客に無料無保証で提供している  
ソフトウェアやスクリプト、サンプル・デザインなど





# EmulationのConslleウィンドウ

```
PalladiumZ1 Verification Computing Platform - xeDebug
File Edit View Windows Help
Setup Control Bookmark DRTL SRL Probe Memory InfiniTrace Force Assertions Deposit Break Clock RTL/Gate PartialFV
- Database and Work Directory
Design Directory: /
Work Directory: /home008/user0807/work/palladium/ishiki_tb User Session: test1
Emulator: Online Offline
Configuration
State: Tbrun Change To: Sim Run Tbrun Nbrun Autotrun Match Hot Swap Options
Emulator: emu01-n Short (Emulator set to z1-emu) dbEngine Host: (dbEngine started on emu01-n)
Sim Host: emu01-n Board: Board:
Target: Skip All: I/O Assignments Tri-state I/O: irun Options: -process_save +HUTOTERM -sv lib /apps/aid/cadence/VIPCH/VIPCH113666/packages/cdr_avis_utils/lib/64bit/libWIP_utils.so -sv /jdb
Vision Mode: DMP Download Retry: 0 Interval 10 Debug Mode: Static Target Dynamic Target
Start Session End Session Suspend Close Design Restore last debug environment
Continuous Upload SSI2 (SSH) Wave Database:
Save/Restart Cosimulation State
Cosimulation State File Name: Path:
Save Restart Emulator State Debug Env
ME server port: emu01-m:46248
ME> xc:source /home008/user0807/work/palladium/ishiki_tb/scripts/sarun.tcl
ME> debug . -session test1
ME> host .
INFO (legacy-51751): Setting emulator to z1-emu from /etc3each/vbcs_defaults on virtual host emu01-n. dbEngine host is emu01-n.
INFO (legacy-51832): An InfiniBand connection was verified from host emu01-n to z1-emu.
INFO (legacy-51832): Run -R -dtsimdebug -64bit -nolog -process_save +HUTOTERM -sv lib /apps/aid/cadence/VIPCH/VIPCH113666/packages/cdr_avis_utils/lib/64bit/libWIP_utils.so -sv lib /apps/aid/cadence/PPP/18.1.0/tools/cdr_w
_p_utils/lib/64bit/libMPP_utils.so -sv lib /home008/user0807/work/palladium/vart_stor_V4_82_06182020/lib/libbartstx.so +allow_suspend -tcl -input /apps/aid/cadence/VVE/18.5.0/tools.lm86/etc/qel/mcrun.qel
INFO (legacy-51578): Opened xcConnect port 47752 on host emu01-n (132.168.20.1) for xeDebug process 342566.
dbEngine_rpcbind - VVE, V18.5.0.0,000
INFO (legacy-47055): Running in design directory: /home008/user0807/work/palladium/ishiki_tb/test1.session
run(64): 18.09-s008; (c) Copyright 1995-2015 Cadence Design Systems, Inc.
TCL: xrun(64) 18.09-s008; Started on Mar 17, 2021 at 09:17:51 JST
INFO (legacy-0): 1199 cells have been restored
INFO (legacy-0): 151537 snrPlets have been restored
INFO (legacy-0): 156864 snrPrivs have been restored
smis(64): 18.09-s008; (c) Copyright 1995-2015 Cadence Design Systems, Inc.
Loading snapshot xc.ncwork_hu_topmodule ..... Done
Log started on host: emu01-n at: Wed Mar 17 09:17:52 2021
libxrt - VVE, V18.5.0.0,000
INFO(2): to suspend hardware. touch /home008/user0807/work/palladium/ishiki_tb/test1.session/tmp/suspend
xccliem source /apps/aid/cadence/VVE/18.5.0/tools.lm86/etc/xcom/xc.tcl
xccliem source [file join fenv(UTHOME) etc/qel.ncloadrun.qel]
Connecting to dciemu01-m:57327...
ME(sia) xset atHost "LSF 2"
LSF 2
ME(sia)
ME(sia) xc xt0 zt0 tbrun
INFO (legacy-51523): host "z1-emu" is Palladium Z1
INFO (legacy-51524): Palladium Z1 database run on Palladium Z1 machine.
INFO (legacy-44626): PPP_Z1: Acquired 'Palladium_Z1_Domain' license, version '18.2'.
INFO (legacy-50779): Download Info: boards 1,0
INFO: Configgr IP address 132.168.30.5 found on Network Interface en3
Configuring UR
--- MI execs config in 16.17 sec
ME(sia) run -swap
xccliem Welcome to CDR Virtual URRT V4.82 (Build 06/18/2020 05:00)
create log ./uartout/uart_0.log
open server at emu01-m:2333
create log ./uartout/uart_1.log
open server at emu01-m:2334
peer 127.0.0.1(127.0.0.1):51598 connected
peer 127.0.0.1(127.0.0.1):51582 connected
Starting swap into the emulator.
Finished swap into the emulator.
--- MI execs swain in 1.71 sec
--- xc tbrun: current sia time = 0 FS
INFO (legacy-49080): Please use the 'Upload' button to upload the probes. This message will not be displayed again.
Memory Usage - Current physical: 535.0M. Current virtual: 2301.8M
CPU Usage - 0.3s system + 0.5s user = 0.8s total (3.71 cpu)
Simulation stopped via $stop(2) at time 0 FS + 62
ME(sia) run 210442750ms: HWRT_115200
--- MI execs 132 tbcalls sucs
--- MI execs 25243682 memory read 116 write
--- MI execs 276789636 evals 0 bevals 278790129 cfcals 158 tbycs in 119.09 sec (0.43 us/eval: 2340920.60 eval/sec: 111.22 CPU sec)
--- MI execs emulator busy 119.35 sec (39.86%)
--- MI execs 132 output events
--- MI execs emulator command line session time 119.47 sec (111.22 CPU sec)
Log end: Wed Mar 17 09:20:12 2021
--- MI execs Memory read with Infiniband 25243682 times, transferred 605940200 bytes in 94.2915 sec (6.426 MB/sec)
--- MI execs Memory write with Infiniband 118 times, transferred 50332112 bytes in 0.0766 sec (656.957 MB/sec)
--- MI execs Memory read with dbEngine 0 times
--- MI execs Memory write with dbEngine 0 times
--- MI execs Memory access during Swap-In 2 times, transferred 50331548 bytes in 0.0756 sec (665.930 MB/sec)
--- MI execs Memory access during Swap-Out 0 times
Simulation complete via $finish(1) at time 2104412544 NS + 1
./src/hwsv75 $finish
ME(sia)
Please use Upload button to upload and display the probes.
2,104,412,544 ns hw_top
```







# 外部メモリの実装

- 外部メモリからの入力がログ出力では、**サイクル数変化に対応できない**ので、外部メモリを実装した。
- Cadence社から、AXI、SDRAM、SDカードなどのインタフェースのメモリモジュールが提供されており、適宜、使用することができる。
- しかし、ログと同一動作タイミングのメモリはなかったため、自作した。
- ログでは、入力から1.5サイクルで出力を返している。
- アドレスマップでは、32ビットアドレス空間の半分が外部メモリであるが、配列要素数の上限を超える<sup>1)</sup>ので、**必要部分のみを実装**し、非実装領域にアクセスした場合は**エラーを報告して終了**するようにした。
- 何度か試行錯誤して実装領域を増やし、Linuxがブートするようになった。

1) 前述の `/* sparse */` を使えば回避可能



# UART速度の変更

- ❑ Cadence社のUARTトランザクタはUART信号のクロックと**その16倍のクロック**を入力して動作させる。
- ❑ 東工大一色研のRISC-Vコアの検証環境ではUART信号のクロックがメインクロックの1/2であるため、16倍のクロックは**メインクロックの8倍**速い。
- ❑ **Emulatorの速度は、最速クロックに強く依存する**ため、この状況ではUARTトランザクタがEmulatorの速度を決めてしまう。
- ❑ そこで、UART信号のクロックをメインクロックの1/2から1/234にして、**最速がメインクロック**になるように変更した。
- ❑ 1/234は115,200bpsに相当し、1/2の次に速い設定である。
- ❑ この結果、Emulatorの**速度は大幅に向上**した。
- ❑ 一方、UART信号が大幅に遅くなったため、これがネックとなり、Linuxのブートは、約116Mサイクルから**約132Mサイクルに増加**した。



---

# Emulator活用のノウハウ



# よく参照するマニュアル

---

- docが沢山あって、参照すべきマニュアルが分かりにくい
  
- 実行関係では、VXEのdoc
  - ◆ 例えば `/apps/aidl/cadence/VXE/20.05.001.1/doc/`
- その下の下記をよく参照する
  - ◆ `vxecmdref/vxecmdref.pdf`
  - ◆ `vxeUserGuide/vxeUserGuide.pdf`
  
- ただし、結構わかりにくいし、統一感がないので、先入観を捨てて読むことが重要
- 類似の記述からの類推は失敗のもと



# ホストとEmulatorのインタフェース

## □ Task, functionによる制御の例

- ◆ HW側のUARTに1文字 (8 bit) 出力するtaskをHost側で20回呼んで、文字列を表示

HW側

```
`ifdef IXCOM_COMPILE
initial begin $ixc_ctrl("tb_export", "sendData"); end
`endif
task sendData(input [7:0] data); begin
    @(posedge clku); rx <= 0; //START bit
    for(int i=0;i<8;i++) begin @(posedge clku); rx <=data[i]; end
    @(posedge clku); rx <= 1;      end
endtask
```

Host側

```
string CRLF = {8'h0d,8'h0a};
string msgi = {CRLF,"START testing:",CRLF,CRLF};
...
for (i = 0; i < 20; i = i + 1) hw_top.dut1.sendData(msgi[i]);
```





# ホストとEmulatorのインタフェース

- export\_read, export\_eventの例
  - ◆ export\_eventはevent listに使うときは必要らしい
  - ◆ とりあえず入れておけば、Errorの可能性は減る

## HW側

```
`ifdef IXCOM_UXE
initial begin  $export_event(hw_top.dut1.abort);
                $export_read (hw_top.dut1.abort); end
`endif
```

## Host側

```
if(hw_top.dut1.abort) break;
```

- ◆ abortがアサートされたら、ループを抜ける処理



# 波形データ取得方法とデータ量削減方法

- xeDebugの実行.tclでDatabaseの設定・無効化・有効化

```
set dbname <ディレクトリ名>
```

```
...
```

```
database -open $dbname -cont
```

```
run <数値>ns
```

```
database -disable $dbname; # disable - enable 間は取得しない
```

```
run <数値>ns
```

```
database -enable $dbname
```

```
run <数値>ns
```

- xeDebugの波形生成.scrで

```
set dbname <ディレクトリ名>
```

```
host -offline $dbname/wave01
```

```
database -open $dbname/wave01_emu
```

```
probe -create hw_top -all -depth all; # all signals
```

または probe -create -allnets -all -depth 1; # 1階層まで、など

```
database -upload
```



# メモリデータ取得方法

- 波形データ取得方法ではメモリ（配列）データは取得できない
- runを止めて、memoryコマンドでファイルに出力

```
set <設定名> <出力ディレクトリ名>
...
run <数値>ns
memory -dump %readmemh <インスタンス名>.<配列名> ¥
        -file $<設定名>/<出力ファイル名> ¥
        -start <アドレス> -end <アドレス>
run <数値>ns
...
```

- 波形データのように値の時間変化を追える訳ではない
- 入出力信号の観測では不十分な時の最後の手段



# simvisionでの信号追跡方法

- simvisionで波形データを読み込むだけでは信号追跡できない
- 波形表示起動コマンド例

```
setenv WAVE_NAME <ディレクトリ名>
simvision -64      -wave    ${WAVE_NAME}/wave01.shm ¥
                            ${WAVE_NAME}/wave01_emu.shm ¥
                   -input   ${WAVE_NAME}/wave01.svwf &
```

- 信号追跡時の起動コマンド例

```
setenv WAVE_NAME <ディレクトリ名>
simvision -64      -cdslib xc_work/cds.lib ¥
                   -snap   xc_ncwork.hw_top:module ¥
                            ${WAVE_NAME}/wave01.shm ¥
                            ${WAVE_NAME}/wave01_emu.shm &
```

- 起動後、信号を選んでSend To Schematic Tracerで起動
  - ◆ クリックで入力側、出力側の双方にTraceできる
  - ◆ Unknown\_<番号>の箱の中身は追跡できないが、  
Send To Source Browserで信号の記述を表示させることができる



---

## Emulation速度



# Emulation速度

- ポーティング当初は116Mサイクルの実行は数分程度であった。
- しかし、デバッグのために波形生成すると、実行に約10分、波形生成に2時間程度かかり、ファイルサイズは80GB程度になった。
- そこに、UARTトランザクタを実装すると、実行に数時間かかり、波形生成は1日たっても終わらなくなった。
- そこで、体感速度をデータ化するため、パラメータを振って実行時間・CPU時間を収集した。
- 波形生成時にLinuxのブート終了まで計測するのは困難かつ非効率なので、1Mと10Mサイクル実行時の時間を収集した。
- Gate記述はRISC-Vコア部分をCadence社のGenusで合成置換したもの。
- Simulation時間は、EmulatorでHWをOFFした時の実行時間
- SimulationではLinuxブートに数百時間かかると推定されるため、1Mサイクル実行時の時間を収集し、外挿して求めた。
- RTLのEmulationで、最速クロック以外はEmulation速度に影響を与えなかったため、RTLとGate、EmulationとSimulationの比較では、代表的な2組のパラメータ設定で実行した。



# パラメータの違い、波形取得の有無の影響

	parameters				bootcycles	w / o w ave		w / w ave										
	external mem.	error check	log check	UART				1M cycles			10M cycles							
						exec.	CPU	exec.	CPU	wave	exec.	CPU	wave					
										all			1	all				
1	log	-			1/2	116 M	13' 38"	718.98"	1' 35"	5.79"	3' 49"	8' 36"	54.89"	7' 12"	33' 44"			
2	memory module	Yes	Yes				13' 52"	730.56"	1' 36"	6.25"	3' 58"	8' 33"	62.06"	8' 16"	34' 43"			
3		No					13' 44"	718.33"	1' 36"	6.28"	3' 58"	7' 48"	62.60"	7' 28"	35' 08"			
4		Yes	No					14' 30"	785.66"	1' 19"	6.44"	4' 06"	7' 30"	64.28"	6' 54"	33' 56"		
5		No						14' 00"	754.86"	1' 18"	6.23"	3' 57"	8' 10"	61.85"	6' 48"	33' 31"		
6		Yes						1/234	132 M	2' 18"	107.82"	0' 37"	0.89"	0' 46"	1' 32"	8.47"	1' 27"	7' 03"
7		No								2' 20"	110.47"	0' 38"	0.88"	0' 46"	1' 29"	8.14"	1' 27"	6' 53"

- exec. time: "Log started on host:" to "Log end:"
- wave time: "Log end:" to "100% written"
- Parameters
  - ◆ external memory: "log" or "memory module"
  - ◆ log check every cycle, error check for every memory access
  - ◆ UART speed: 1/2 or 1/234 (115,200 bps)



# パラメータの違い、波形取得の有無の影響

	parameters				bootcycles	w / o w ave		w / w ave							
	external mem.	error check	log check	UART				1M cycles			10M cycles				
						exec.	CPU	exec.	CPU	w ave	exec.	CPU	w ave		
										all			1	all	
1	log	-			1/2	116 M	13' 38"	718.98"	1' 35"	5.79"	3' 49"	8' 36"	54.89"	7' 12"	33' 44"
2	memory module	Yes	Yes	13' 52"			730.56"	1' 36"	6.25"	3' 58"	8' 33"	62.06"	8' 16"	34' 43"	
3		No		13' 44"			718.33"	1' 36"	6.28"	3' 58"	7' 48"	62.60"	7' 28"	35' 08"	
4		Yes	No	14' 30"			785.66"	1' 19"	6.44"	4' 06"	7' 30"	64.28"	6' 54"	33' 56"	
5		No		14' 00"			754.86"	1' 18"	6.23"	3' 57"	8' 10"	61.85"	6' 48"	33' 31"	
6		Yes		2' 18"			107.82"	0'37"	0.89"	0' 46"	1' 32"	8.47"	1' 27"	7' 03"	
7		No		2' 20"			110.47"	0'38"	0.88"	0' 46"	1' 29"	8.14"	1' 27"	6' 53"	

- Emulatorの速度は、**最速クロックに強く依存**する。
- 実行時間は、パラメータの違いによる差より**ばらつきの方が大きい**。
- 波形生成の区間、depth**は実行時間に大きく影響する。
- CPU時間は、波形生成の有無による影響が小さい。
- 実行速度はCPU時間で**約1.2M/s**、実行時間で0.9~1.1M/s





# RTLとGate、EmulationとSimulationの比較

	parameters			boot cycles		Linux Boot			1M cycles		
	ext mem.	log check	UART			RTL	Gate	G/R	RTL	Gate	G/R
1	log	Yes	1/2	116M	Em u.	13'38"	15'06"	1.11	0'46"	2'01"	2.63
					Sim .	<i>262:46'20"</i>	<i>561:47'40"</i>	<i>2.14</i>	<i>2:15'55"</i>	<i>4:50'35"</i>	<i>2.14</i>
					S/E	<i>1,156</i>	<i>2,232</i>		177	144	
7	mem.	No	1/234	132M	Em u.	<b>2'20"</b>	<b>2'31"</b>	<b>1.08</b>	0'22"	0'53"	2.41
					Sim .	<b><i>145:09'48"</i></b>	<b><i>609:19'36"</i></b>	<b><i>4.20</i></b>	<i>1:05'59"</i>	<i>4:36'58"</i>	<i>4.20</i>
					S/E	<b><i>3,733</i></b>	<b><i>14,527</i></b>		180	314	

◆ *Italic numbers are estimated values with extrapolation of 1M-cycle executions.*

- 1M cyclesのEmulationでは初期化時間が無視できず、Linux Bootの1/100未満の実行に1/18~1/3の時間がかかる。したがって、**1M cyclesでの比較は不適切**。
- 一方、Simulationでは初期化時間が無視でき、**外挿によるLinux Boot時間推定**は正しいと期待できる。
- UART=1/2設定の影響は変化する。Emulationでは大、SimulationのRTLでは小、Gateではほぼ無し。変化の少ない**UART=1/234での比較**が妥当。
- 赤字部分がこれに相当し、**RTLで3,700倍、Gateで14,500倍高速化**。



# まとめ



- ❑ Cadence社のEmulator上でRISC-VコアによるLinuxのブートに成功
- ❑ RISC-Vコアは東工大一色研の高位システム設計検証環境で開発したコア
- ❑ Emulation環境構築では、UARTトランザクタを活用して、Linux端末ウィンドウおよびEmulation状況のモニタリングを実現
- ❑ 約132M cycleの実行時間は最速で2分20秒程度
- ❑ 速度はCPU時間で約1.2M cycles/s、実行時間で0.9~1.1M cycles/s

---

---

## 謝辞

本成果は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の委託業務「AIチップ開発加速のためのイノベーション推進事業、研究開発項目②：AIチップ開発を加速する共通基盤技術の開発」の結果得られたものです。また、本研究に用いたRISC-Vコア及び周辺論理は東京工業大学一色研究室より提供していただいたものです。

ご清聴有難うございました

