

# FPGA搭載RISC-V SoC SLMLETの実機テストおよび評価環境

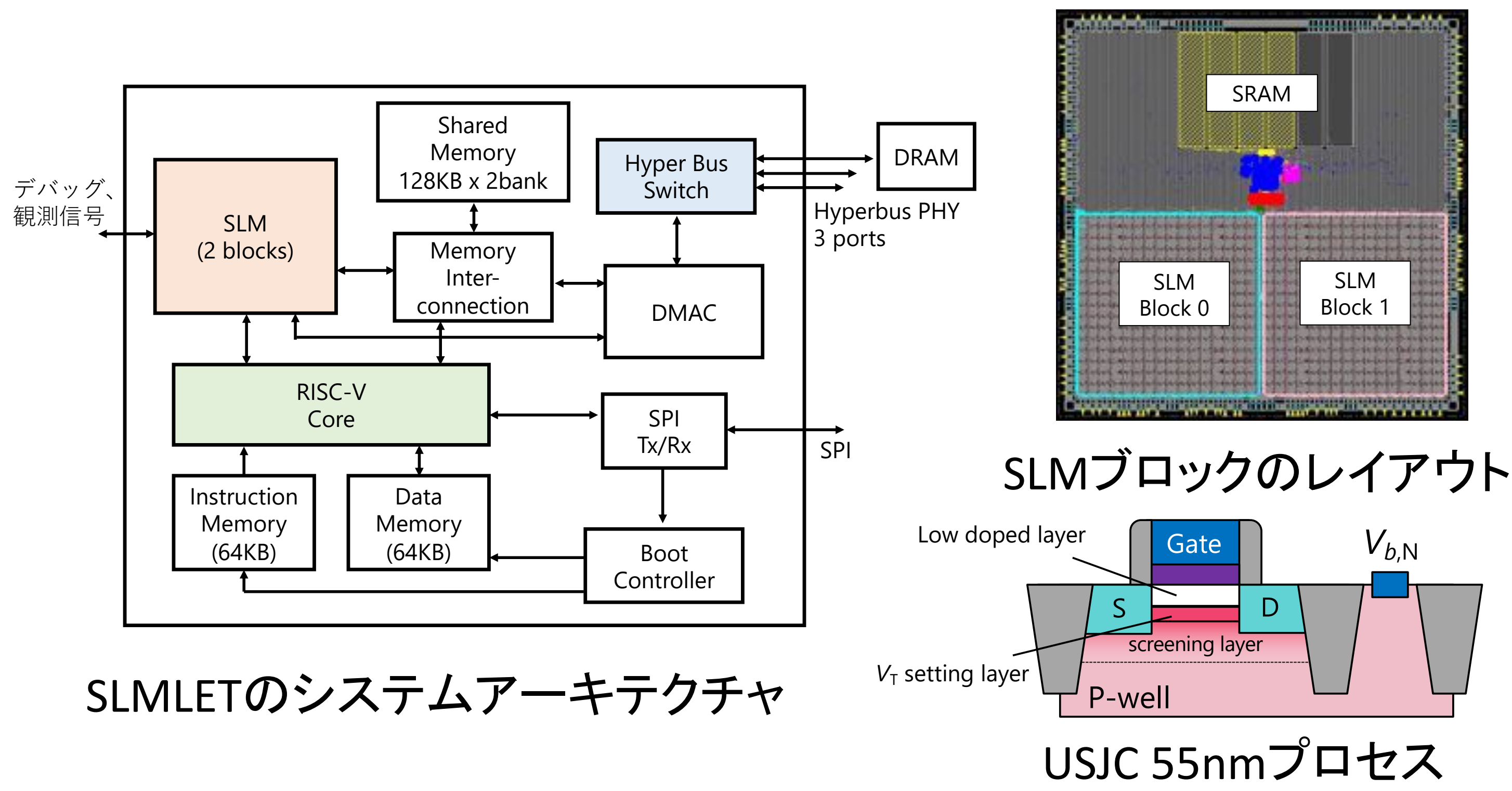
小島 拓也 東京大学大学院情報理工学系研究科

## イントロダクション

汎用のプロセッサコアに加えて、特定のワークロードを効率的に処理するための再構成可能ハードウェアを混載したSystem-on-a-Chip(SoC)は、省電力性や低遅延性、高スループット性が求められる。SLMLETは近年開発が進められているRISC-VコアとSLM再構成ロジックで構成されるSoCである。昨年テープアウトされた実機のSLMLETチップを評価するにあたり、テスト環境の整備やソフトウェア開発キットの整備などを行った。

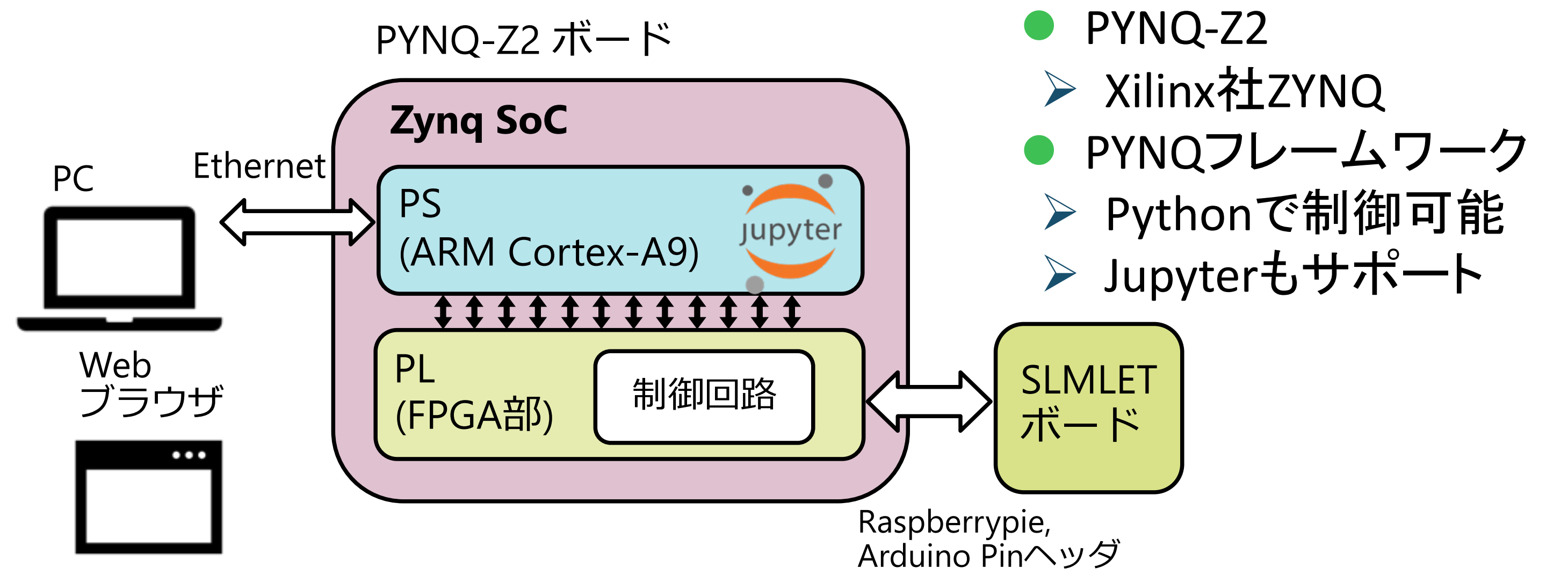
## SLMLET チップ

### アーキテクチャと実装



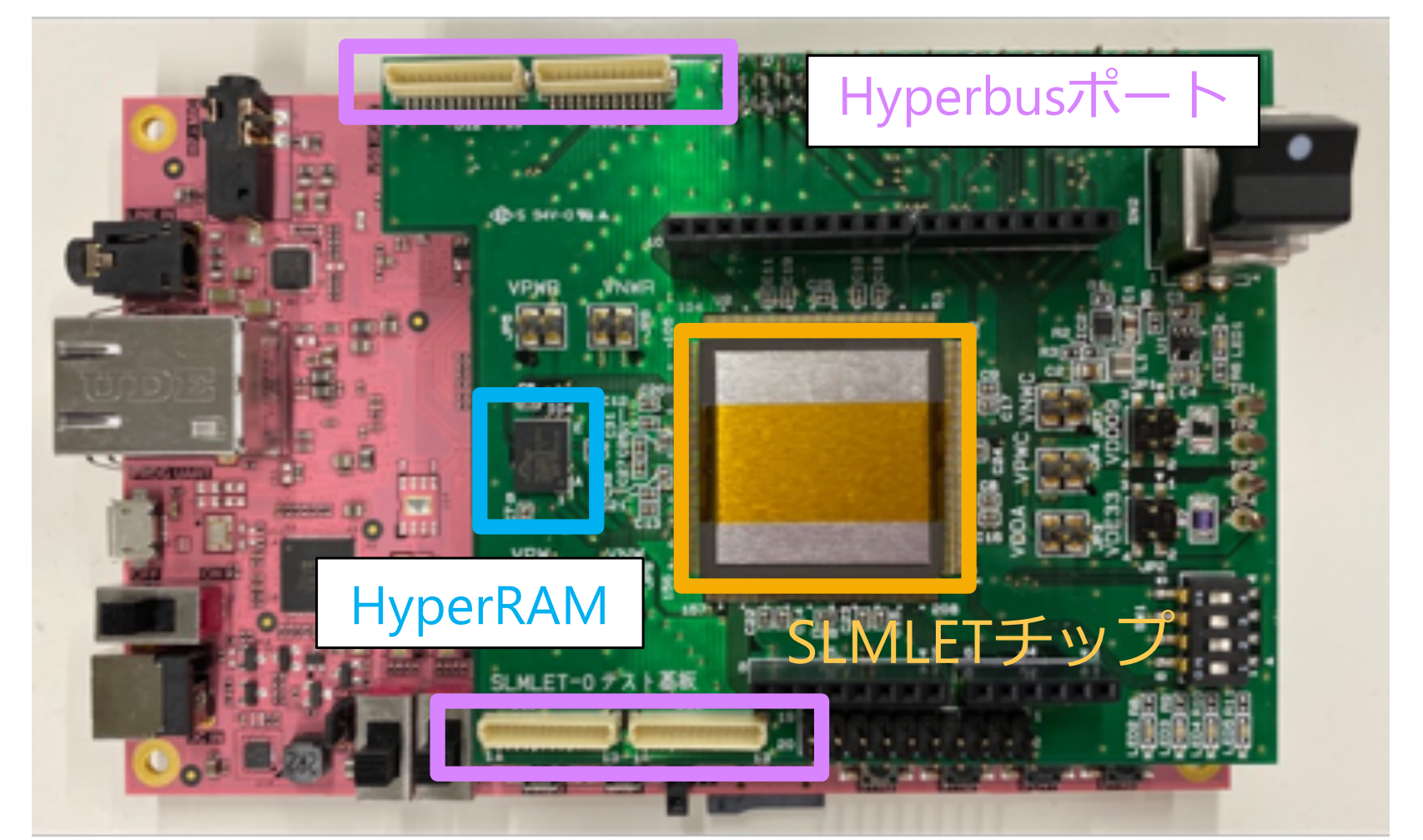
- CPU: RISC-V RV32I
  - riscv-mini (ucbが公開, chisel実装)
  - コントローラとして利用
  - 命令、データ専用メモリ (各64KB)
- SLM (Scalable Logic Module)
  - 再構成可能なロジック
  - 2つの独立したブロック
- HyperBus I/F
  - JEDEC xSPI 準拠
  - 2バンクの共有メモリ
    - 各128KB
  - 特徴
    - 低コスト、スケーラブル
    - ハードIPが不要

### 開発した評価ボード



#### PYNQ-Z2を介したSLMLETボードの制御

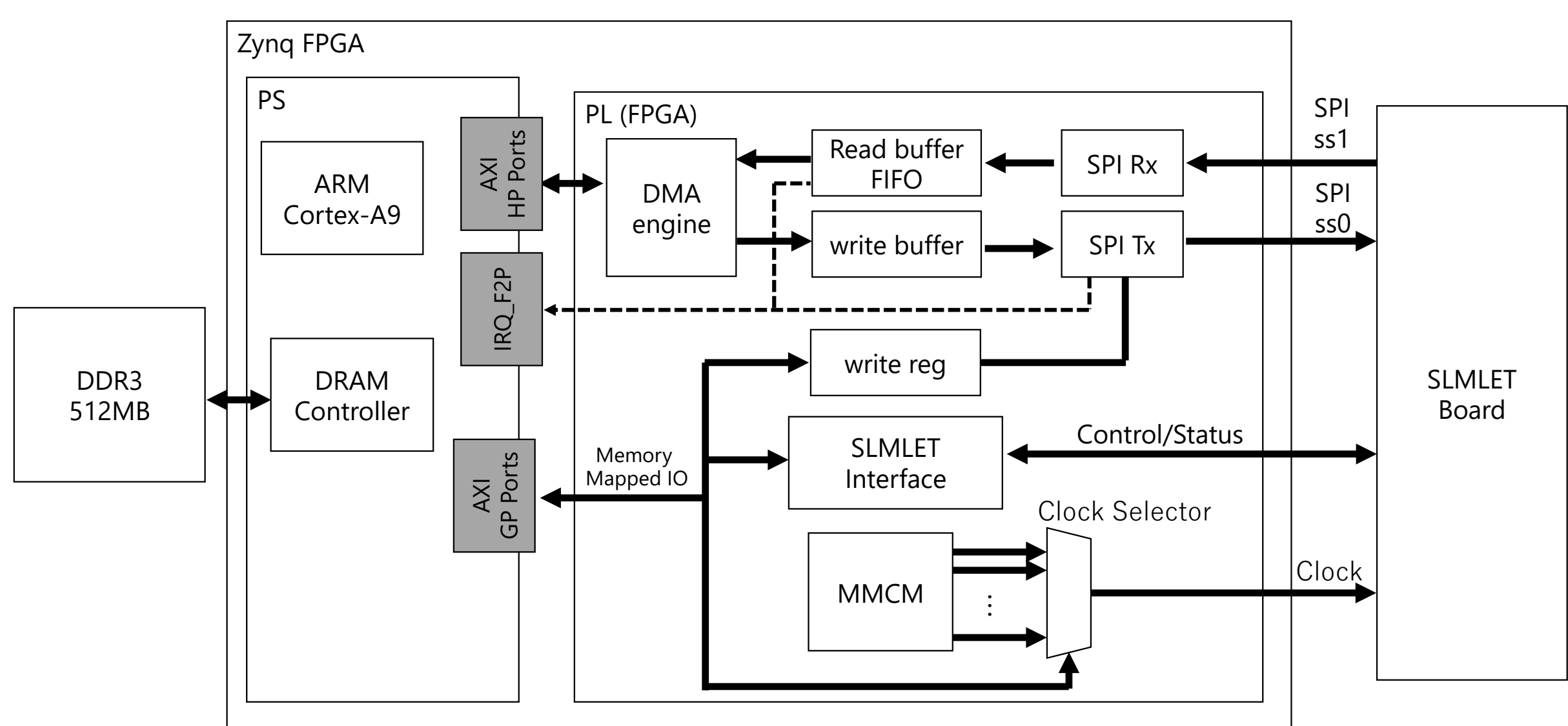
- 各種IOがPYNQ-Z2のGPIOと接続
- 表面実装DRAM
  - Infineon社64Mbit
- Hyperbusポート
  - 他の2ポートと相互接続可
- LED, DIP SWを備える



PYNQ-Z2ボードに刺さる評価ボード

## 評価・テスト用システム

### PYNQ-Z2のPL部回路



- リセット、ブート開始などの信号を制御
- SPIを介したデータ入出力
  - ブートおよび任意のデータ転送
- SLMLET用システムクロック
  - PS側のソフトウェアで変更可能

### SLMLET用ライブラリを用いたプログラミング

- 各種コンポーネントを制御する処理をライブラリ化
  - SPIデータ入出力 (printf, scanfなど含む)
  - HyperBusデータ転送
  - SLM制御

```

1. コンフィギュレーションデータを共有メモリ領域に読み出し
2. コンフィギュレーションデータをSLMに書き込み (再構成)
3. リセット、開始信号の送信
4. SLM Memory mapped領域への書き込み
5. SLM Memory mapped領域からの読み出し
    
```

SLMのブロックを再構成し、データの読み書きを行うプログラムの例

## Jupyter Notebookを用いたGUIによるテスト、評価環境

Program Loader

- ローカルファイル
- PC(ブラウザ実行側)ファイルのアップロード
- 直接Cコードの記述が可能

プログラム選択パネル

Virtual terminal

仮想ターミナル (テキスト入出力)

SLMLET Control

SLMLET制御パネル

Clock Setting

クロック変更用スライダー

Voltage control

VISA/SCPI対応直流電源と連動

- 電源電圧、nMOS側バイアス、pMOS側バイアスの最大3種を設定可能

Jupyter Notebook上のGUI

デモ動画URL