



University Program / ユニバーシティ・プログラム

RISC-V Day Tokyo 2022

June 1st, 2022

Keith Graham, Head of University Program

A New Golden Era

- The 1980s was a Processor Design golden era
 - x86, ARM, PPC, MIPS, HPPA, VAX, Alpha, startups, and many more
- By the 1990s the cost of software support ended this golden era
 - Mainstream processing consolidated around x86 and ARM closed architectures
 - Customizing processors not feasible for most universities and companies due to lack of access to Processor Intellectual Property (IP)
- In 2022, we are at the start of a new golden era for Processor Engineering?
 - RISC-V's open Instruction Set Architecture (ISA) enables access to all, small and large universities, companies, and start-ups
 - Customization through adding resources, and not taking resources away, enables customized processor to access open source software

新たな黄金時代へ

- 1980年代はプロセッサ設計の黄金時代であった
 - x86, ARM, PPC, MIPS, HPPA, VAX, Alpha, SH, スタートアップ, それ以外も多数
- 1990年代、ソフトウェアの台頭がこの黄金時代を終わらせた
 - 多くのプロセッシング処理は、はx86とARMの閉鎖的アーキテクチャに集約された
 - プロセッサの知的財産 (IP) に立ち入れないため、多くの大学や企業ではプロセッサのカスタマイズは実現不可能となった
- 2022年、プロセッサエンジニアリングの新たな黄金時代の幕開けか？
 - RISC-Vのオープンな命令セットアーキテクチャ (ISA) により、大小の大学、企業、スタートアップ企業など、あらゆる人がプロセッサ エンジニアリング可能に
 - リソースを追加することによるカスタマイズは、リソースを奪うことなく、カスタマイズされたプロセッサがオープン・ソース・ソフトウェアを活用できます

Why a University Program?

- Spur innovation to solve tomorrow's computational problems through promoting research

Processor
Security



Functional Safety



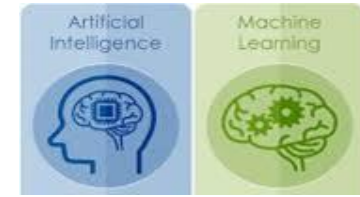
Real-Time
Embedded
Systems



Intelligent
Memories



Artificial
Intelligence



- Spur the next generation of Processor Engineers through augmenting curriculum
 - Undergraduate students developing a 5-stage RISC-V32i processor
 - Graduate students modifying and integrating RISC-V cores into System-on-Chips
- Spur the open exchange of knowledge and mutual support to create an environment that will encourage interest in Processor Engineering and accelerate new solutions

なぜユニバーシティ・プログラムなのか??

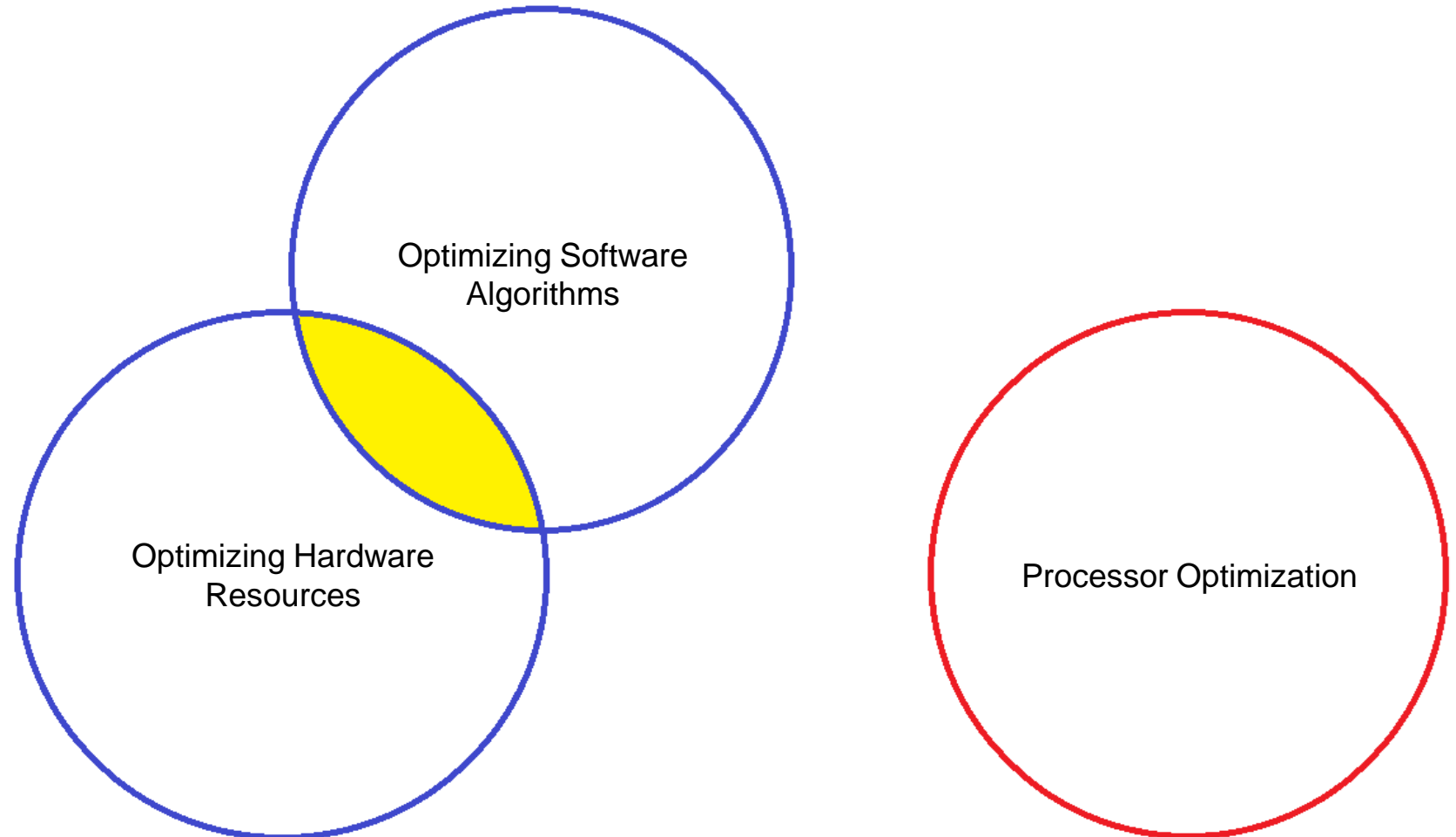
- 研究を推進し、未来のコンピューティング問題を解決できるイノベーションを促進する



- カリキュラムの充実による次世代プロセッサエンジニアの育成
 - 学士向け5ステージRISC-V32Iプロセッサ開発
 - 修士向けRISC-Vコアの修正とSoCへのインテグレーション
- オープンな知識の交換と相互支援を促進し、プロセッサエンジニアリングへの関心を高め、新しいソリューションを促進する環境を構築

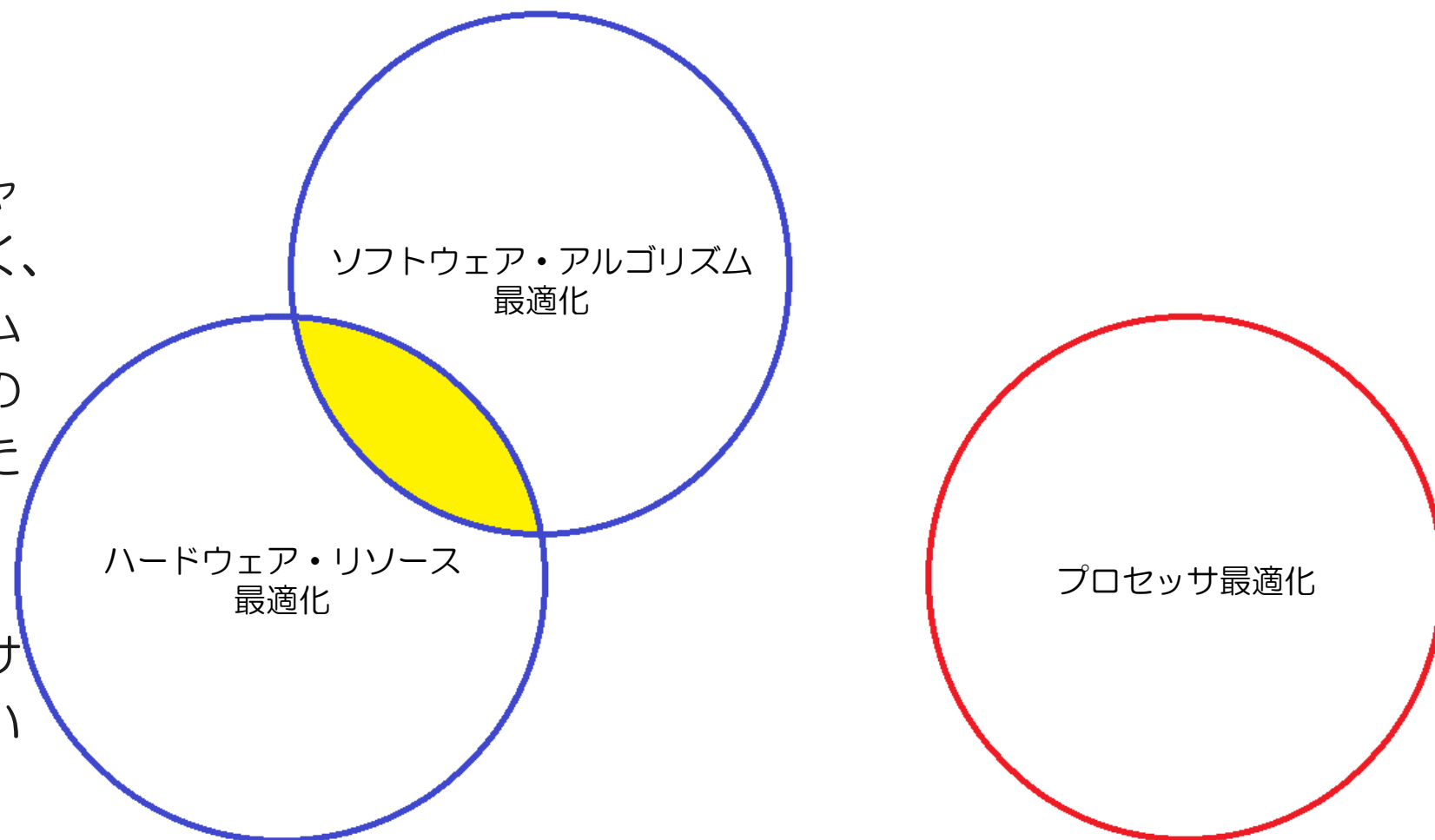
Conventional research barrier

- Conventional research has been limited to software algorithms and external hardware resources due to fixed processor architectures
- An important component of the equation, the processor has been left out



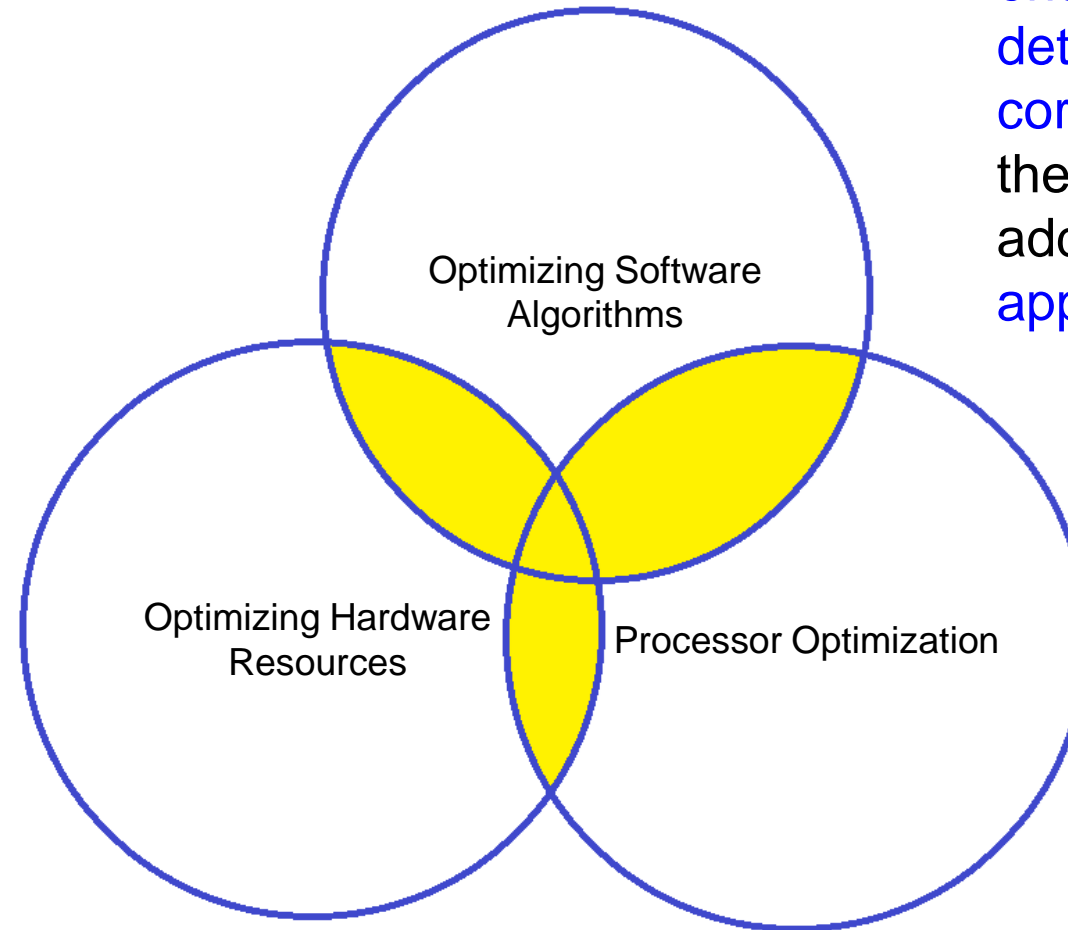
従来の研究における壁

- 従来の研究では、プロセッサ・アーキテクチャが固定されていることが多く、ソフトウェア・アルゴリズムとハードウェア・リソースの個別最適化に限定されていたことが多かった
- 重要な要素であるプロセッサの最適化が考慮されていない場合も多い



Tightly coupling application enhancements and acceleration into tomorrow's processors

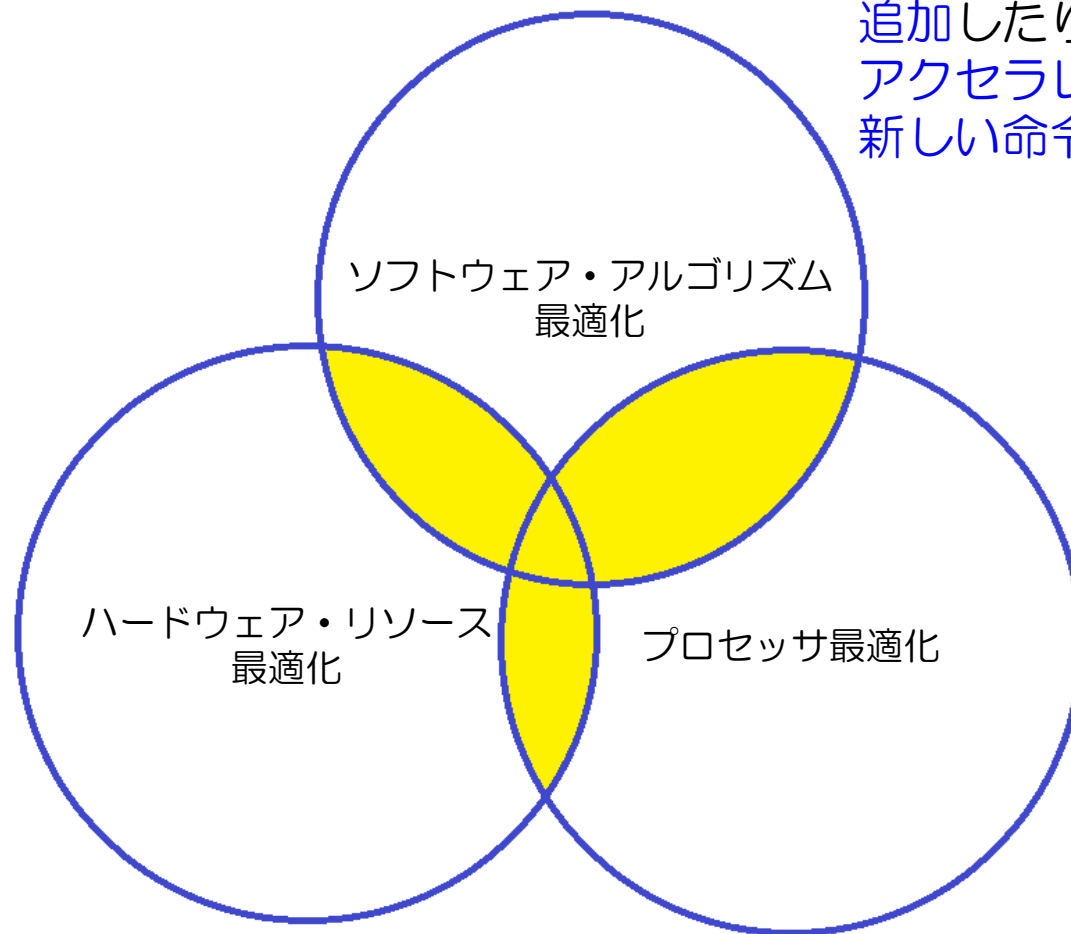
- RISC-V open ISA
- Toolchain that enable resource processor integration and the realization of these new resources such as C-compiler generation



Example: Adding Hamming encoding for two-bit error detection and single-bit error correction to all accesses to the CPU's register file or adding a new instruction for application acceleration.

従来の研究における壁を突破する

- RISC-V IPとCodasip Studioの組み合わせで、研究の壁を突破する
- ソフトウェア・アルゴリズムを高速化するための新しい命令や、セキュリティ・プロトコルなどのハードウェア・リソースを緊密に結合させるなど、プロセッサに最適化のためのリソースを取り入れることが可能です



例: CPUレジスタファイルへのアクセス全てに、2ビットエラー検出と1ビットエラー訂正のためのハミングエンコーディングを追加したり、アプリケーションアクセラレーションのための新しい命令を追加したりする

Codasip Solutions

codasip RISC-V PROCESSORS

Selection of processors for many applications

- Low power & high performance embedded
- Application processors
 - RISC-V-compliant
 - Configurable

Modify Codasip RISC-V Processors using Codasip Studio

- Add custom instructions to accelerate your algorithms
- Use existing design as a base of your processor

codasip STUDIO

Create processors using a high-level description

- Fine-tune the design for performance, area and power
- Automatically generate software and hardware development kits

コダシップのソリューション

codasip RISC-V PROCESSORS

選択:

アプリケーションに適した
RISC-Vプロセッサ コアを

- 低消費電力、高性能な組み込み型
- アプリケーション・プロセッサ
- RISC-V 準拠
- コンフィギュラブル

カスタム:

Codasip RISC-Vプロセッサを
ベースとしてCodasip Studioで

- カスタム命令を追加して
アルゴリズムを高速化
- 既存のRISC-Vプロセッサを
カスタマイズのベースとして使用

codasip STUDIO

作成:

高レベル記述を用い
プロセッサをゼロから

- 性能、面積、消費電力を考慮した
設計のファインチューニング
- ソフトウェアとハードウェアの開発
キットを自動生成

Codasip integrated toolchain

Programming tools (generates):

- Assembler
- Disassembler
- C-compiler
 - C-libraries

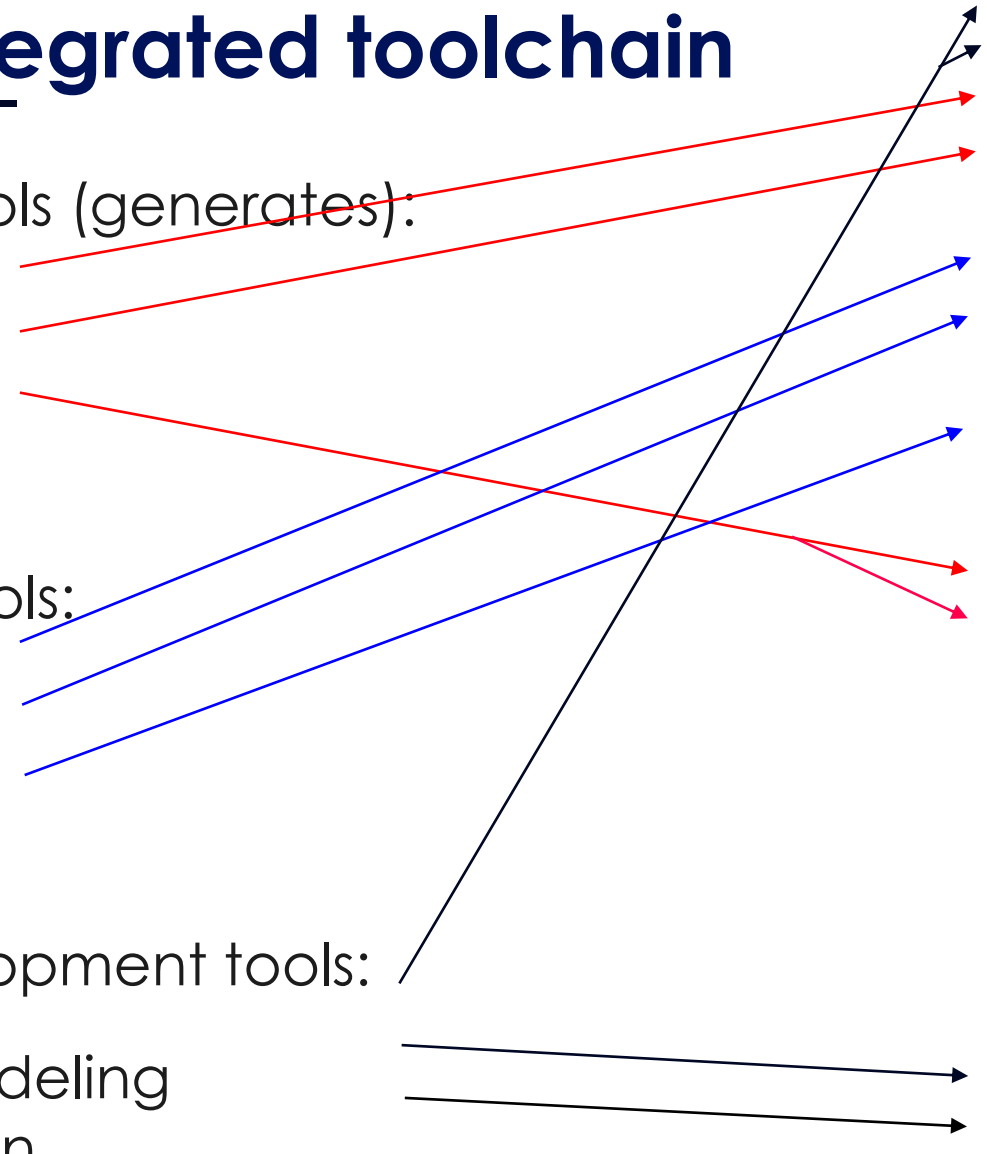
Development tools:

- Profiler
- Simulator
- Debugger

Hardware development tools:

- Processor Modeling
- RTL generation
- UVM Verification support

- ▼ curriculum_riscv32i
 - ⊗ Model Compilation (ia)
 - ⊗ Model Compilation (ca)
 - ⊗ Assembler (ia)
 - ⊗ Disassembler (ia)
 - ⊗ Profiler (ia)
 - ⊗ Profiler (ca)
 - ⊗ Simulator (ia)
 - ⊗ Simulator (ca)
 - ⊗ Debugger (ia)
 - ⊗ Debugger (ca)
 - ⊗ Linker (ia)
 - ⊗ C/C++ Compiler (ia)
 - ⊗ SDK Libraries (ia)
 - ⊗ SDK (ia)
 - ⊗ SDK (ca)
 - ⊗ C/C++ Co-simulator (ia)
 - ⊗ C/C++ Co-simulator (ca)
 - ⊗ ISA Visualization (ia)
 - ⊗ Random assembler (ia)
 - ⊗ Documentation (ia)
 - ⊗ RTL (ca)
 - ⊗ UVM Verification (User) (ca)



Codasip統合ツール群

プログラミング ツール(ジェネレータ):

- アセンブラ
- 逆アセンブラ
- Cコンパイラ
 - Cライブラリ

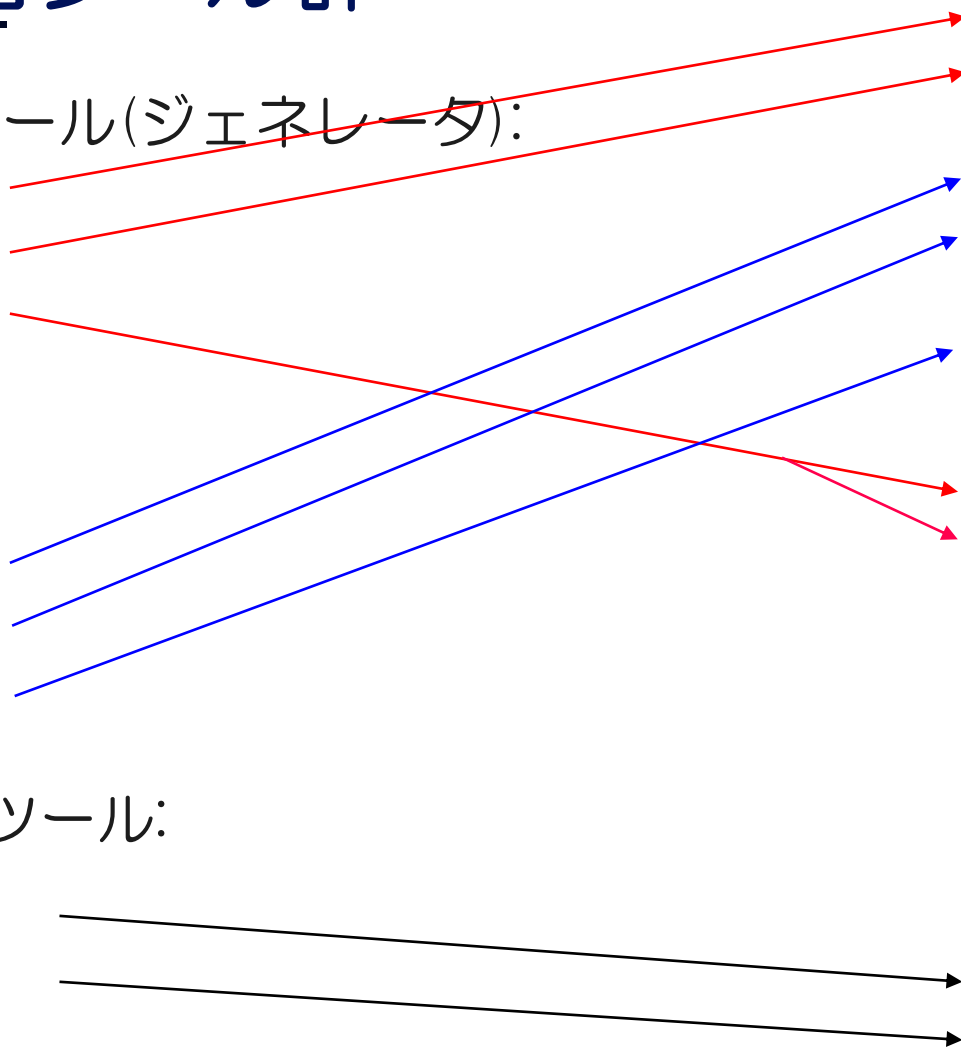
開発ツール:

- プロファイラ
- シミュレータ
- デバッガ

ハードウェア開発ツール:

- RTL生成
- UVM検証環境

- ▼ curriculum_riscv32i
 - ⊗ Model Compilation (ia)
 - ⊗ Model Compilation (ca)
 - ⊗ Assembler (ia)
 - ⊗ Disassembler (ia)
 - ⊗ Profiler (ia)
 - ⊗ Profiler (ca)
 - ⊗ Simulator (ia)
 - ⊗ Simulator (ca)
 - ⊗ Debugger (ia)
 - ⊗ Debugger (ca)
 - ⊗ Linker (ia)
 - ⊗ C/C++ Compiler (ia)
 - ⊗ SDK Libraries (ia)
 - ⊗ SDK (ia)
 - ⊗ SDK (ca)
 - ⊗ C/C++ Co-simulator (ia)
 - ⊗ C/C++ Co-simulator (ca)
 - ⊗ ISA Visualization (ia)
 - ⊗ Random assembler (ia)
 - ⊗ Documentation (ia)
 - ⊗ RTL (ca)
 - ⊗ UVM Verification (User) (ca)



Research Support

Research faculty and their research assistants will have access to the following benefits:

- Cloud-based Codasip Studio Integrated Development System (IDE)
- When required and appropriate, local Codasip Studio licenses
- Codasip's High-Level Synthesis Language, CodAL, and Codasip Studio technical support through Codasip Labs
- Access to Codasip technologies including processor security, functional safety, embedded systems, artificial intelligence, and domain specific applications
- Where appropriate, RISC-V IP cores for research development

Shared benefits:

- Enhancing research outcomes through partnerships
- Joint paper publications
- Shared IP-development

研究支援

研究者教員とその研究補助者は、以下の特典を利用することができます:

- クラウド型Codasip Studio統合開発環境 (IDE)
- ローカルのCodasip Studioライセンス (適切かつ必要な場合)
- コダシップラボによるコダシップの高位記述言語とCodasip Studioの技術サポート
- コンピュータセキュリティ、機能安全、人工知能、ドメイン特化型アプリケーションなど、コダシップラボの技術へのアクセス
- 研究開発用のRISC-V IPコアの必要に応じた提供

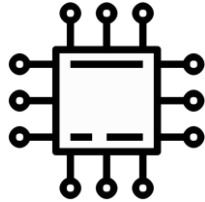
共有のメリット:

- 研究コミュニティとコダシップ・ラボの知見を融合し、より高い研究成果を得る
- 共同論文の発表
- IPの共同開発

Curriculum RISCv core and curriculum roadmap

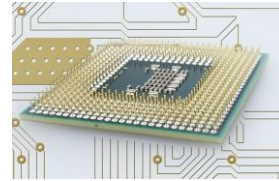
Graduate

5-stage Embedded Core



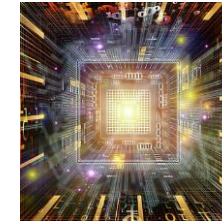
SoC (add processing resources, RTL generation, synthesis to FPGA)

Out-of-Order Execution CPU



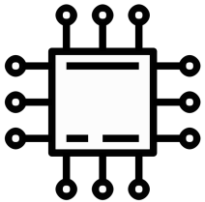
Advanced Computer Architecture
(develop an Out of Order CPU)
Processor Security?
(Working with partners to define)

Multi-core



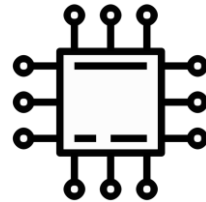
Advanced Computer Architecture
(develop multi-core solution)
Functional Safety?
(Multi-core voting? Feedback?)

Undergraduate



Computer Organization (data path, instruction decode, data hazards, data forwarding, pipeline control, caches)

Fall 2022



Microcontroller architecture course combining high level synthesis and verilog FPGA design

Fall 2023

Fall 2024

Courses are **BOLD and Underlined**

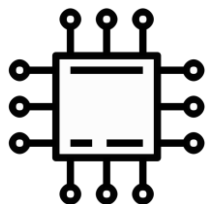
RISC-Vカリキュラムとロードマップ

5ステージ エンベデッド・コア

アウトオブオーダー実行型

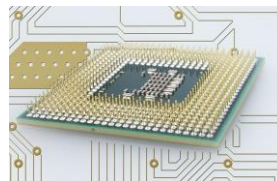
マルチコア

修士



SoC

(処理リソースの追加、RTL生成、FPGA合成)



アドバンスド・コンピュータ・アーキテクチャ

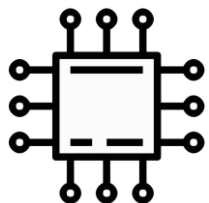
(アウトオブオーダーCPUの開発)
プロセッサ・セキュリティ?
(パートナーと協議)



アドバンスド・コンピュータ・アーキテクチャ

(マルチコアの開発)
機能安全?
(フィードバック歓迎します)

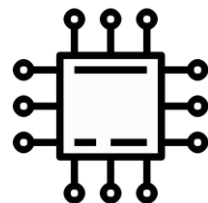
学士



コンピュータ・オーガニゼーション

(データパス、命令デコード、データハザード、データ転送、パイプライン制御、キャッシュ)

2022 秋



マイクロコントローラ・アーキテクチャ

高位合成とVerilog FPGA設計を組み合わせたコース

2023 秋

2024 秋

コース名は太字と下線で表示

Curriculum support

All teaching faculty, teaching assistants, and students will have access to a cloud-based Codasip Studio which provide the following benefits:

- Minimal student tool installation/start-up time
- Consistent platform (version level) to scale curriculum material
- Single platform enables issues addressed by one individual to benefit all

Assignments to enhance current courses through project based learning

- Assignment learning outcomes
- Slides to integrate into course lectures in support of assignments
- Detailed assignments with embedded notes on theory
- Grading rubric
- Videos that the student can access to support assignment implementation
- Videos to support the student's debug or work through assignment issues

カリキュラム支援

すべての教員、ティーチングアシスタント、学生は、クラウドベースのCodasip Studioを利用することができ、以下のようなメリットがあります:

- 学生用ツールのインストールや立ち上げにかかる時間を最小限に抑えることができます
- カリキュラムの教材を拡張するための一貫したプラットフォーム(バージョンレベル)
- 単一プラットフォームにより、一人が対処した問題を全員が享受することが可能

プロジェクトベースの学習を通じて、現在のコースを強化

- 課題コースの学習成果
- 課題をサポートするために、講義で使用するスライド
- 課題には、理論に関する詳細な解説が埋め込まれている
- 学習到達度ルーブリック
- 学生がアクセス可能な、課題の実施をサポートするビデオ
- 課題のデバッグや問題解決をサポートするビデオ

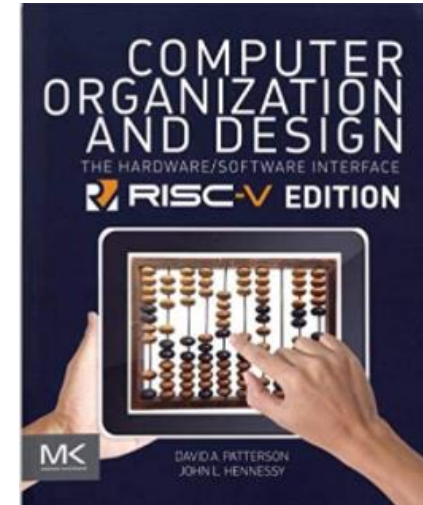
Undergraduate program - Computer Organization

Value Proposition: Student deeper learning through implementing the theory taught in lecture

Target Availability: Fall 2022 semester

Course content:

- 15-week semester long project to implement a 5-stage cycle accurate RISC-V processor
- Assembly code (value of abstraction over machine code), Instruction Decoding, Data Path, Data Hazards, Data Forwarding
- A Highly Abstracted Language (CodAL) for processor development



学士プログラム - コンピュータ・オーガニゼーション

目的: 講義で学んだ理論を
実践することによる学生の深層学習

提供開始時期: 2022年秋学期

コース内容:

- 15週間の学期課題で、5ステージのサイクル精度RISC-Vプロセッサを実装
- アセンブリコード (マシンコードに対する抽象化の価値)、命令デコード、データパス、データハザード、データ転送
- プロセッサ開発のための高位記述言語



Graduate Program - System on Chip (SoC) course

Value Proposition: Prepare graduate students for research positions in the fields of Computer Security, Artificial Intelligence, Functional Safety, and Domain Specific applications

Target Availability: Fall 2022 semester

Course content:

- RISC-V 5-stage cycle accurate core ready for FPGA integration
- Assignment to familiarize students with Codasip Studio, profiling, RTL generation, and validation
- Assignment to add an additional processor resource (or instruction) to accelerate an application

修士プログラム - システムオンチップ(SoC)コース

目的: コンピュータセキュリティ、人工知能、機能安全、ドメイン特定アプリケーションの分野で研究職に就く大学院生を養成する

提供開始時期: 2022年秋学期

コース内容:

- RISC-V 32 | 5ステージ・サイクル精度コアのFPGA実装
- Codasip Studio、プロファイリング、RTL生成、検証に関する理解を深めるための課題
- アプリケーションを高速化するためにプロセッサリソース(または命令)を追加する課題

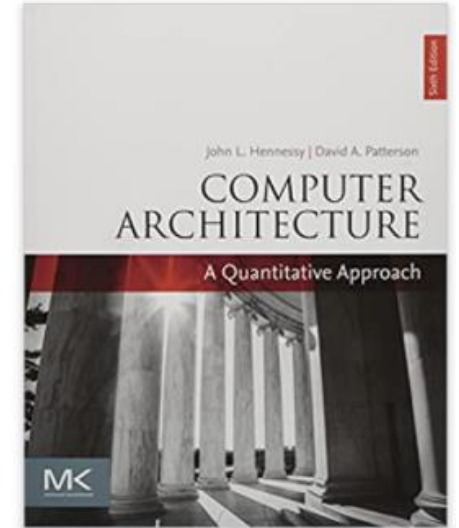
Graduate Program - Future Course Development

Value Proposition: Deeper learning of advanced computer architecture topics through implementation

Target Availability: Fall 2023 semester

Course content:

- 15-week semester set of assignments
- Familiarization with a Highly Abstracted Language (CodAL) to describe processor resources
- Implement advanced computer architecture concepts such as **Out of Order execution**, Tomasulo algorithm, Speculation, and Branch Prediction



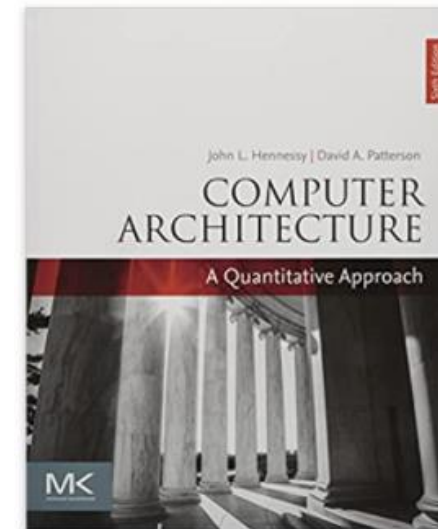
修士プログラム - 今後の講座展開

目的: 実装を通して高度なコンピュータ・アーキテクチャーのトピックをより深く学習する

提供開始時期: 2023年秋学期

コース内容:

- 15週間の学期課題
- プロセッサリソースを記述するための高位記述言語の理解
- アウトオブオーダー実行、Tomasuloアルゴリズム、投機的実行、分岐予測などの高度なコンピュータアーキテクチャ概念の実装



University Program Mission Statement

The University Program augment university undergraduate and graduate computer engineering curriculums by providing assignments, materials, and tools to prepare the next generation of processor engineers. Through the development of research partnerships and support of researchers, the program will advance solutions in computer security, functional safety, artificial intelligence, advanced system memories, and domain specific applications. The support of both the students and researchers will be through its High-Level Synthesis Language, CodAL, and Cudasip Labs' technologies. **Through support of students and researchers, the University Program aims to prepare the people and advance technology to solve tomorrow's technological challenges.**

ユニバーシティ・プログラムのミッション ステートメント

ユニバーシティ・プログラムは、大学の学部および大学院のコンピュータ工学カリキュラムを補強し、次世代のプロセッサエンジニアを育成するための課題、教材、ツールを提供するものです。研究パートナーシップの構築と研究者の支援を通じて、コンピュータセキュリティ、機能安全、人工知能、高度なシステムメモリ、特定分野のアプリケーションにおけるソリューションを進化させていきます

また、高位記述言語とCodasip Labsの技術を通じて、研究者と学生の両方をサポートします。 **ユニバーシティ・プログラムは、研究者と学生の支援を通じて、明日の技術的課題を解決するための人材の育成と技術の高度化を目指しています**

University Program Three Pillars

- Research Support
 - Enhancing research through flexible design environment and access to Codasip Labs' technologies
- Curriculum Support
 - Enhance learning through project based learning
 - Graduate SoC and Computer Architecture course materials
 - Undergraduate Computer Architecture and Microcontroller Design assignments and projects
- Ecosystem (Development planned for late 2022)
 - Accelerate innovation and product development

ユニバーシティ・プログラム 3つの柱

- 研究支援
 - 柔軟な設計環境とCodasip Labs技術へのアクセスによる研究強化
- カリキュラム支援
 - プロジェクトベース学習による学習効果の向上
 - 修士向け SoCとコンピュータアーキテクチャのコース教材
 - 学士向け コンピュータアーキテクチャとマイクロコントローラ設計の課題およびプロジェクト
- エコシステム
 - イノベーションと製品開発の加速

Contact information

- Codasip's University Program web page:
 - <https://codasip.com/university-program/>
- University Blog Postings:
 - How Today's Engineering Students Will Become the Processor Engineers of Tomorrow
 - <https://codasip.com/2022/03/16/how-todays-engineering-students-will-become-tomorrows-processor-engineers/>
- Follow Codasip on LinkedIn at:
 - <https://www.linkedin.com/company/codasip/mycompany/>
- Keith Graham's LinkedIn page:
 - <https://www.linkedin.com/in/keithgraham3/>
- Keith Graham's email address:
 - keith.graham@codasip.com

詳細情報と問い合わせ先

- コダシップのユニバーシティ・プログラム web ページ:
 - <https://codasip.com/university-program/>
- ユニバーシティ・プログラムのブログ:
 - How Today's Engineering Students Will Become the Processor Engineers of Tomorrow
 - <https://codasip.com/2022/03/16/how-todays-engineering-students-will-become-tomorrows-processor-engineers/>
- コダシップの LinkedIn ページ（フォロー下さい）：
 - <https://www.linkedin.com/company/codasip/mycompany/>
- Keith Graham の LinkedIn ページ:
 - <https://www.linkedin.com/in/keithgraham3/>
- Keith Graham の Email アドレス:
 - keith.graham@codasip.com