

仮想エンジニアークテュと RISC-Vの融合

Architek



2021年11月17日

前職、創業から現在

前職



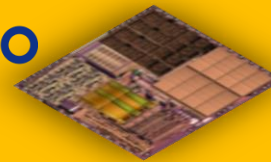
デジタル家電

家電メーカー
1989年



創業
2011年

J-Startup



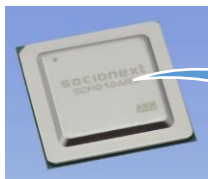
エッジ・エンドポイント機器

▲ 5億円

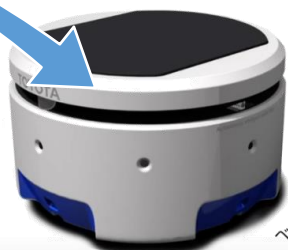
シリーズA
2018年

▲ 5億円

シリーズB
2019年



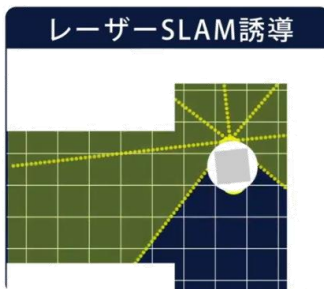
自律モバイルロボット
AiR-T



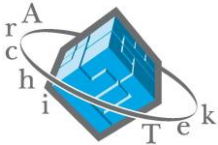
ベースユニット



レーザーSLAM誘導

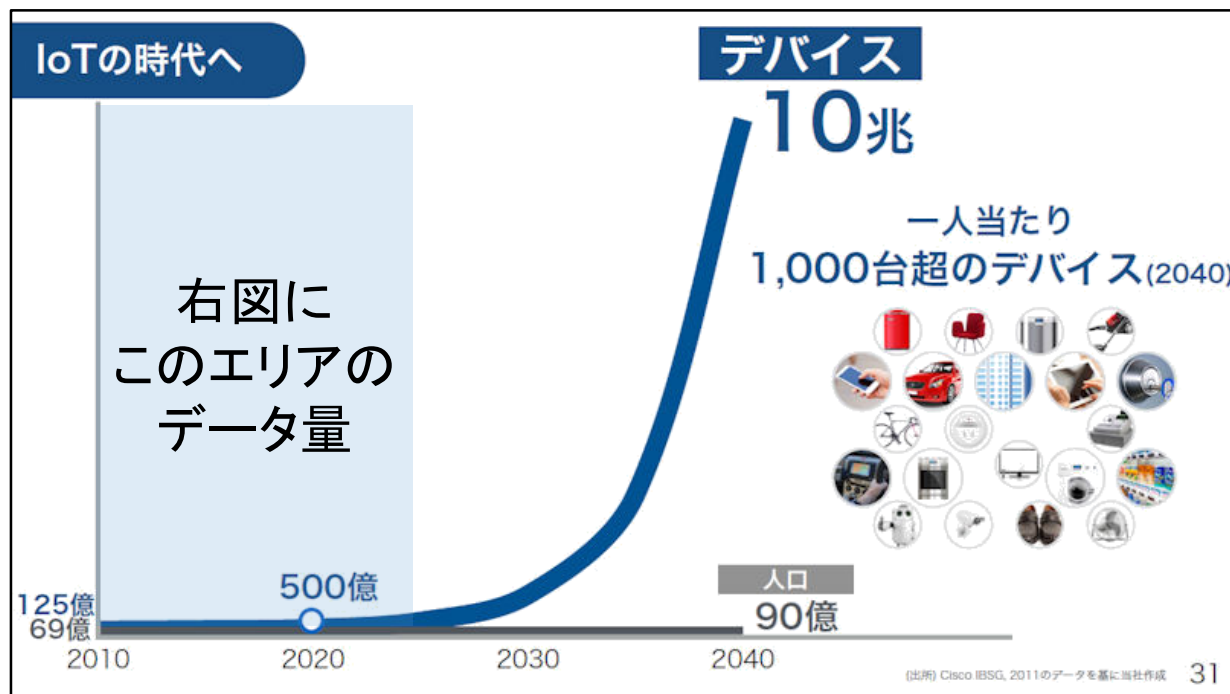


独自チップ

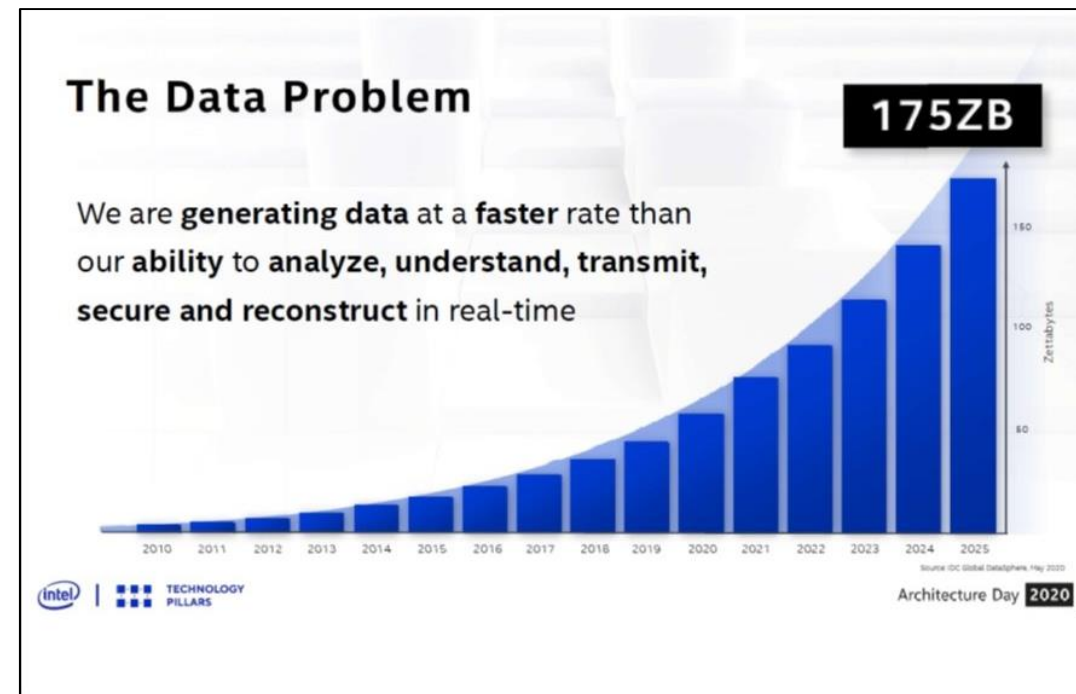


指数増加するセンサーと処理量

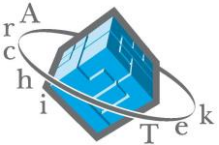
- エッジ部品のセンサーは千差万別、何が付くかわからない
- AI認識が中心になりつつあるが、その他の処理も柔軟にしなければならない
- 瞬時の判断のため複数センサーに対して同時処理も必要



出典: <https://www.itmedia.co.jp/mobile/articles/1506/19/news159.html>

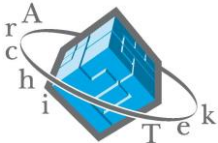


出典: Intel Architecture Day 2020の資料より抜粋



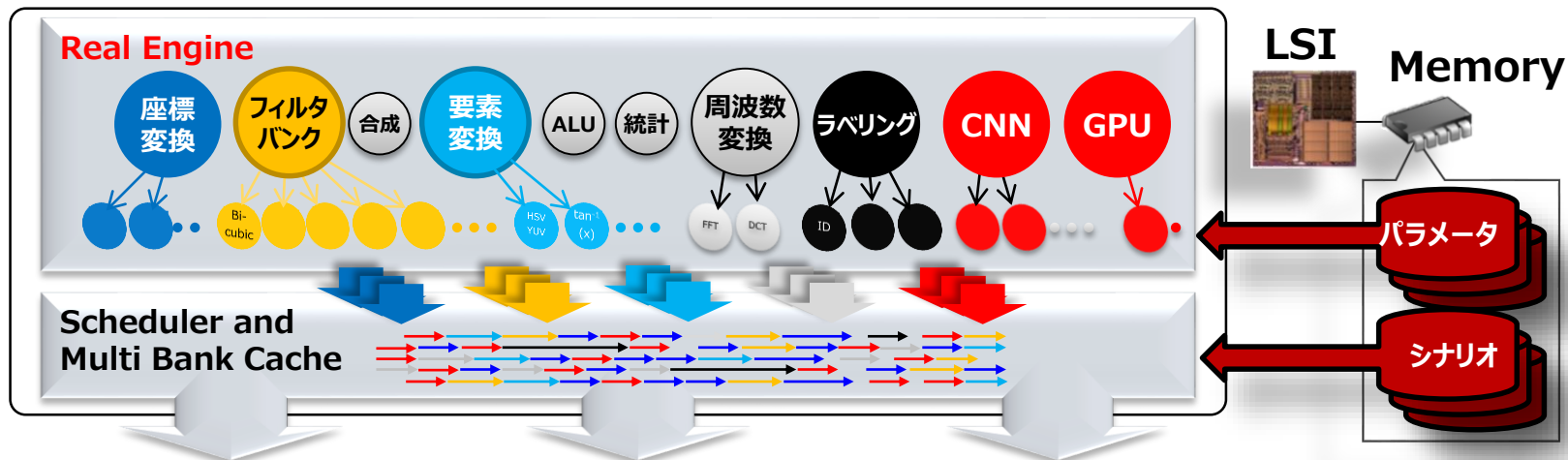
弊社のエッジ用LSIの開発目標

- 多機能であること
 - AI（認識）、SLAMやレンズ補正、周波数解析、各種アルゴリズムへの対応
- 高性能かつ低消費電力
 - 柔軟性の高いCPU/GPU、高効率ハードワイヤードエンジン（All GPUは限界）
 - これらがスケラブルに組み合わせることができるヘテロジニアス構造
- ソフトウェア開発複雑化の回避
 - ヘテロジニアス構造へのハードウェアでの対応
- 安心・安全への対応
 - セキュアエンジンによるリアルタイム対応

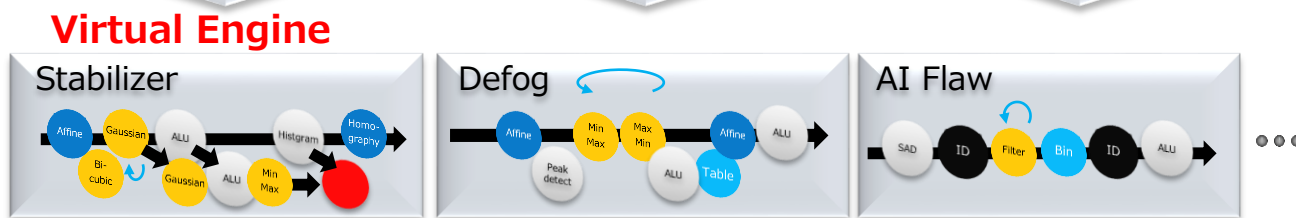


仮想エンジニアーキテクチャを提唱

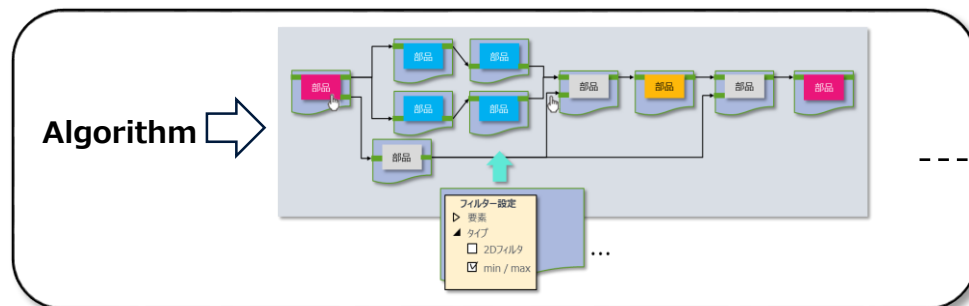
リアルH/W
(Plug-in)



仮想H/W

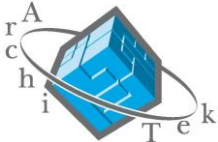


簡単
プログラミング

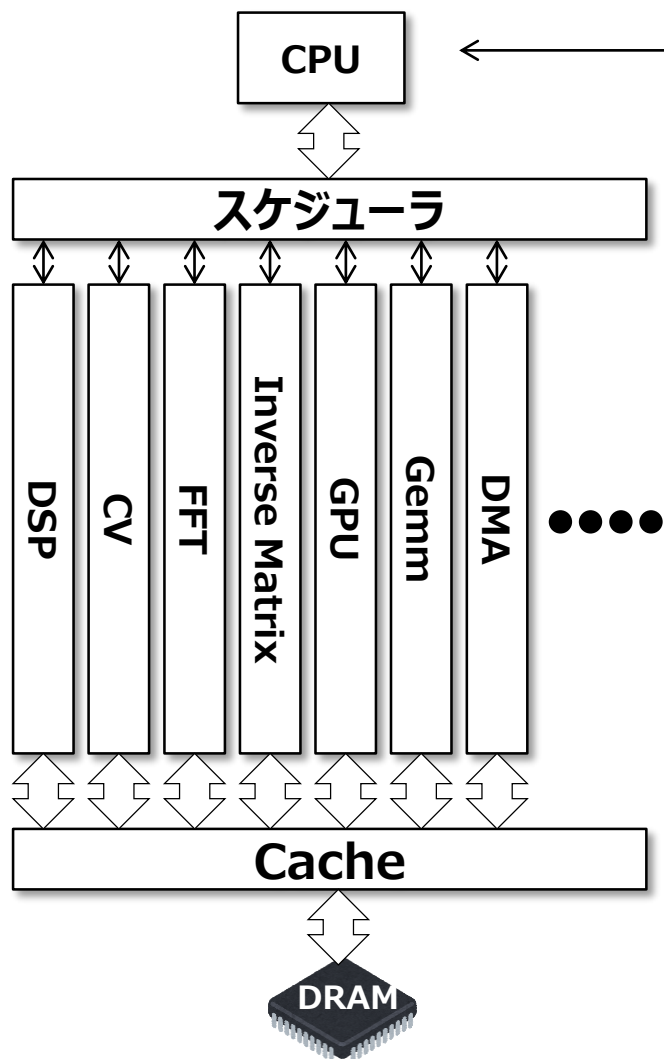


Realtime check

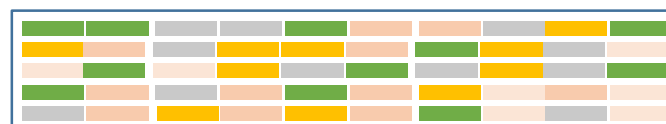




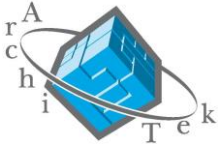
試作チップでは課題が発生



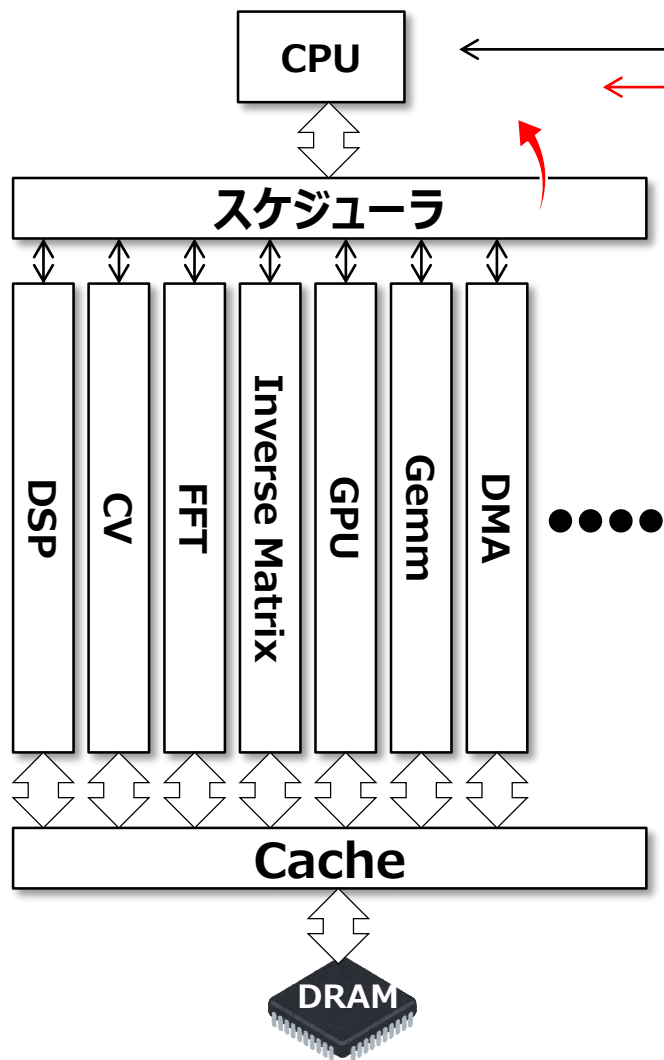
- スケジューラをキック
- 処理を断片化
- 各エンジンの稼働率が最大になるよう制御
- 広帯域キャッシュでデータリレー



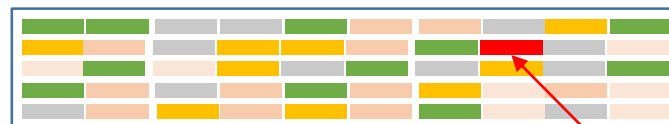
断片化 (数十ns)



試作チップでは課題が発生



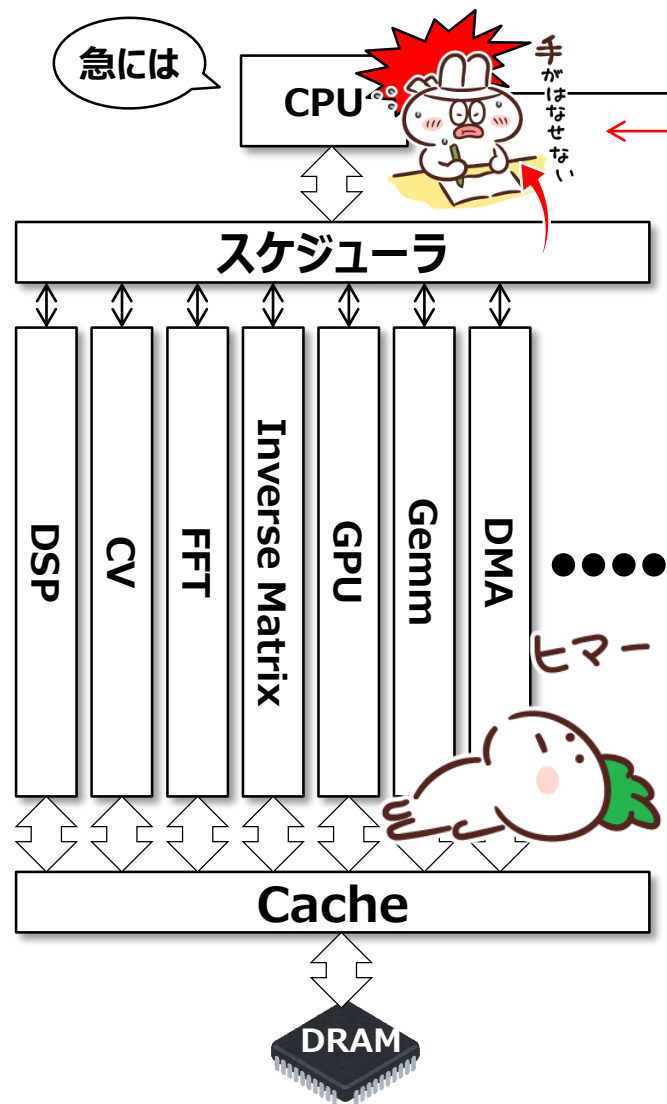
- スケジューラをキック
- 処理を断片化
- 各エンジンの稼働率が最大になるよう制御
- 広帯域キャッシュでデータリレー
- エンジンに不向きな処理を割り込みでCPUに通知



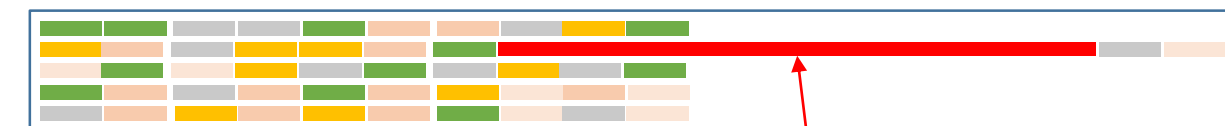
断片化 (数十ns)

エンジンに不向きな処理

試作チップでは課題が発生

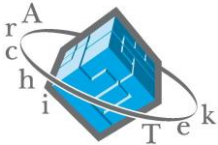


- スケジューラをキック
- 処理を断片化
- 各エンジンの稼働率が最大になるよう制御
- 広帯域キャッシュでデータリレー
- エンジンに不向きな処理を割り込みでCPUに通知
- ホストCPUで処理（間延び！）

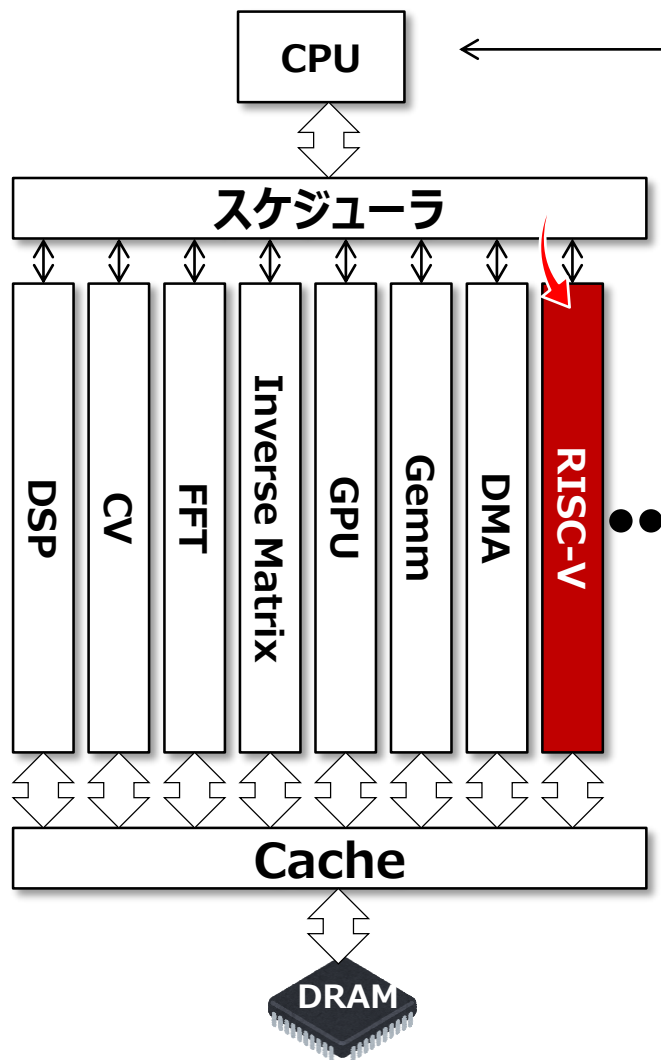


断片化（数十ns）

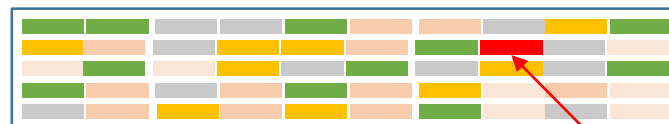
ホストCPUで処理



量産チップでRISC-VをエンジンとしてPlug-in

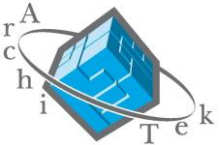


- スケジューラをキック
- 処理を断片化
- 各エンジンの稼働率が最大になるよう制御
- 広帯域キャッシュでデータリレー
- エンジンに不向きな処理をRISC-Vに通知
- RISC-Vで処理（すぐさま応答）



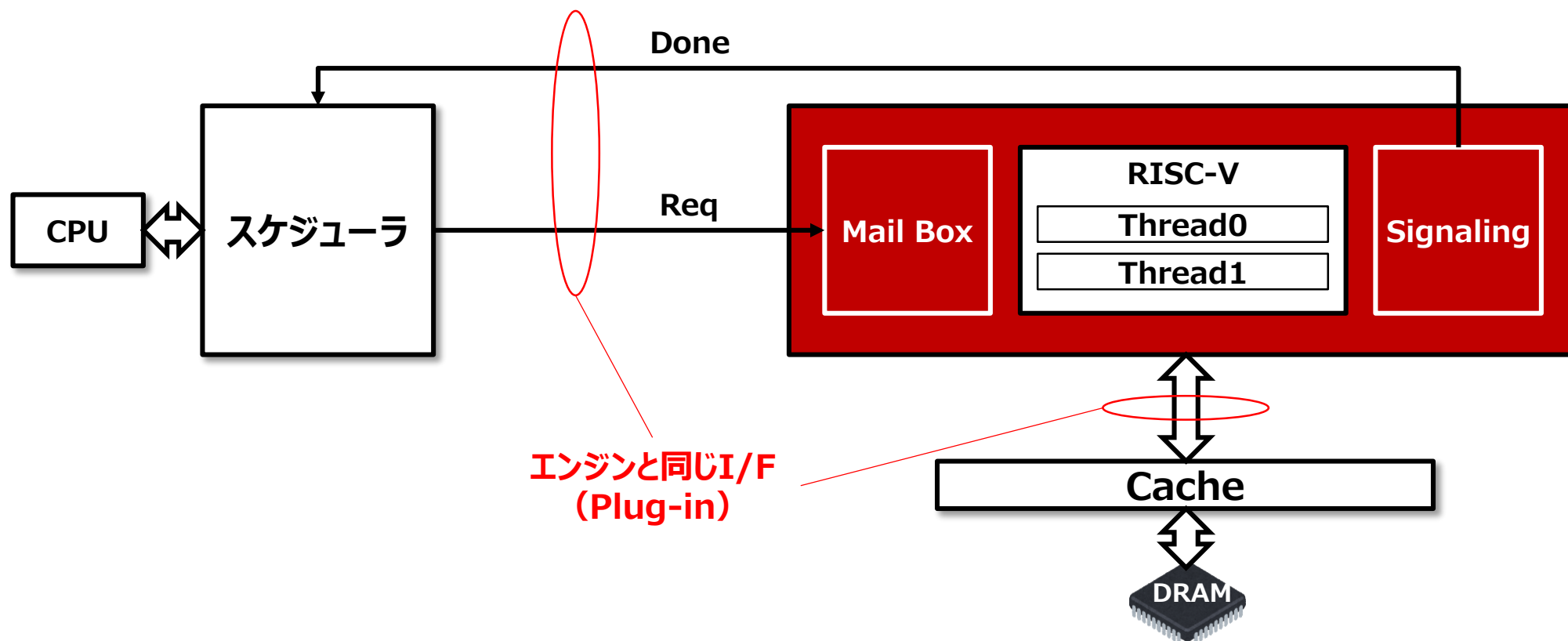
断片化（数十ns）

RISC-Vで処理



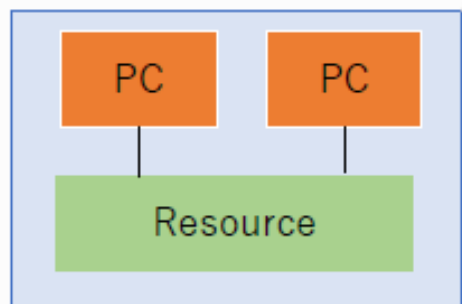
組み込み用RISC-Vの開発

- 東京農工大学中條研究室と共同で、MIPS（改）資産をベースに、組み込み用RISC-Vを作成（0.1mm²@12nm）
- スケジューラからの多重要求に対し、SMT（Simultaneous Multi Threading）化で対応
- メールボックスでリクエストをプール、シグナリングで終了通知を行い、他のエンジンと同一I/Fで組み込み



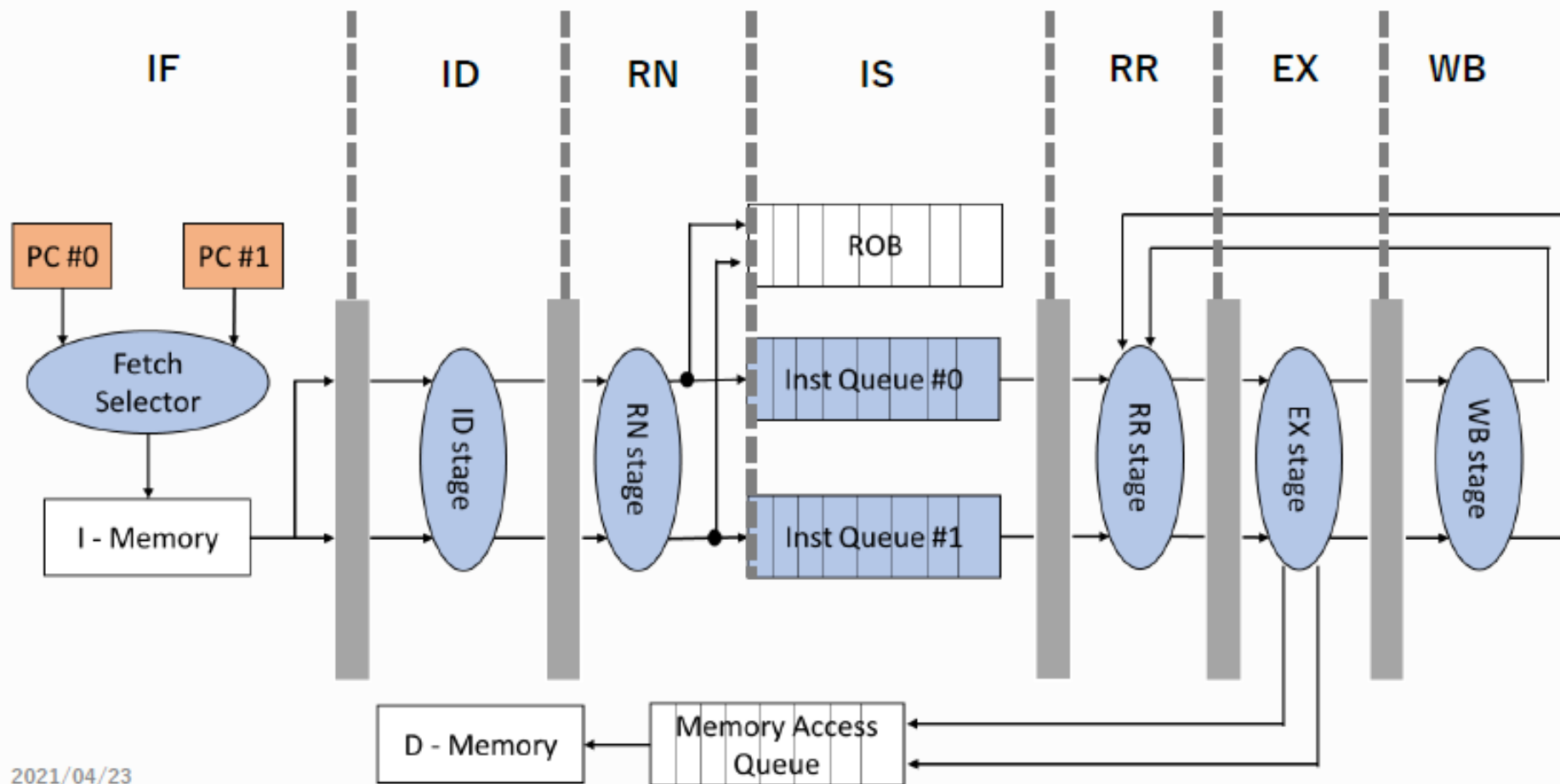
組み込み用RISC-Vの諸元

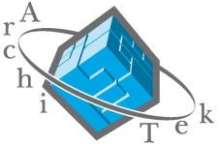
本SMTプロセッサの仕様

RISC-V SMT	パラメータ	説明
	命令セットアーキテクチャ	RV32I+カスタム命令
	記述言語	Verilog HDL
	キャッシュ	なし
Out-of-Order スーパースカラ	実スレッド数	2
	データ幅	32 bit
	発行幅	2
	演算器	ALU×2, Load/Store Unit×1
	物理レジスタ	92 エントリ
	ROB	24 エントリ
	Issue Queue	8 エントリ × 2

組み込み用RISC-Vのパイプライン

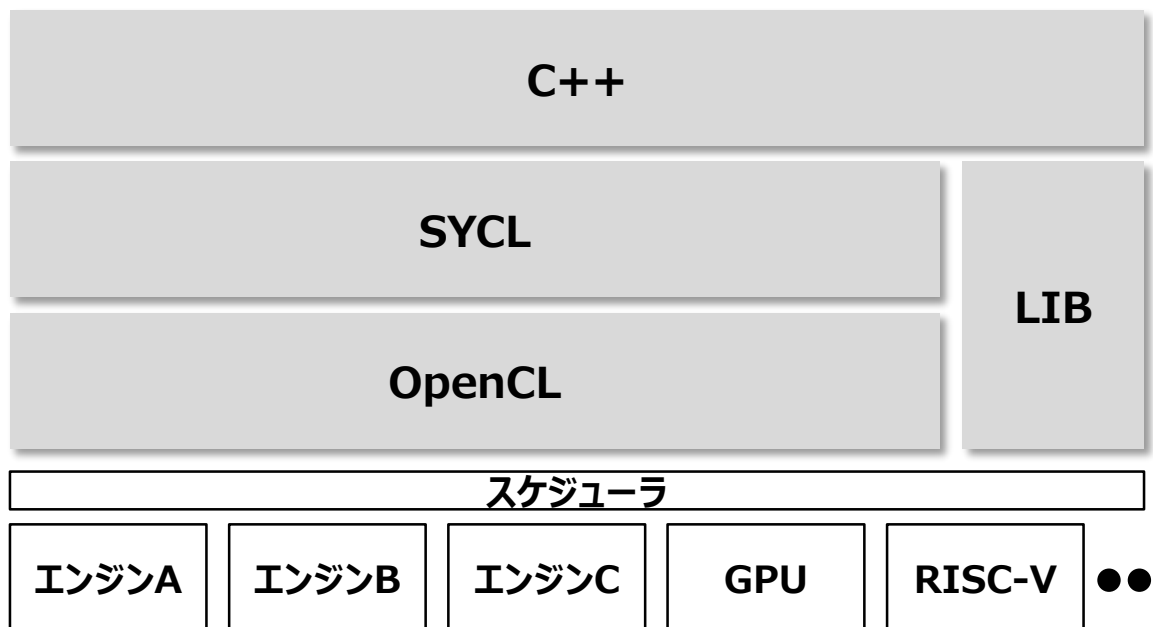
本SMTプロセッサの構造図

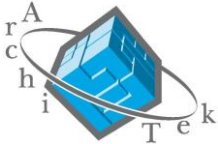




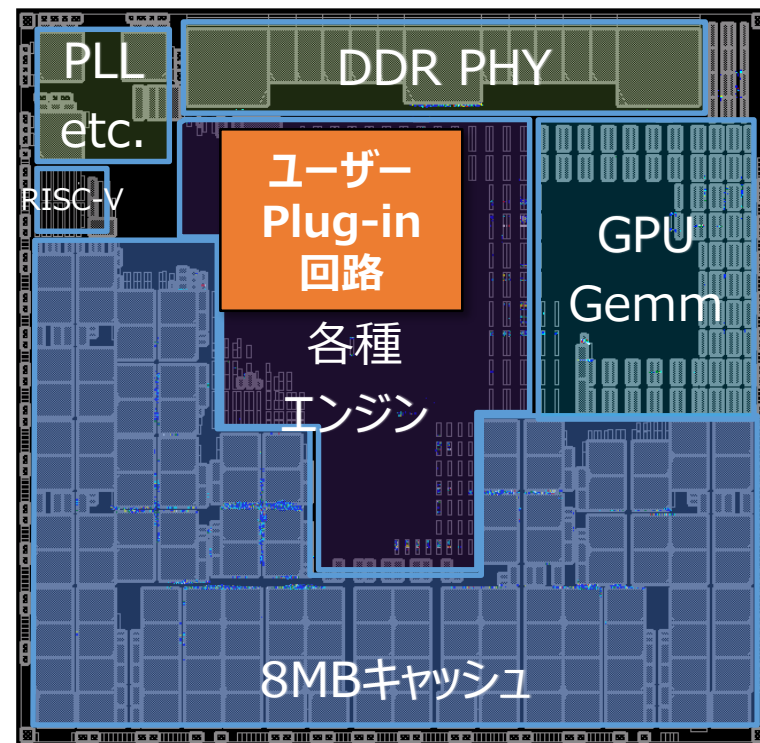
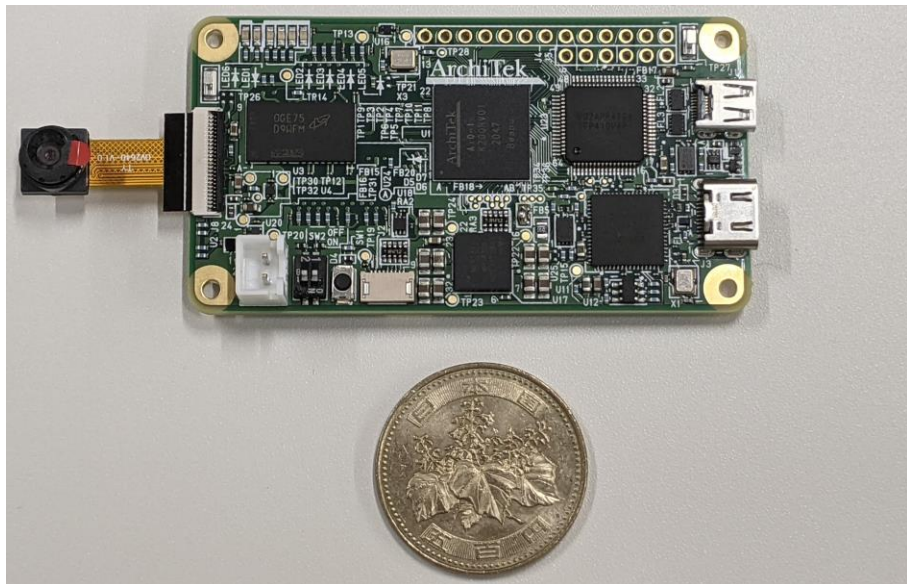
ソフトウェアスタック（構想）

- RISC-Vを含むヘテロジニアスなエンジン群に対する開発環境提供
 - SYCLの導入を検討
- RISC-Vを使ったハードウェア制御（ライブラリで隠蔽）
 - 断片ごとにフック（分岐など）

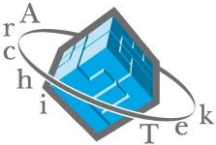




比較のための資料：試作チップ^o (beppu)

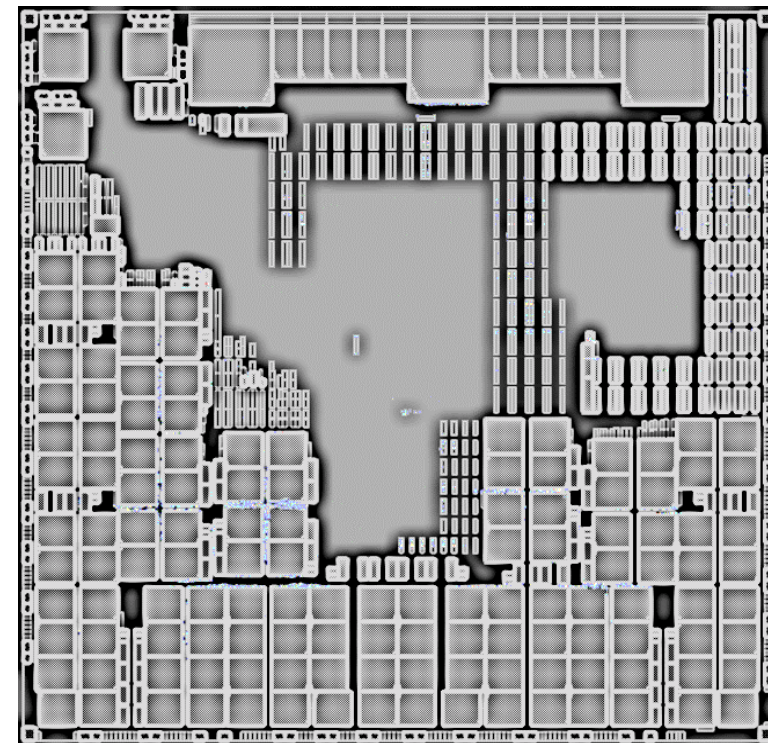


Package: 12mm x 12mm BGA 484 balls, 0.5mm pitch
Die: 12nm FinFET **20mm²**
Block: CPU: RISC-V @600MHz, 8MB SRAM
Neural Network Accelerator: 1TOPS@2GHz
GPU: 5G FLOPS



来年末の量産LSIの紹介 (chichibu)

- AI認識性能は試作チップの6倍強
 - 4TOPS以上、ISP内蔵
- 低コスト・低消費電力・Updatable多機能
 - RaspberryPiライクなボードを同価格帯で提供予定
- USB3/PCIe/mipi搭載
 - ステレオカメラにも対応
- Linuxでの開発環境を提供
 - セキュア機構あり



Package: 12mm x 12mm BGA 324 balls, **0.65mm** pitch
Die: 12nm FinFET **30mm²**
Block: CPU: arm A5x4 @1.2GHz, 8MB SRAM
Neural Network Accelerator: 4TOPS
GPU: 40G FLOPS

※数字は全て予定のもので変わる可能性があります

Thank you for listening



**Big Potential
in a Small World**

小さな可能性が世界を大きく変える。

