



ヘネシーパターンソン定量的アプローチ  
その役割と  
最終エディションに至るまでの  
日本語訳の経緯遍歴

東京農工大学 大学院  
工学研究院 先端情報科学部門  
中條 拓伯



# 講演内容

- ヘネパタとパタヘネ（敬称略）
- ヘネパタ原著と翻訳の変遷
  - 1<sup>st</sup> Editionの登場と第1版の歴史的翻訳
  - 2<sup>nd</sup>、3<sup>rd</sup> Editionの登場
  - そして4th Edition
  - 5<sup>th</sup> Editionでの苦悶
  - 6<sup>th</sup> Editionでの苦闘
- おわりに

# TAT ヘネパタとパタヘネ

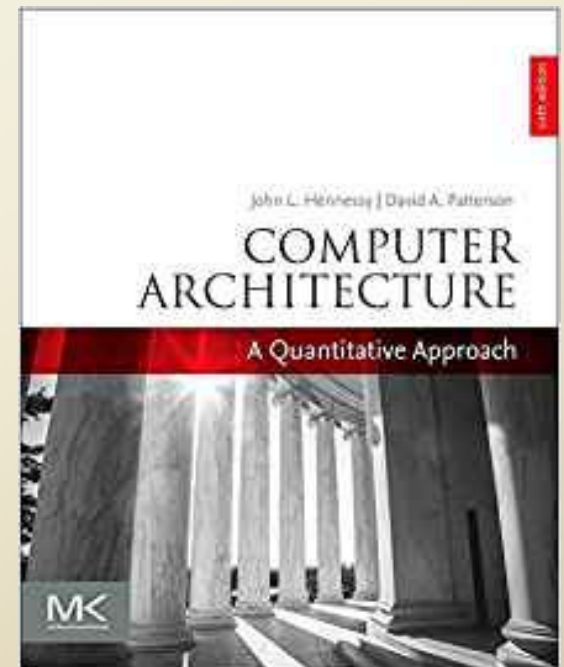
## Computer Architecture, Sixth Edition: A Quantitative Approach

John L. Hennessy and David A. Patterson

コンピュータアーキテクチャ  
[第6版]定量的アプローチ

- 中條拓伯, 天野英晴, 鈴木貢 訳
- RISC-V ベース
- 大学院生、研究者向き

通称ヘネパタ



# TAT ヘネパタとパタヘネ

Computer Architecture, Sixth Edition:

A Quantitative Approach

John L. Hennessy and David A. Patterson

コンピュータアーキテクチャ

[第6版] 定量的アプローチ

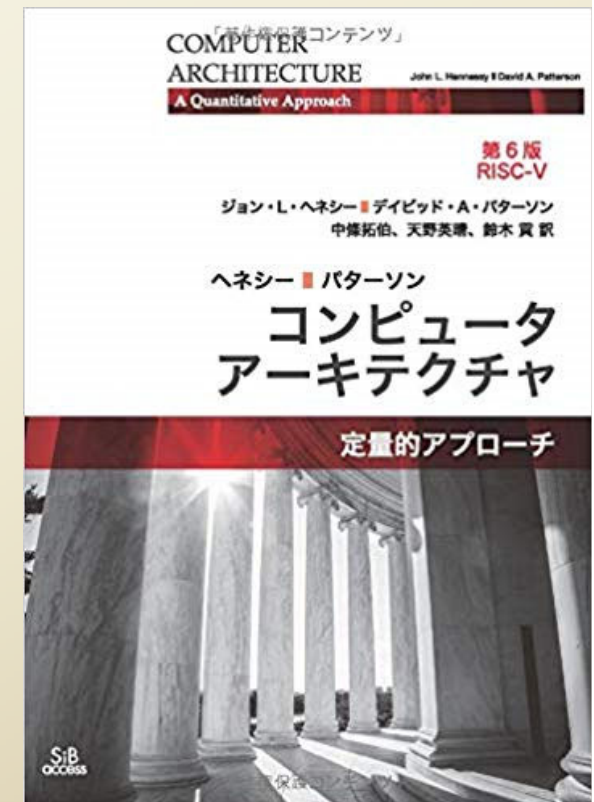
– 中條拓伯, 天野英晴, 鈴木貢 訳

– RISC-V ベース

– 大学院生、研究者向き

通称ヘネパタ

ネタバレ に見える



# TAT ヘネパタとパタヘネ

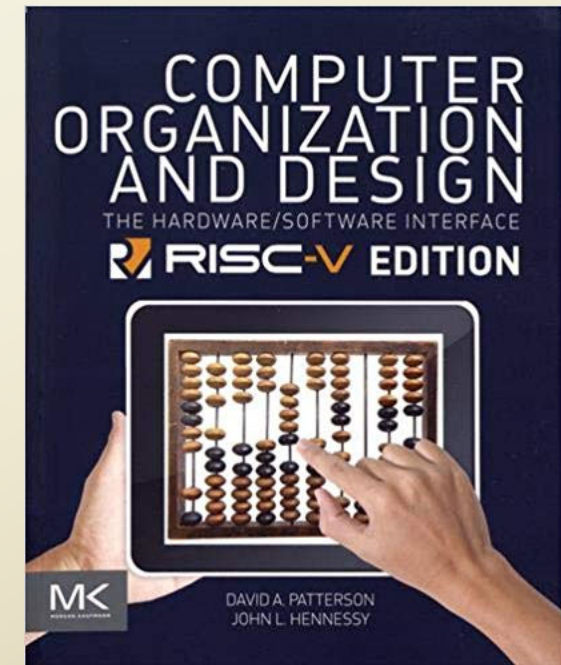
Computer Organization and Design

RISC-V Edition:

The Hardware Software Interface

コンピュータの構成と設計 第5版

- 成田光彰 訳
- MIPSベース
- 学部生向き
- RISV-V版は？



# TAT ヘネパタ原著と翻訳の変遷

## ◆ Computer Architecture a Quantitative Approach

✓ 1990年4月初版

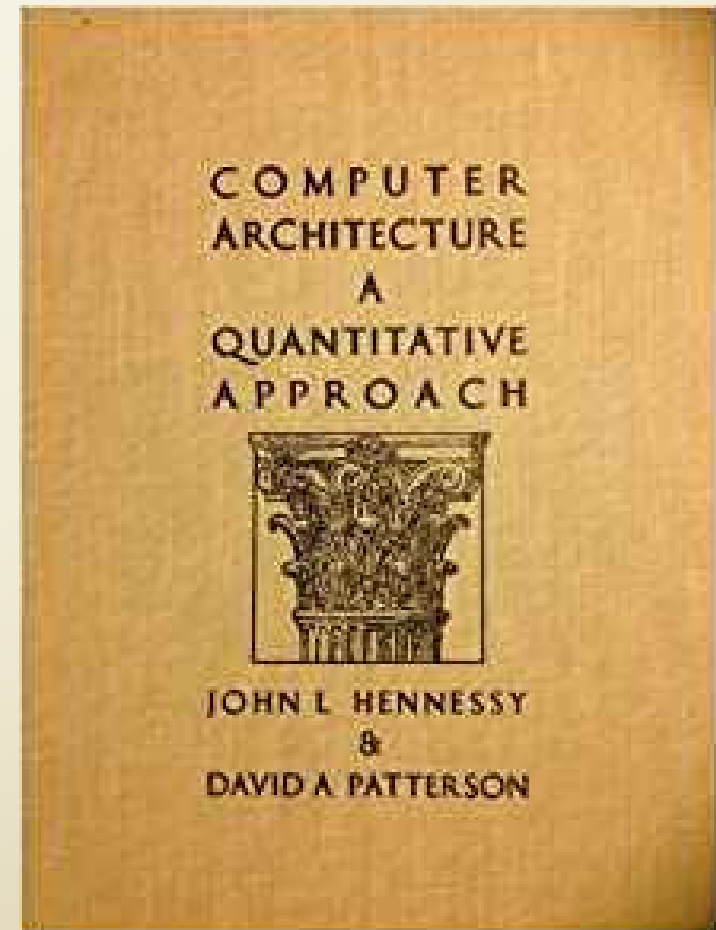
✓ 784ページ

✓ まずは…

「ヘネパタを読め！」

✓ わからないことがあれば…

「ヘネパタを読め！」



# 第1版の歴史的翻訳

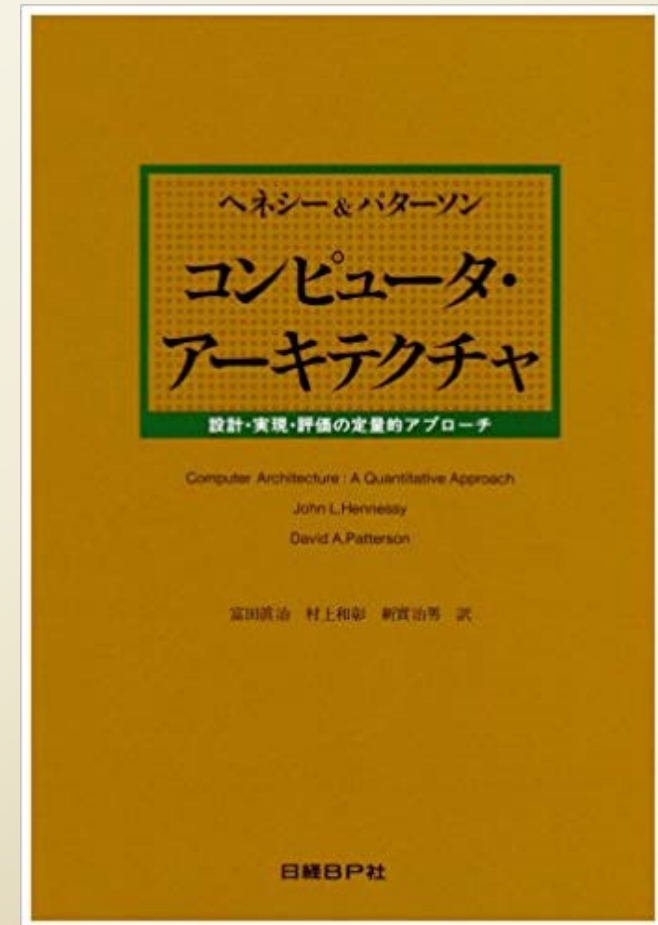
## ◆ヘネパタ 翻訳第1版

✓1993年5月初版

✓富田真治, 新実治男, 村上和彰 訳

✓価格: 12,233円 (税込)

- 1 コンピュータ設計の基礎
  - 2 性能とコスト
  - 3 命令セットの設計-種々の方式と原理
  - 4 種々の命令セットと使用状況の測定
  - 5 プロセッサ実現技術の基本
  - 6 パイプライン処理
  - 7 ベクトル・プロセッサ
  - 8 記憶階層の設計
  - 9 入出力
  - 10 今後の方向
- 付録(コンピュータの演算法)
- 命令セットの一覧表
  - 命令実行頻度分布の詳細
  - 命令実行時間分布と命令実行頻度分布
  - RISCアーキテクチャのサーベイ





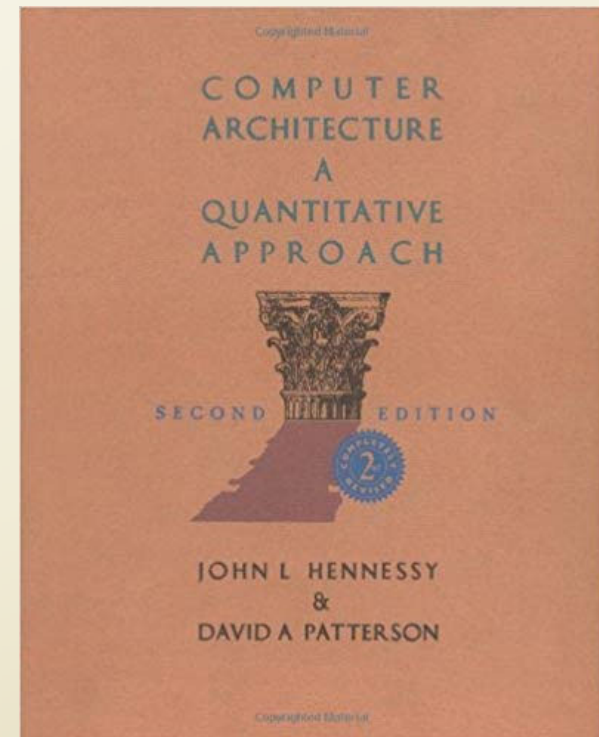
# 2<sup>nd</sup> Editionの登場

## ◆ Computer Architecture a Quantitative Approach, 2<sup>nd</sup> Edition

✓ 1995年8月

1. Fundamentals of Computer Design
2. Instruction Set Principles and Examples
3. Pipelining
4. Advanced Pipelining and Instruction-Level Parallelism
5. Memory-Hierarchy Design
6. Storage Systems
7. Interconnection Networks
8. Multiprocessors

Appendix: A: Computer Arithmetic, B: Vector Processors, C: Survey of RISC Architectures, D: An Alternative to RISC: Intel 80x86  
E: Implementing Coherence Protocols





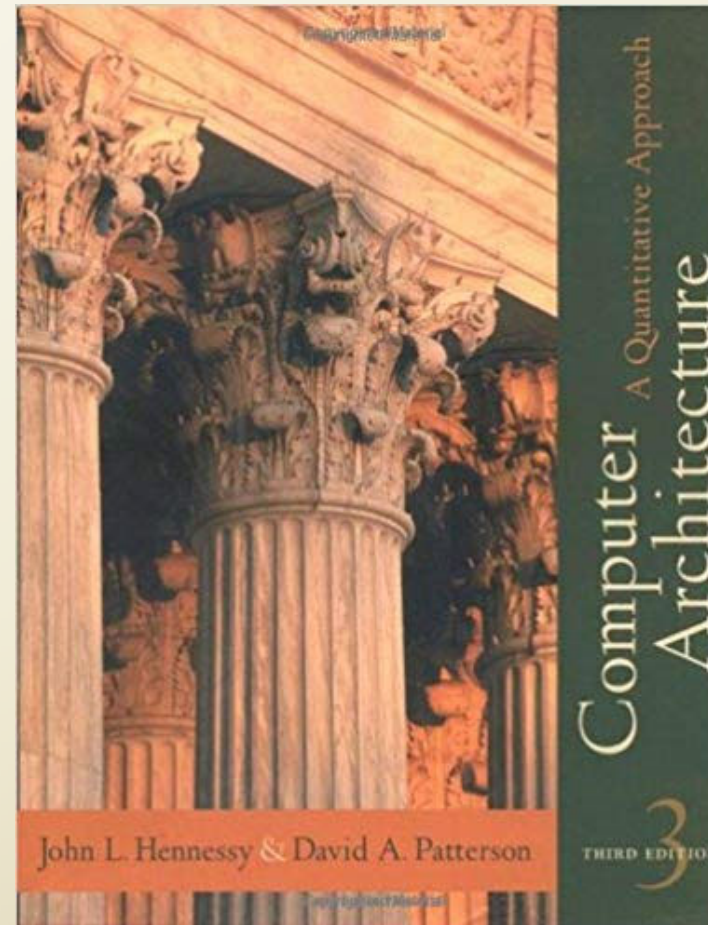


## 3<sup>rd</sup> Editionの登場

◆ Computer Architecture a Quantitative Approach, 3<sup>rd</sup> Edition

✓ 2002年5月

✓ 1,136 ページ





# 3<sup>rd</sup> EditionのToC

1. Fundamentals of Computer Design
  2. Instruction Set Principles and Examples
  3. Instruction-Level Parallelism and its Dynamic Exploitation
  4. Exploitation Instruction-Level Parallelism with Software Approach
  5. Memory-Hierarchy Design
  6. Multiprocessors and Thread-Level Parallelism
  7. Storage Systems
  8. Interconnection Networks
- Appendix: A: Pipelining: Basic and Intermediate Concepts  
B: Solution and Selected Exercises  
C: Survey of RISC Architectures for Desktop, Servers and Embedded Computers  
D: An Alternative to RISC: Intel 80x86  
E: Another Alternative to RISC: VAX Architecture  
F: The IBM 360/370 Architecture for Mainframe Computers  
G: Vector processors  
H: Computer Arithmetic  
I: Implementing Coherence Protocols

追加された章

2<sup>nd</sup> と 3<sup>rd</sup> Edition は、翻訳されずスルー



そして、4<sup>th</sup> Edition

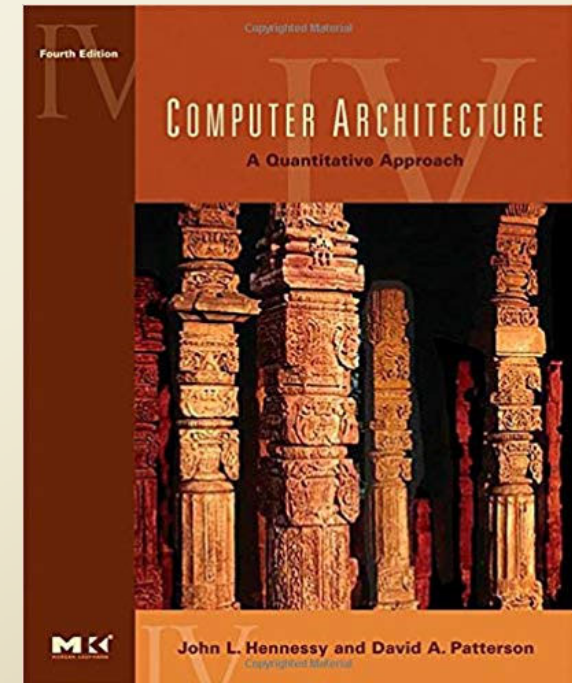
## ◆ Computer Architecture a Quantitative Approach, 4<sup>th</sup> Edition

✓ 2006年9月

✓ 翻訳権は日経BPに

✓ 翔泳社が翻訳権を取れるかも

⇒ 翻訳復活に盛り上がり





# 4<sup>th</sup> EditionのToC

✓704ページ（ページ数が減った？）

1. Fundamentals of Computer Design
2. Instruction-Level Parallelism and Its Exploitation
3. Limits on Instruction-Level Parallelism
4. Multiprocessors and Thread-Level Parallelism
5. Memory Hierarchy Design
6. Storage Systems

## Appendix

- A: Pipelining: Basic and Intermediate Concepts
- B: Instruction Set Principles and Examples
- C: Review of Memory Hierarchy



# 4<sup>th</sup> EditionのToC

✓704ページ ⇒ 付録CD-ROMの量が本編以上

1. Fundamentals of Computer Design
2. Instruction-Level Parallelism and Its Exploitation
3. Limits on Instruction-Level Parallelism
4. Multiprocessors and Thread-Level Parallelism
5. Memory Hierarchy Design
6. Storage Systems

## Appendix

- A: Pipelining: Basic and Intermediate Concepts
- B: Instruction Set Principles and Examples
- C: Review of Memory Hierarchy

## CD-ROM:

- D: Embedded Systems
- E: Interconnection Networks
- F: Vector Processors
- G: Hardware and Software for VLIW and EPIC
- H: Large-Scale Multiprocessors and Scientific

## Applications

- I: Computer Arithmetic
- J: Survey of Instruction Set Architectures
- K: Historical Perspectives and References



# 翻訳チームの結成

✓2006年12月頃から翻訳者の人選

- 中條 拓伯 (監修, 翻訳)
- 吉瀬 謙二 (翻訳)
- 佐藤 寿倫 (翻訳)
- 天野 英晴 (翻訳)

編集はエスアイビー・アクセス 富澤昇

膨大なCD-ROMの付録をどうすべきか？



# Call for Translators

計算機系最大のMailing-List (SWoPP-ML) に投稿

-----  
SWoPP-ML のみなさま :

Call for Papers でもなく Participation でもありません。

Call for Translators です。

MLをお借りして、翻訳者を募らせていただきます。

昨年、Hennessy & Patterson の Computer Architecture: A Quantitative Approach 4th Edition が発刊されましたが、その翻訳作業が出版社である翔泳社を中心に現在進められております。

しかしながら、原本に収められておりますCD-ROMにつきましては、翻訳対象外となっております。



# Call for Translators

このCD-ROMは、原本においてもCopyright Freeとなっておりますが、この英文のままですとどめておくにはあまりにも惜しく、そこで、翻訳メンバーを募って、翻訳していただき編集を経て、翻訳本に付録として添付したいと考えております。

その翻訳メンバーをここに募らせていただきます。

応募資格：

1. 計算機科学の研究に関わり、計算機アーキテクチャに造詣の深い若手の方
2. 計算機研究の発展に熱意のある方
3. 期日を厳守できる方
4. 学生の場合、指導教員の承認を要します





# Call for Translators

CD-ROMご翻訳の特典：

1. 翻訳本にお名前を記載
2. 翻訳本を2冊贈呈
3. 出版社主催の出版打ち上げパーティにご招待

以上の資格を満たした上で、我こそはと思われる方、すでに翻訳されており、それを世に出したいとお考えの方、現在輪講等でリソースを抱えつつある方々、是非とも上記特典を目指してみませんか？

応募要領：

1. ご応募×切：平成19年7月20日（金）
2. ご応募先：e-mailにて、東京農工大学大学院 中條拓伯 宛
3. CD-ROM 翻訳希望セクションを明記
4. 学生の場合、指導教員のご承認を示す文書の添付
5. その他、英語の著書や翻訳の実績などがあればPRしてください。



## 作業開始

- 誤訳が無いように細心の注意
- ネイティブでないとはわからない表現
  - ⇒ 在米の友人にヘルプ
- 意図不明の文章に何度も遭遇
  - ⇒ Hennessyの弟子(某IPコアベンダCEO)に問い合わせ
  - ⇒ 弟子もわからず

編集、校正が不完全なのではという疑惑

# TAT 最後の詰め、そして…

- 箱根の温泉付きマンションにて合宿  
(山本ねじ工販株式会社 故工藤正貴氏に感謝)
- 2008年2月20日 遂に発売



- お約束の出版打ち上げパーティ  
⇒ 裏表紙に関係者全員のサイン

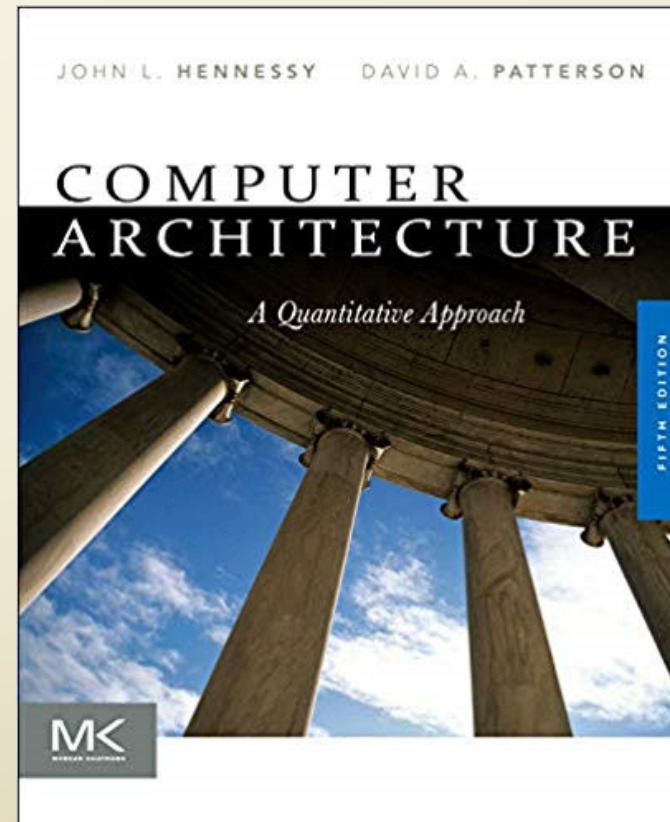
Amazonでディスられるも、なんのその！



## 5<sup>th</sup> Editionの登場

### ◆ Computer Architecture a Quantitative Approach, 5<sup>th</sup> Edition

- ✓ 2011年9月
- ✓ 引き続き翔泳社から
- ✓ CD-ROMはなくOnline
- ✓ 翻訳ノウハウを継承し、作業の効率化



# TAT 5<sup>th</sup> EditionのToC

✓856ページ

1. Fundamentals of Quantitative Design and Analysis
2. Memory Hierarchy Design
3. Instruction-Level Parallelism and Its Exploitation
4. Data-Level Parallelism in Vector, SIMD, and GPU Architectures
5. Thread-Level Parallelism
6. Warehouse-Scale Computers to Exploit Request-Level and Data-Level Parallelism

追加された章

## Appendix

- A: Instruction Set Principles
- B: Review of Memory Hierarchy
- C: Pipelining: Basic and Intermediate Concepts

# TAT 翻訳チーム再結成

- 中條 拓伯（監修，翻訳）
- 天野 英晴（監修，翻訳）
- 吉瀬 謙二（翻訳）
- 佐藤 寿倫（翻訳）
- 鈴木 貢（翻訳）

編集は翔泳社の編集者が担当

# TAT 校正作業での苦悶

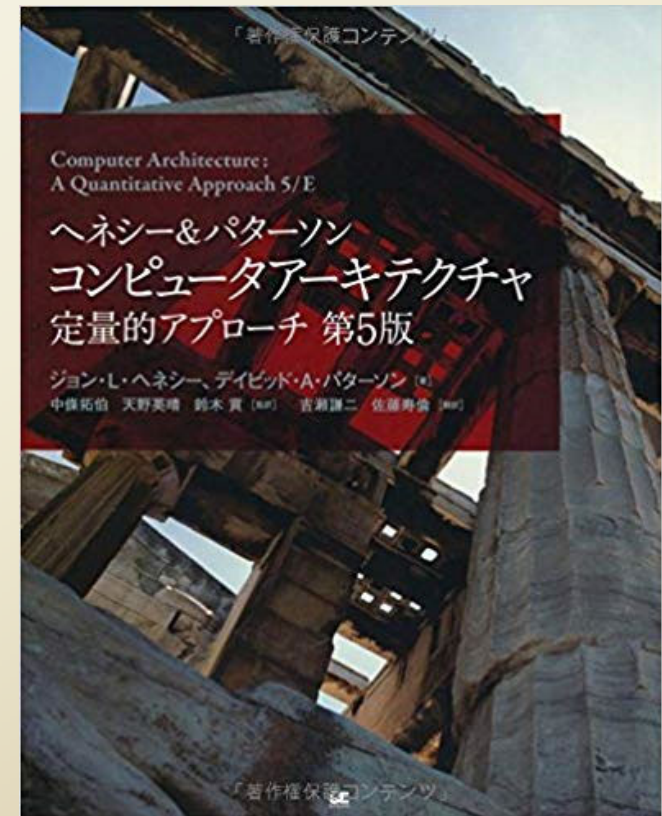
- 堅い翻訳文を、こなれた文章に編集  
⇒ さすが、経験深い編集！
- しかし、技術的、学術的な誤りも発生
- 原著の図から表を分離し、番号振り直し  
⇒ 原著との図番号のずれが発生  
⇒ 原著との比較がやや困難

# TAT なんとか無事発売

- 2014年3月
- 匿名の口コミに対する釘さし

本書の翻訳を批評したいのであれば、最低限原著と照らし合わせた上で行っていただきたく、他のレビューを読んだだけでそれを鵜呑みすることは避けたい。

翻訳者は寡黙であるべし、といった金言に背を向け、我々は本書の真価を世に伝えるべく、これからも世の中の誤解を正す使命をもとに情報を時間の許す限り発信していきたい。

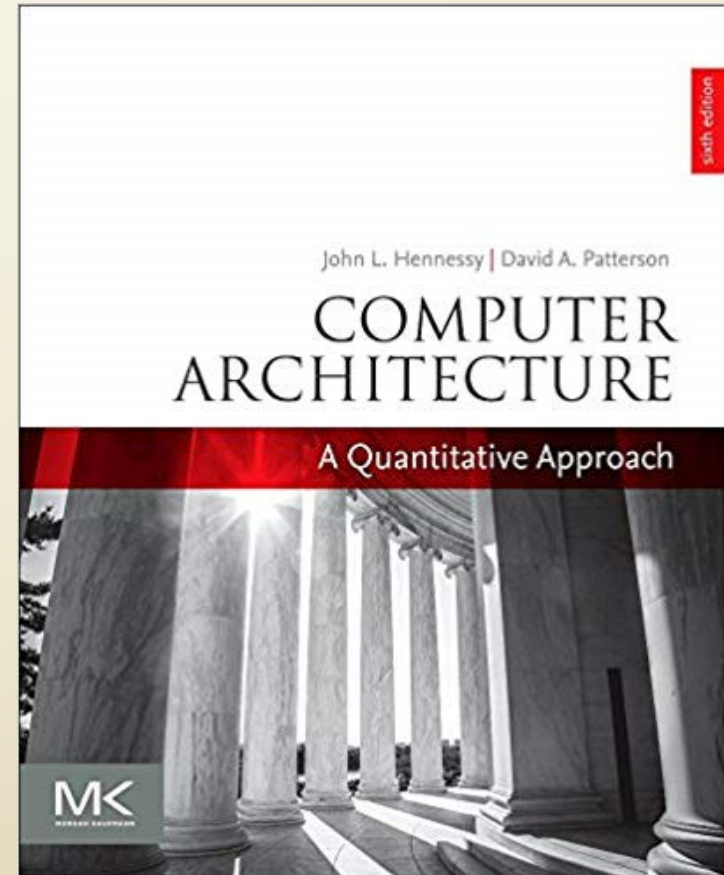




# TAT 最後のヘネパタ 6<sup>th</sup> Edition

## ◆ Computer Architecture a Quantitative Approach, 6<sup>th</sup> Edition

- ✓ 2017年12月
- ✓ MIPSからRISC-Vへ
- ✓ 翻訳権がSiBアクセスに
- ✓ 原著者がTuring賞受賞





# 6<sup>th</sup> EditionのToC

✓936ページ

1. Fundamentals of Quantitative Design and Analysis
2. Memory Hierarchy Design
3. Instruction-Level Parallelism and Its Exploitation
4. Data-Level Parallelism in Vector, SIMD, and GPU Architectures
5. Multiprocessors and Thread-Level Parallelism
6. The Warehouse-Scale Computer
7. Domain Specific Architectures

追加された章

Appendix

- A: Instruction Set Principles
- B: Review of Memory Hierarchy
- C: Pipelining: Basic and Intermediate Concepts

これまでよりも楽勝っぽいかも…

# TAT 翻訳チームの縮小

- 中條 拓伯 (翻訳)
- 天野 英晴 (翻訳)
- 鈴木 貢 (翻訳)

編集は再び富澤さんに…

まずは、5<sup>th</sup> Editionとの差分を取る作業

しかし、見通しが甘かった…

# TAT 原著と第5版のバグとの苦闘

➤ 第5版の技術的、学術的な誤り

⇒ そのままコピーは危険

➤ 原著に信じられないバグ

⇒ Ex. 5<sup>th</sup> Editionの図がそのまま

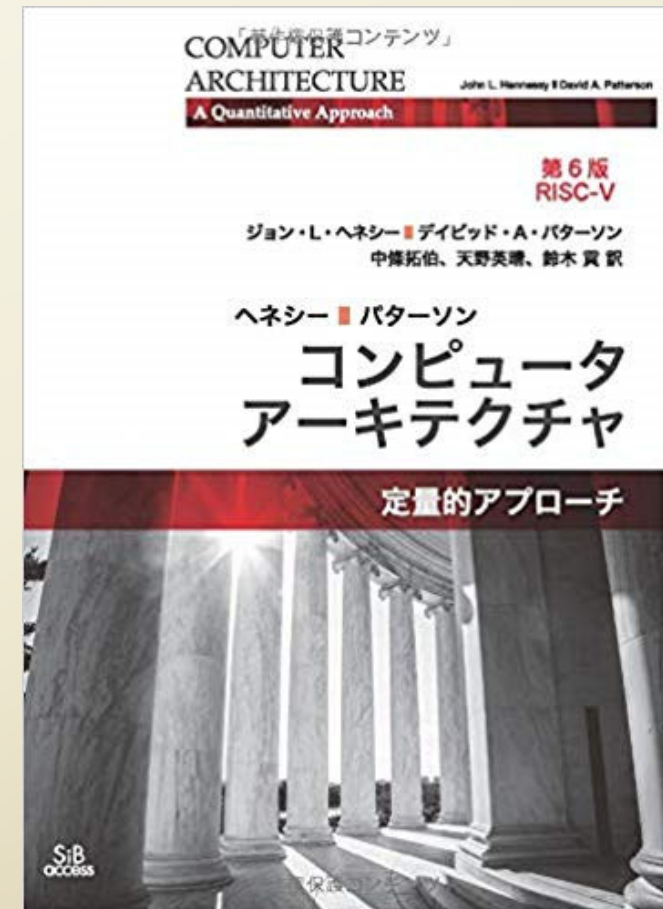
詳しくは、以下のサイトをご覧ください

<http://am.ics.keio.ac.jp/wp/caqa6thproblem/>

疑心暗鬼になりながらの作業に、  
精神的・肉体的に消耗

# TAT RISC-V Dayに感謝

- 2019年9月30日のRISC-V Dayに向けてラストスパート！  
⇒ 2019年9月25日発売！
- バグを残したままで、ごめんなさい
- 引き続き、バグを潰してまいります！



# TAT おわりに

➤ 最後に心のもやもやを吐露

◆ヘネパタは果たしてバイブルか？

◆ヘネパタは教科書にすべきか？

◆ヘネパタの次に来るのは？

⇒ この回答は、ご購入いただいたいき、  
熟読いただいた方々に委ねます！

SiBアクセスが赤字にならないように  
そこそこ売れることを願って…