



# MIPS eVocoreオートモティブソリューションのご紹介

阿部 道夫  
ディレクタ、セールス&ソリューション  
MIPS Japan

November 17, 2022

# 強力なコンビネーション: MIPS CPUテクノロジー + RISC-V Open ISA

## MIPS

実証済のアーキテクチャと  
マイクロアーキテクチャ

- >120億チップ, 年10億の  
出荷実績

スケーラブルな性能

- マルチスレッド、マルチ  
コア、マルチクラスタ

アプリケーションの最適化

- リアルタイム機能、ハード  
ウェア仮想化、セキュ  
リティ



## RISC-V®

オープン ISA

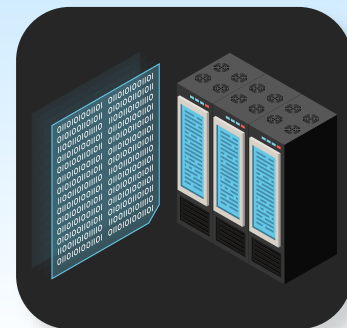
- 業界全体による、エコシ  
ステムの成長

アーキテクチャ移行時のソ  
フトウェア開発コストの縮  
小とスピードアップ

- RISC-V プロファイル
- RISC-V 互換

**MIPSは、実製品で実証済みのソリューションを  
RISC-Vエコシステムに提供し、  
RISC-Vの移行とイノベーションを加速します**

# ターゲットマーケット: MIPS CPUテクノロジーの活用



機能	自動車	通信&ネットワーク	HPC & データセンター
アプリケーション	ADAS, 自動運転, 車内通信	データ転送と有線/無線ネットワーク向けソリューション	集中インフラストラクチャー, 分散ワークロード処理とストレージ
ハードウェア機能	ヘテロジニアス, ISO 26262 (FuSa), SEooC, ロックステップ, マルチクラスター	組み込み向けの最適化された低レイテンシーデータ転送機能, リアルタイム機能	最適化されたデータ転送性能 スレッド/コア/クラスター 低レイテンシーペイロード処理
MIPSのアドバンテージ	スケーラブルな性能, マルチクラスターサポート, 機能安全認証	性能/電力効率, 仮想化機能, マルチスレッド	マルチコア, スケーラブルな性能, データ転送性能

# MIPSはADASと自動運転システムの70% をドライブ

## ■ L1/L2 ADAS システム

- 単一カメラ、低消費電力
- パフォーマンス効率重視

## ■ L2+ / L3 – ADAS+

- ドライバ制御による部分的な自動運転 (ドライバの介在要)
- 快適機能の追加 (自動駐車機能等)

## ■ L4 / L5 – 自動運転

- 自動運転経路のプランニング

### L1-L2 ADAS

#### ドライバ アシスタンス

Front camera:

- Emergency braking
- Emergency steering
- Adaptive cruise control
- And more

### L2+/L3 ADAS+

#### 部分的自動運転

Scalable proposition for

- Front computer vision
- REM HD map
- May also include:
  - Driver monitoring
  - Surround CV
  - + Redundancy

### L4/L5

#### 全自動運転

Services:

- Robotaxi
- Delivery

Multiple sensors +  
redundancy  
Driver Policy



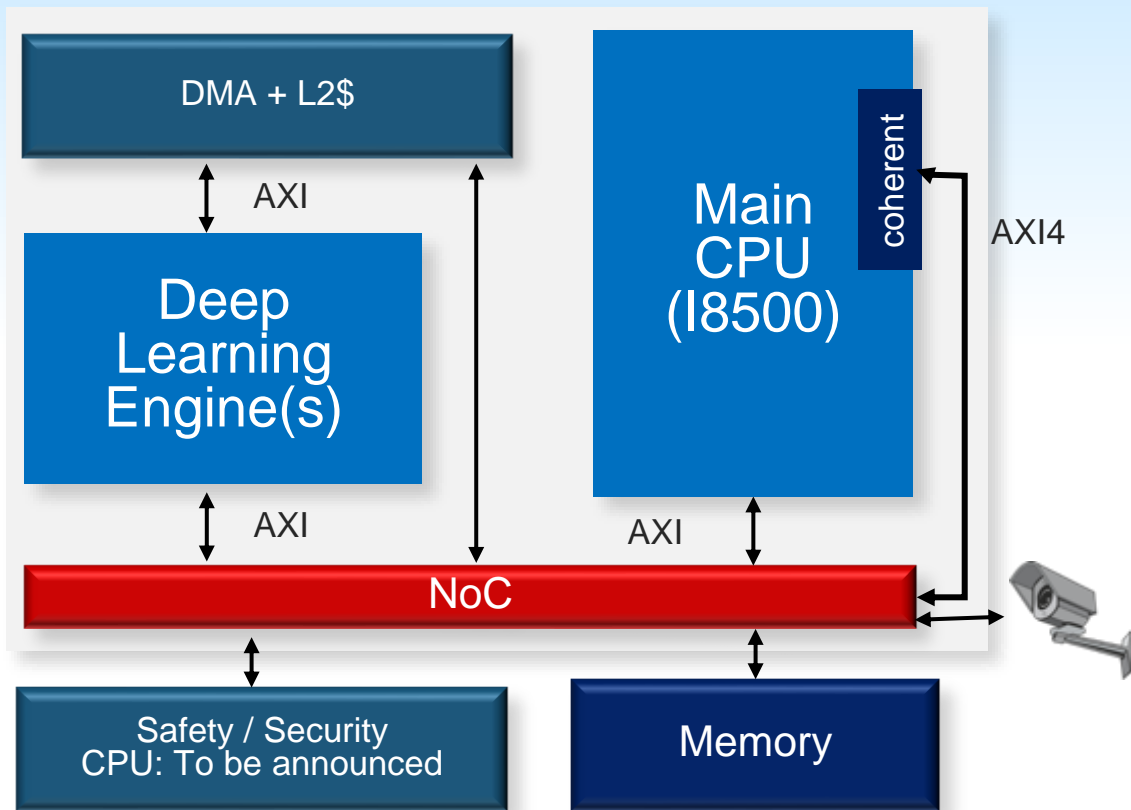
# ADASシステムの例

- **メインCPUの主要な機能**

- SMTによる効率的な性能
- リアルタイム機能のQoS と低レイテンシ

- **セーフティ／セキュリティの主要な機能**

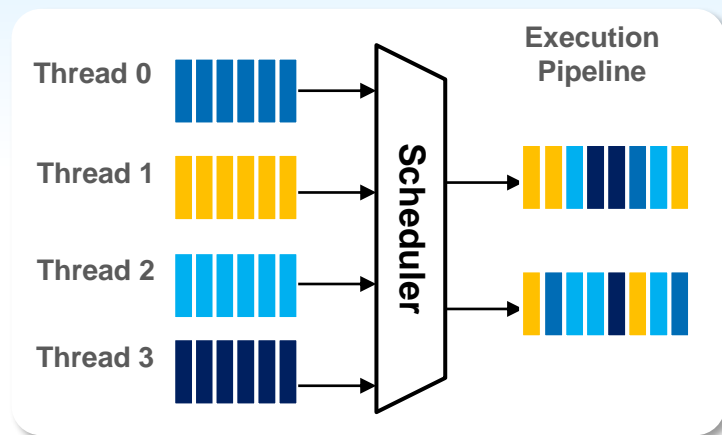
- 仮想化機能
- ロックステップ／ASIL-Dサポート



# マルチスレッド機能 = 効率的な性能

- 高い性能
  - 2つ目のスレッド追加で、一般的なベンチマークで40% - 55%コア性能向上
- 性能効率の向上
  - 4コア/クラスタ構成で、2つ目のスレッド追加で10%程度の面積増加
- ゼロ オーバーヘッド割り込み応答/サービス ルーチン 処理
- 複数のオペレーティング システムの同時実行
  - OSは個別に実行され、互いに分離/保護される (VZを使用)
  - OSは同時に実行される (SMT機能)

## SMT



MT の利点を活用して、システムのパフォーマンスと応答性を向上

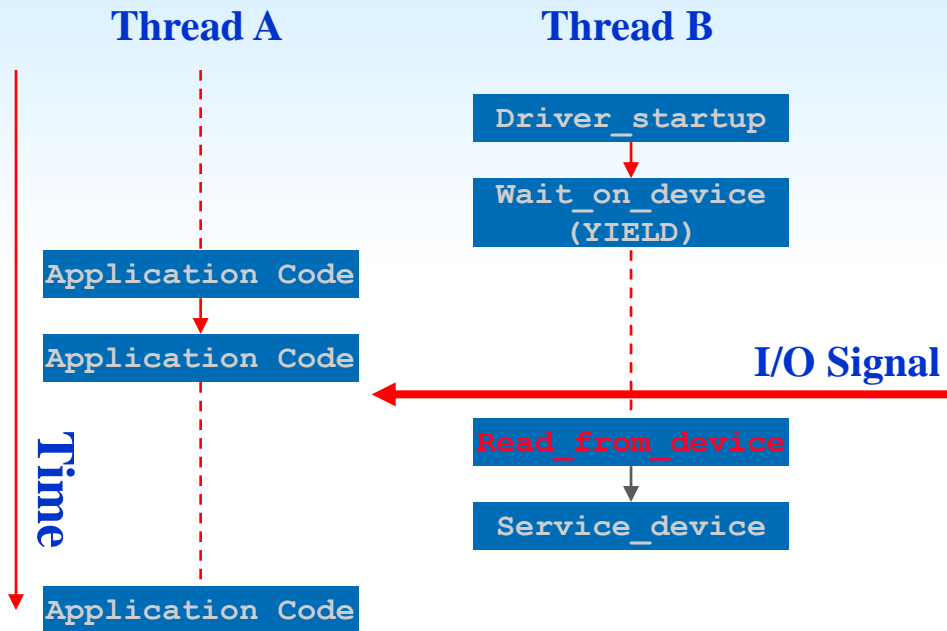
# MIPS eVocore I8500: CoreMark/GHz & Specint2K6/GHz

## 2<sup>nd</sup> Thread Performance Boost



# マルチスレッドを利用し割り込み応答時間を削除

- 事前に初期化された I/O サービススレッドの直接アクティブ化
- 積極的なスレッドスケジューリングポリシーによる「ゼロ」割り込みレイテンシ
- *割り込みが非常に頻繁で、高速なサービスが要求される場合に使用*
- カーネルモードあるいはユーザーモードで動作
- 割り込みが無効状態でも機能

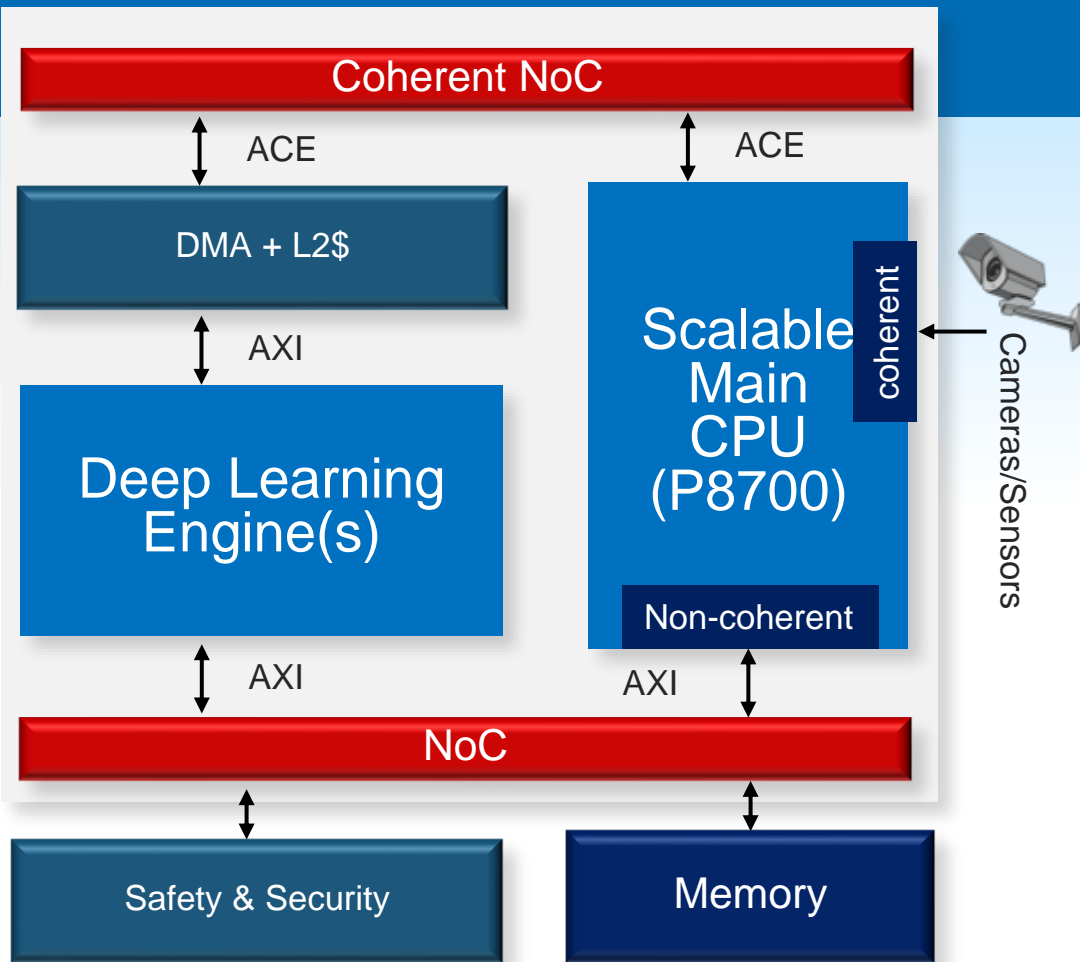


優先度の高いサービスを専用スレッドでパーキング/アクティブにする

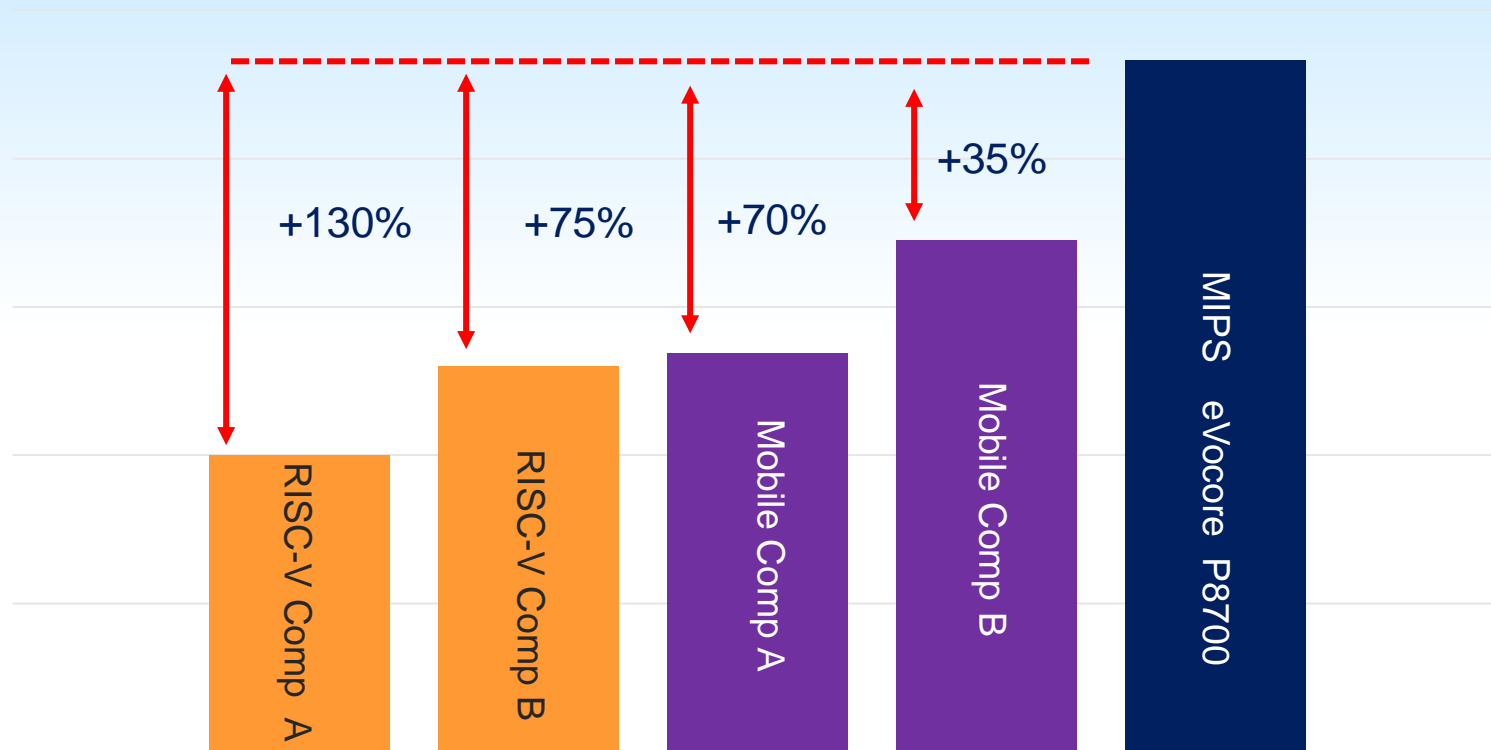


# 自動運転システム

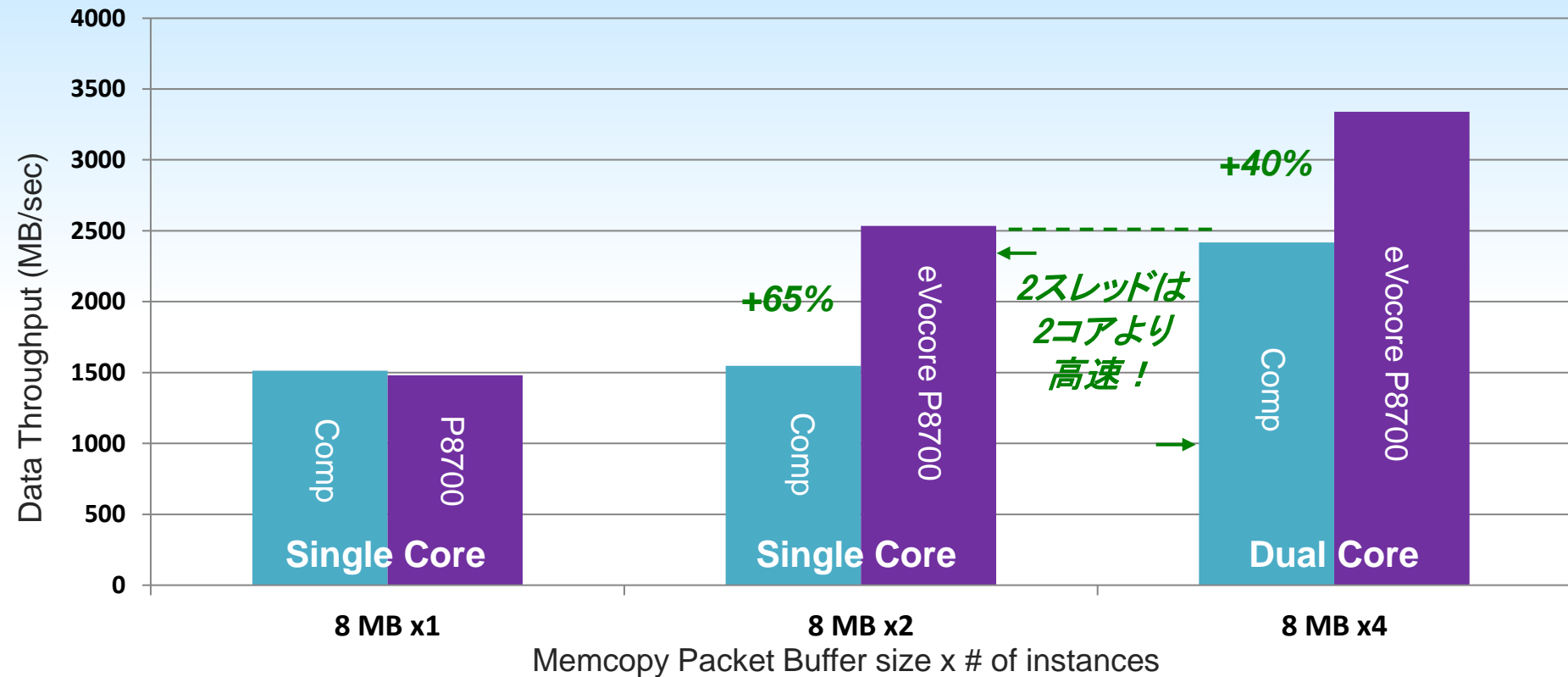
- ターゲット性能は100-200 TOPS (AIエンジン)
- メインCPUの主要機能:
  - 高いシングルスレッド性能
  - 高い性能効率
  - 性能のスケーラビリティ
  - AI アクセラレータ向けに最適化されたデータ移動機能
- ターゲットアプリケーション:
  - L3/L4 ADAS +
  - ロボタクシー / 自動配達



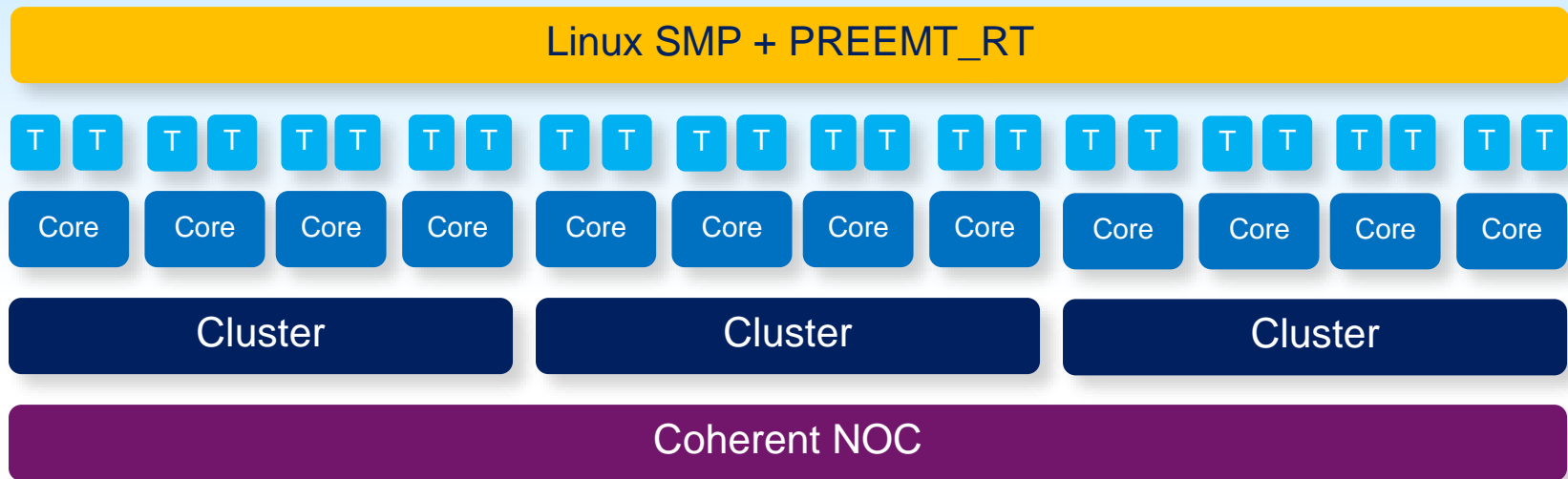
# eVocore P8700: 新しいレベルの性能(Specint2K6/GHz)



# データ一転送性能 (Mem-Copy)



# MIPS eVocore はスケーラブルなパフォーマンスを提供



- 64クラスタ、クラスタあたり8コア、コアあたり2～4スレッドまで拡張可能
- この例では:
  - 3クラスタ、クラスタあたり4コア、コアあたり2スレッド = 24スレッドで700+

Specint2K6

## eVocore I8500: クラス最高の性能/電力効率

I8500は、SoCアプリケーションで使用するクラス最高の電力効率を備えたインオーダー・マルチプロセッシングCPUソリューションです。各I8500コアは、マルチスレッドと効率的な3命令同時実行パイプラインを組み合わせて、卓越した処理スループットを実現します。このCPUソリューションは、最大64のクラスター、512のコア、2,048のハート/スレッドに拡張できます。



## eVocore P8700: アウトオブオーダー実行による高性能

P8700は、ディープパイプラインと複数命令同時アウトオブオーダー（OOO）実行およびマルチスレッドを組み合わせて、卓越した処理スループットを実現します。シングルスレッドのパフォーマンスは、他のRISC-V CPU IP製品で現在利用可能なものよりも優れており、最大64クラスター、512コア、1,024ハート/スレッドまで拡張できます。

# P8700 & I8500 セーフティパッケージ



## MIPS safety documents

Safety documents to assist customer to achieve ISO 26262 compliance



### Safety Requirement Specification [SRS]

Details on Safety architecture, HW and SW safety mechanism as applied to the IP and recommended usage



### Safety Plan [SP]

Safety activities planning based on target project ASIL level and tailoring requirements



### Functional safety Confirmation Measure Reports [CM]

Safety related confirmation measures based on ASIL level independence

- Safety case confirmation reviews
- Functional safety Audits
- Functional safety assessment



### Functional safety Analysis Report [FSA]

Summary report of FMEA analysis report based on equivalent [gate level] analysis at Part [IP] level

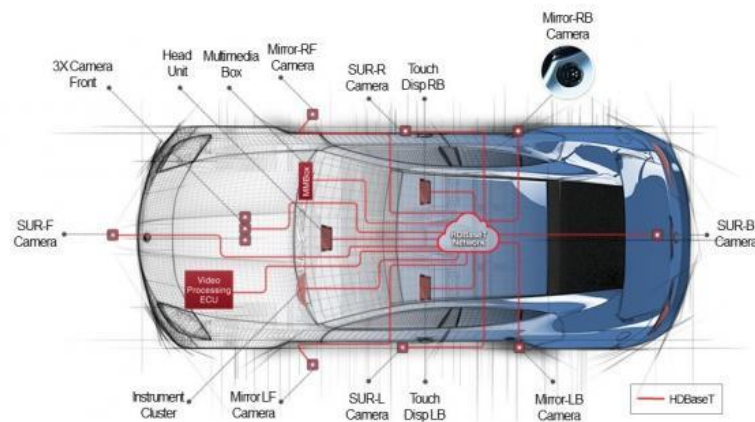


### Safety Application Notes [SAN]

Detailed description of all safety mechanism, its functionality and the protection offered, as implemented on the IP

# eVocore ファミリのさらなるアプリケーション – V2X & 車内通信

- 低消費電力と省面積
- 小さなコードサイズ & RTOS サポート
  - 最適化されたネットワーク ライブラリの提供
- マルチスレッディングとQoS機能により、レイテンシとピーク実行時間のネットワークの変動に対応
- ASIL-B および ASIL-D 機能安全サポート
  - 100% 動作 (テストライブラリ/LBIST不要)
  - 詳細は 2023 年以降、または NDA で提供



車内通信

# What next ?



- **eVocore P8700 & I8500をベースに  
ADAS および自動運転ソリューションを  
拡張**
  - 機械学習機能をもつCPUコア
  - セキュリティとセーフティア일랜드
  - ネットワークアプリケーションCPU
  - 2023 年中に発表予定



# サマリー

- MIPS は、高性能アプリケーションでの RISC-V への移行を加速するために、シリコンで実証済みの実績のあるCPU テクノロジーを活用していきます。
- MIPS は、自動車市場向けに新しいレベルのパフォーマンスを提供します
  - さまざまなアプリケーションに対応するスケーラブルなパフォーマンスを提供
  - 独自の機能を備えたスケーラブルな安全性により、市場投入までの時間を短縮
- eVocoreファミリの製品は、皆様のためのソリューションを提供します

詳細については、[www.mips.com](http://www.mips.com)まで。

日本語では[mabe@mips.com](mailto:mabe@mips.com)へお問い合わせください。



# MIPS

ELEVATING RISC-V

Thank You