

なぜ教育用モデルプロセッサに RISC-Vを使用すべきか？

2020年11月5日 RISC-V Day Tokyo2020

慶應義塾大学理工学部

天野英晴

教育用モデルプロセッサ

- 教育内容

- コンピュータアーキテクチャ教育

- 命令セットアーキテクチャの解説、簡単なアセンブラプログラムの演習
 - マイクロアーキテクチャを解説し、パイプライン化、分岐予測、複数命令同時発行などの技術を紹介

- HDL、設計教育のモデル

- FPGAを用いた学生実験
 - チップ設計演習

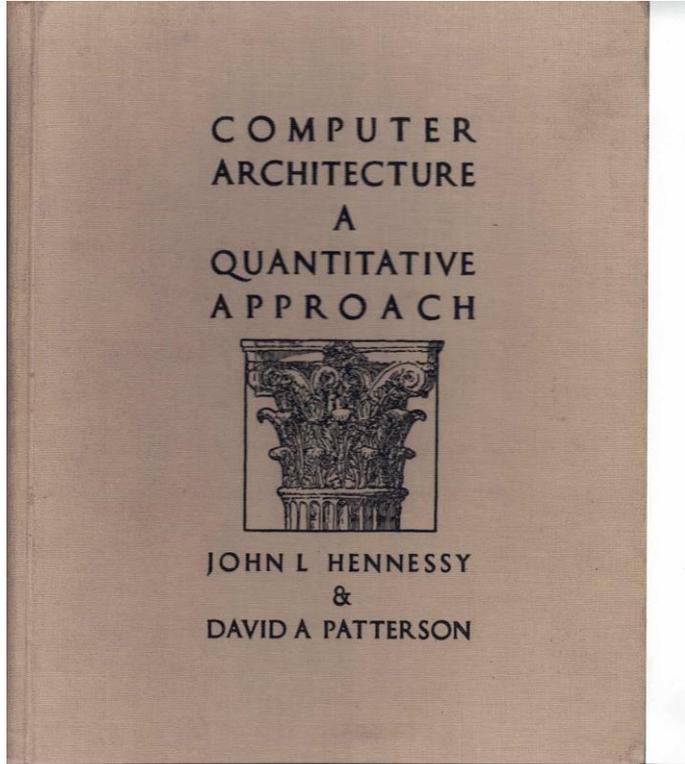
- システムソフトウェア教育

- C言語がコンパイルされて動作するまで
 - OSのインストール

- 要求事項

- 簡潔な命令セットアーキテクチャを持つこと
 - 簡単かつ現実的なマイクロアーキテクチャを実装可能であること
 - アセンブラ、コンパイラ、シミュレータ、デバッガ等ソフトウェアエコシステムが利用可能であること
 - FPGAでの実験環境が利用可能であること
 - 実際に世の中で用いられている現実的なプロセッサであること

RISCモデルプロセッサDLX 1990年



Hennessy&Patterson

Computer Architecture- A Quantitative Approach

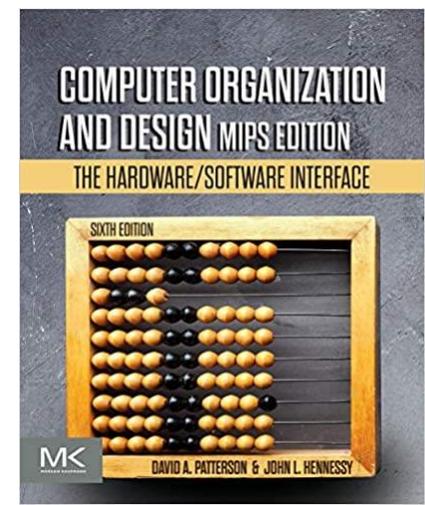
ヘネ・パタ 1, 2版で使われた

- 当時のRISCの典型的な命令セットアーキテクチャ
- 5段パイプラインのマイクロアーキテクチャ
- 現実的だが商用プロセッサではない

- (AMD29K, DECstation3100, HP850, IBM801, Intel i860, MIPS M/120A, MIPS M/1000, Motorola 88 K, RISC I, SGI4D/60, SPARCstation 1, Sun 4/110, Sun 4/260)/13=DLX

DLXからMIPS R3000へ (2000年前後)

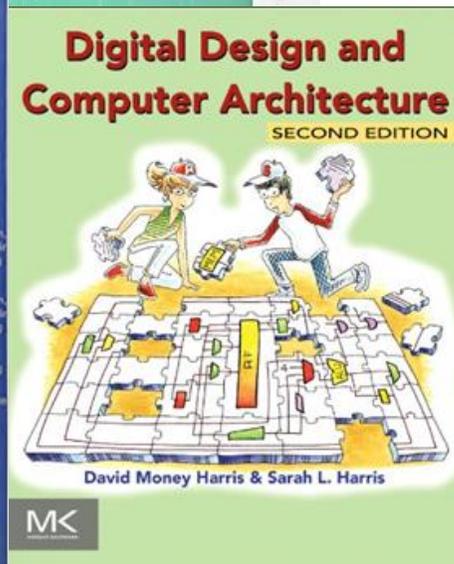
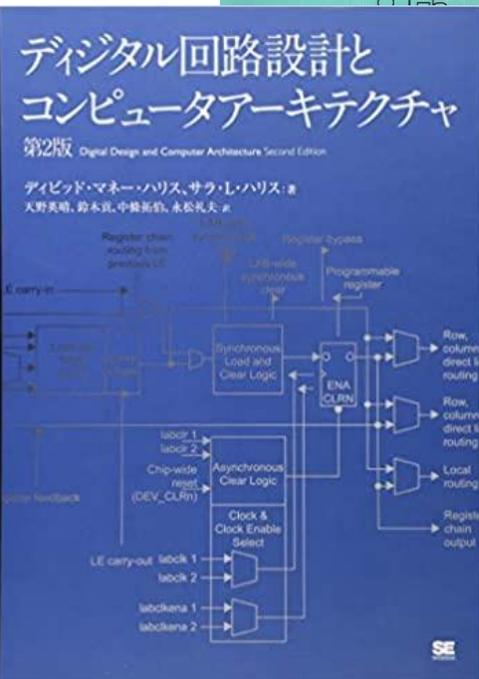
- DLXは画期的なモデルプロセッサであったが弱点もあった
 - ソフトウェアエコシステムが貧弱
 - 実際のプロセッサではないので、高性能面での拡張例の提示が困難
 - 現実に使われているプロセッサを使いたい、というポリシーに反する
- 入門用のテキストPatterson&Hennessy “Computer Organization and Design” (パタ・ヘネ) では最初からMIPS R3000を使う
- ヘネ・パタも第3版以降はMIPS R3000に
- MIPS R3000はPS1、SGIのワークステーションに広く利用された。



CPUをHDLで設計しながら学ぶ



2001年、当時先進的だったSFLを利用
→後にVerilog HDLに
16bit RISC POCOを利用
DLXが授業時間内に論理合成できなかったため



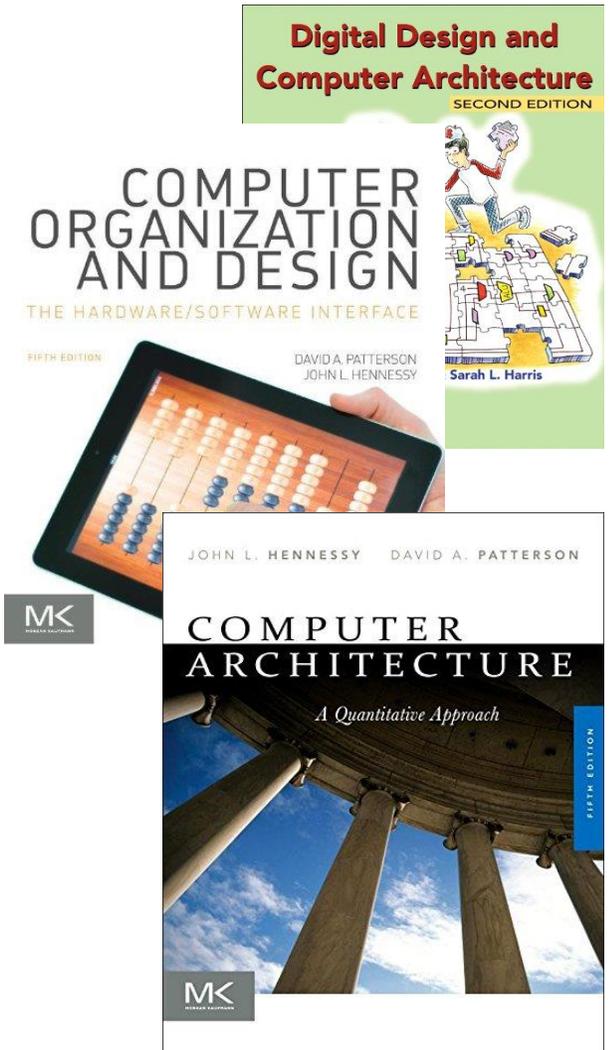
Harris&Harris “Digital Design
and Computer Architecture”
2007年

Verilog HDL/VHDL
MIPS R3000を利用

こちらにもMIPS R3000へ

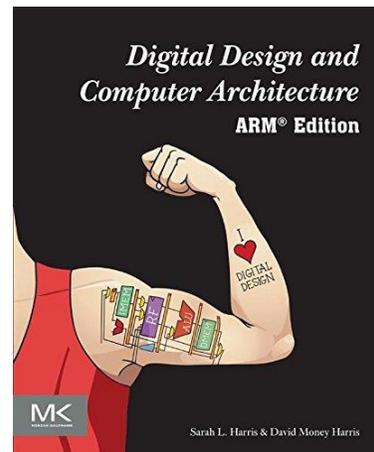
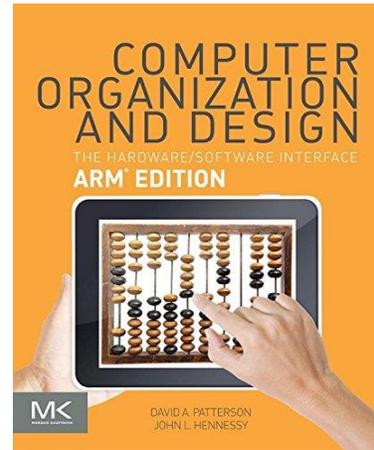
MIPS R3000全盛期(2000-2015)

- ヘネ・パタ、パタ・ヘネ、ハリス&ハリスの3大テキストが統一された
 - Harris&Harris “Digital Design and Computer Architecture”
 - Patterson&Hennessy “Computer Organization and Design”
 - Hennessy&Patterson “Computer Architecture”
- MIPSfpgaなどの優れたFPGA用教材が整備された
- しかし徐々に影が、
 - MIPSアーキテクチャ自体が使われる機会が減る
→ エコシステムが発達しない



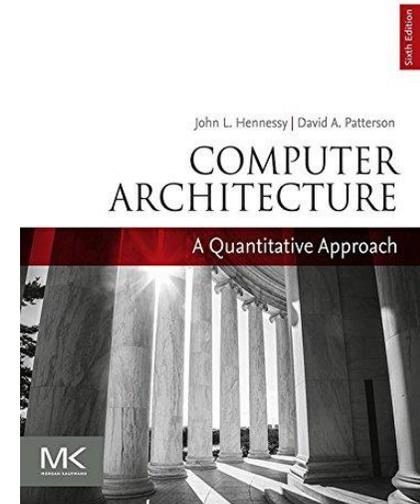
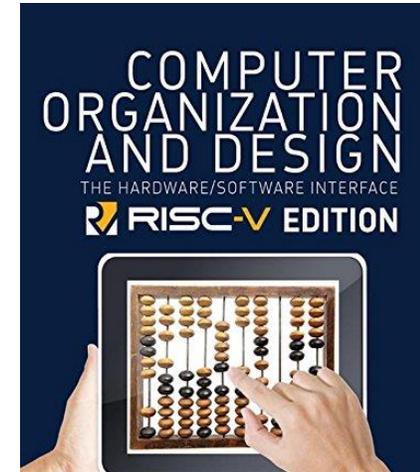
ARMにしたらどうだろう？2016

- 実際に使われているプロセッサをモデルとしたい
 - Patterson&Hennessy “Computer Organization and Design: ARM edition”
 - Harris&Harris “Digital Design and Computer Architecture: ARM edition”
- 問題点
 - PCを汎用レジスタの一部とするなど古い考え方が残っている
 - 命令セットがやや複雑で今までのMIPSとの違いが大きい
 - マイクロアーキテクチャも複雑化
 - エコシステムは完璧だが完全にオープンではない



RISC-Vの登場

- モデルプロセッサに必要な要件を全て満足
 - 簡潔な命令セットアーキテクチャ
 - 単純なマイクロアーキテクチャ
 - 様々な方式に拡張可能
 - ソフトウェアエコシステムを備えている
 - 現実世界での利用、研究での利用が広がっている
 - オープンでフリー
 - MIPS R3000と類似しているので、今までの教材が若干の改変で利用可能
- パタ・ヘネ、ヘネ・パタはRISC-V版が登場、ハリス & ハリスはもうすぐ
- 優れたFPGA教材のユニバーシティプログラムが登場
→次の発表



命令セットアーキテクチャの比較

RISC-V RV32I vs. MIPS R3000

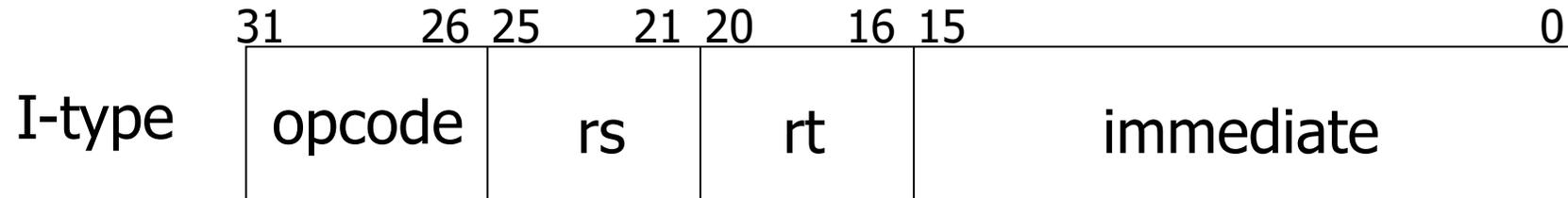
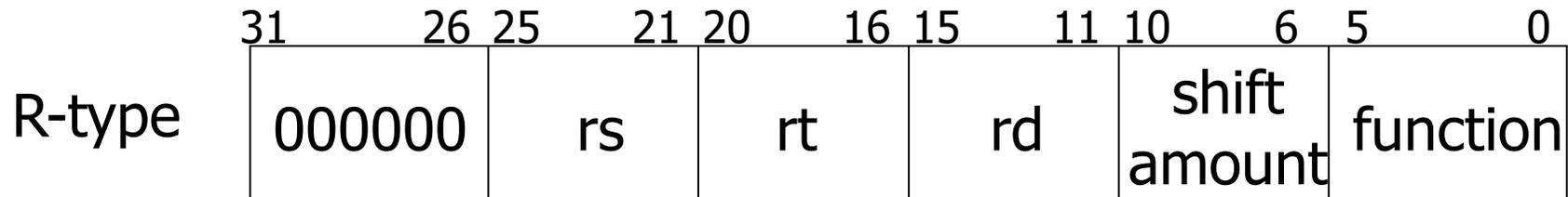
- 主要な命令はほぼ同じ
- RV32Iの方が規則性が高い

相違点	RV32I	R3000
独自の命令	bge, bgeu, blt, bltu, auipc	nor, j, jr, lwl, lwr, swl, swr
Offset/Immediate/ Branch target	12bit, 全て符号拡張	16bit 命令によってはゼロ拡張
ジャンプ、サブルーチン コール	全てPC相対指定、戻り番地はどのレジスタにもセーブ可能 j, jrは擬似命令	j,jalは絶対指定、戻り番地は\$31のみに保存
大乘比較付き分岐	bge/bltと sltの両方を持つ	sltのみ、分岐は等しいか等しくないか

命令のフィールドは全く違っている

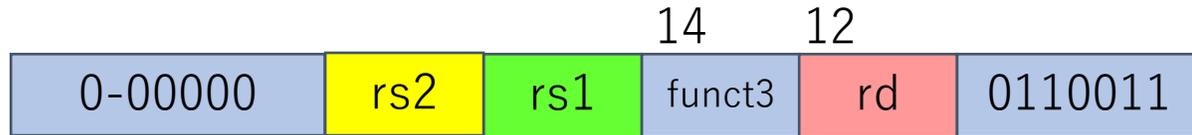
MIPS R3000

- 3つのタイプに全てをまとめている
- 各命令はフィールドを揃えている
- rtの役割は命令によって異なる



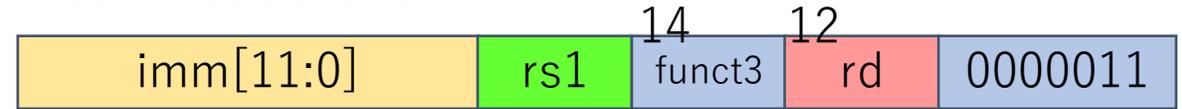
RV32Iの命令フィールドは複雑に見える

Register-Register



000	add,sub(30b)	101	srl, sra(30b)
001	sll	110	or
010	slt	111	and
011	sltu		
100	xor		

Load instructions



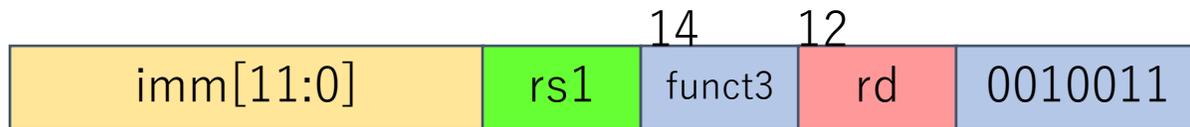
000	lb
001	lh
010	lw
100	lbu
101	lhu

Store instructions



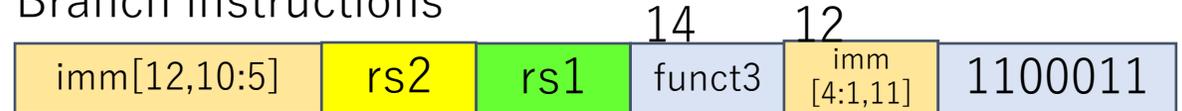
000	sb
001	sh
010	sw

Immediate



000	addi	101	srli, srai (30b)
001	slli	110	ori
010	slti	111	andi
011	srlui		
100	xori		

Branch instructions

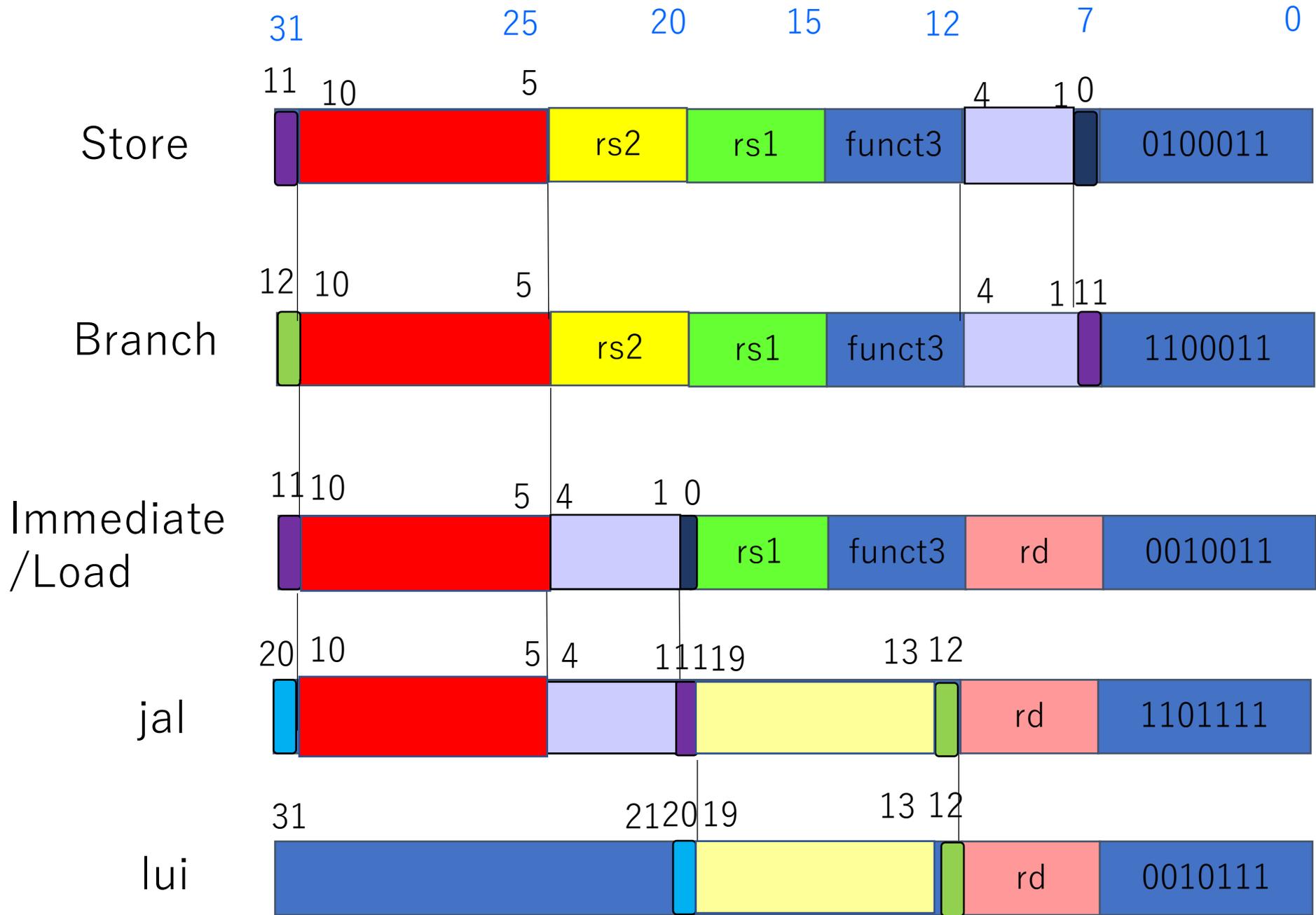


000	beq	001	bne
100	blt	101	bge
110	bltu	111	bgeu

複雑さに潜む規則性

- 7bit opcodeで命令タイプを指定、個々の命令はfunct3で指定
 - funct3はregister型とimmediate型で同じ
 - ALUのコマンドとして直接利用可能
 - 30ビット目を補助的に使う、ここがちょっと格好悪い、、
 - 十分な拡張性
- rs1,rs2,rdの位置は完全に共通
 - レジスタファイルへ直接入力すれば良い
- Immediate fieldはシャフルされている
 - 位置の共通性を高める
 - 最上位を常に符号拡張すれば良い

Immediateのシャッフル



ビットシャフルの効果

- 組み合わせ回路の面積が1.3%減る
- クリティカルパスには影響がない
- Verilog記述は複雑になる

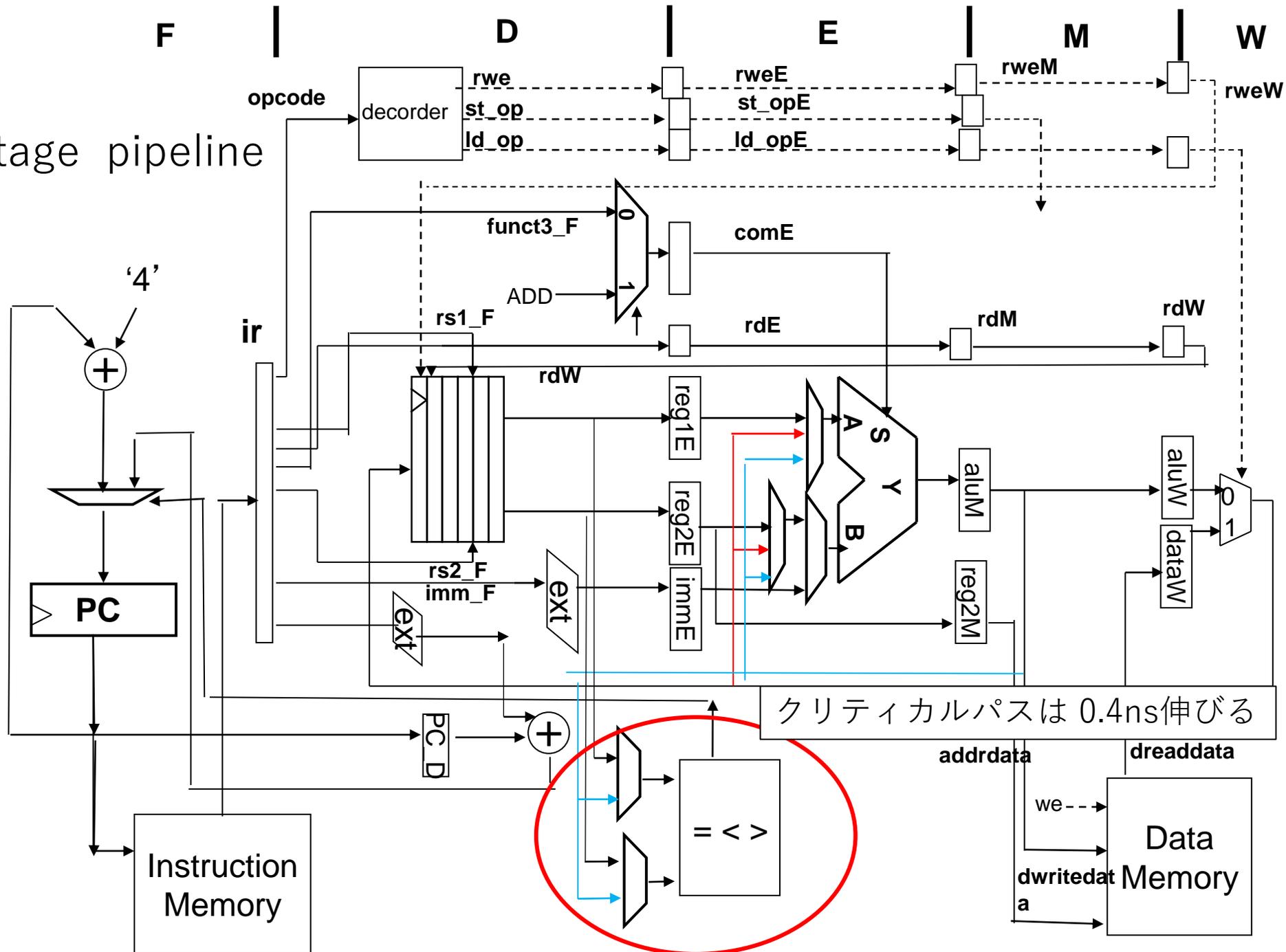
```
assign imm_i = {funct7,rs2};  
assign imm_s = {funct7,rd};  
assign imm_b = {funct7[6],rd[0],funct7[5:0],rd[4:1],1'b0};  
assign imm_j = {instr[31], instr[19:12],instr[20],instr[30:21],1'b0};  
assign imm_u = instr[31:12];
```

TSMC 0.18 μ m library by Oklahoma university.
Synopsys Design Compiler: N2017.09-SP1

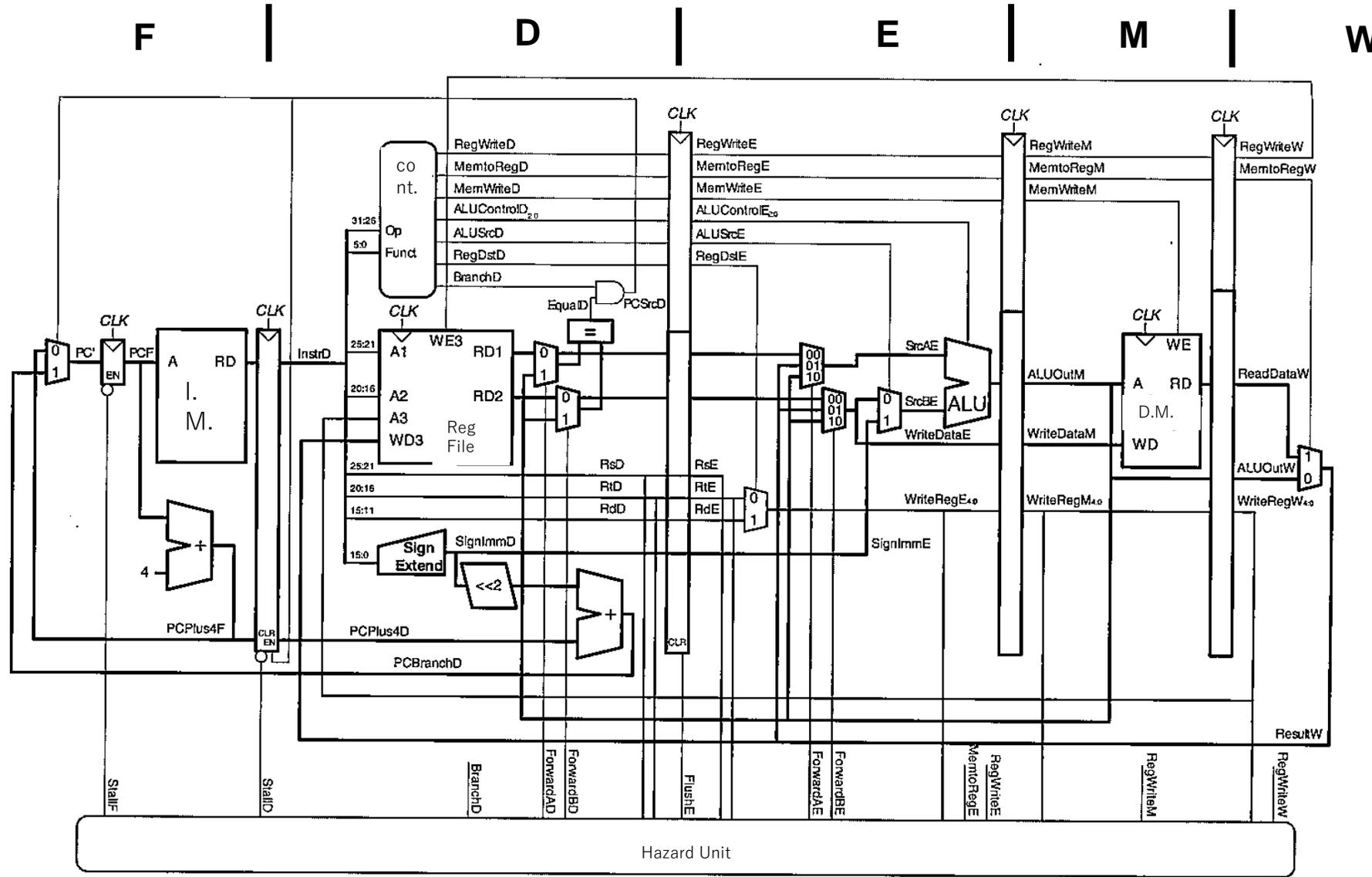
マイクロアーキテクチャ

- RV32Iのデータパスは命令の規則性の高さにより単純になっている
 - rs1,rs2,rdの位置、役割固定
 - PCの保存は全てのレジスタに
 - 全てのimmediateは符号拡張
 - ALUのコマンドにはfunct3が直接使える
- 大小比較付き Compare and Branch(‘bge’ or ‘blt’) はクリティカルパスを伸ばしてしまう

RV32I 5-stage pipeline

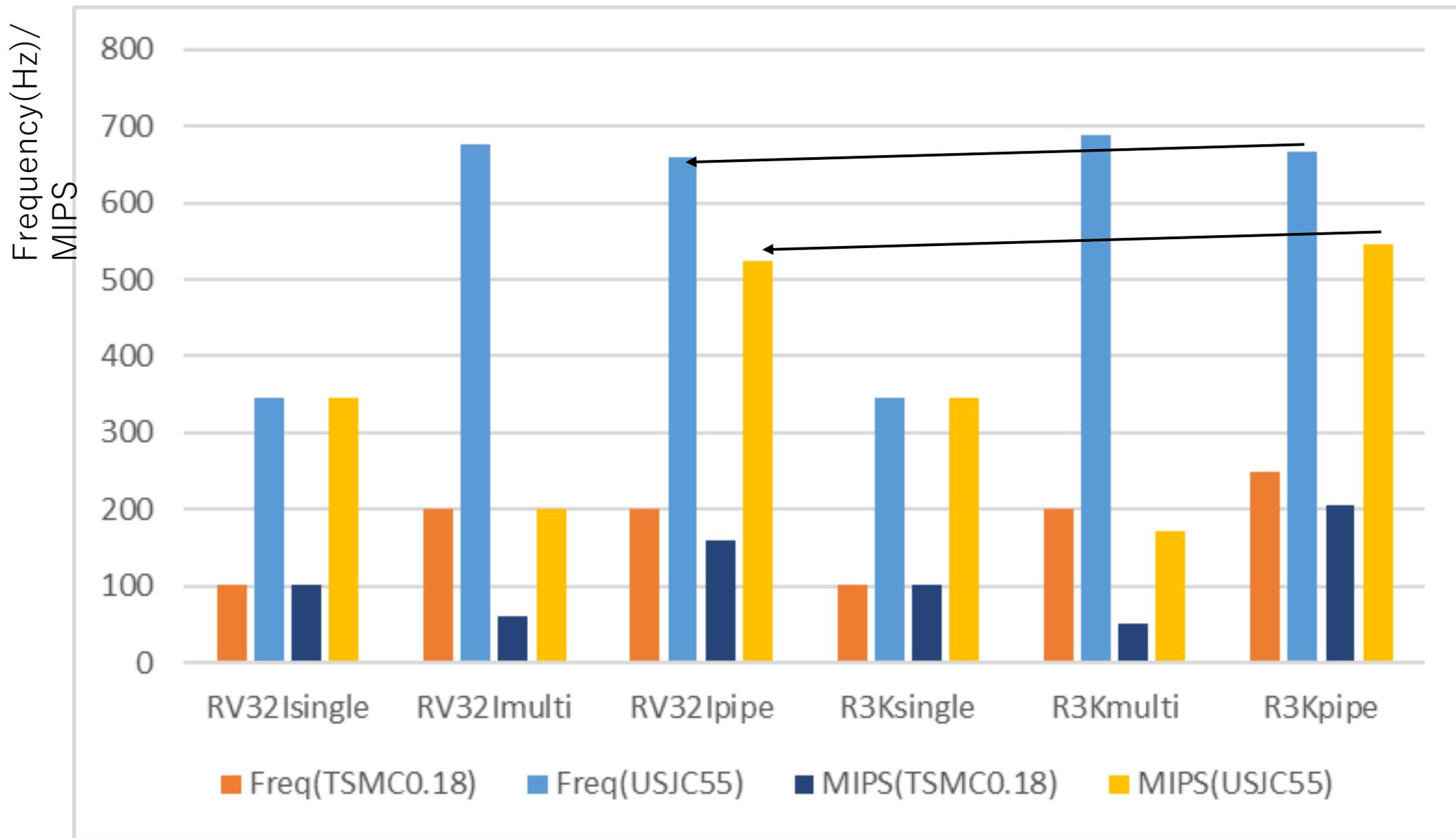


MIPS R3000 5-stage pipeline



From Harris&Harris "Digital Design and Computer Architectures"

The Speed of RV32I is slightly slower



USJC55: United Semiconductor Japan CMOS 55nm

まとめ

- RV32Iは教育用モデルプロセッサとして理想的
 - 簡潔な命令セットアーキテクチャ
 - 単純なマイクロアーキテクチャ
 - 様々な方式に拡張可能
 - ソフトウェアエコシステムを備えている
 - 現実世界での利用、研究での利用が広がっている
 - オープンでフリー
 - MIPS R3000と類似しているので、今までの教材が若干の改変で利用可能
 - 命令のフィールドが複雑
 - 大小比較付き分岐命令がクリティカルパスを伸ばす
- 授業資料は、<http://am.ics.keio.ac.jp>から自由にとっていただけます。ご利用ください。