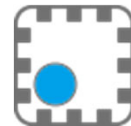




# RISC-Vを取り巻く研究とイノベーション

東京大学大学院工学系研究科  
システムデザイン研究センター & 電気系工学専攻 &  
電子情報工学科  
池田 誠



# これまでの歩み

- 2019.09.30 VDECとAI拠点とRISC-V
- 2021.04.21 チップの民主化とVDEC, d.labおよびAI拠点
- 2021.11.19 VDEC / d.lab & AI拠点～チップの民主化とRISC-V
- 2022.05.31 ようこそRISC-V Days Tokyo 2022 Spring
- 2022.11.16 チップ設計の民主化と我々の取り組み
- 2024.01.16 Introduction to Agile-X Project～2-week chip TAT project for chip democratization～
- 2025.02.27 先端デジタルSoC設計プラットフォーム～設計人材育成・教育～





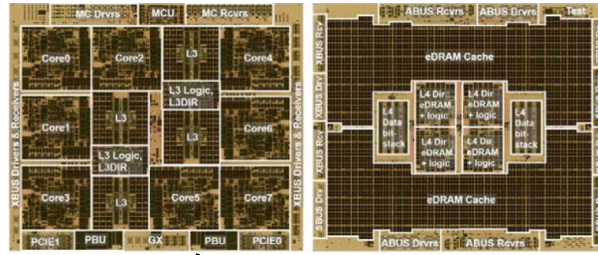
# 国内の研究会におけるRISC-Vの位置づけ



<p>12月1日(月) 午後 開会の挨拶 &amp; オープニング (会場A: 201+202) 13:00 - 13:15</p> <p>12月1日(月) 午後 【VLD1】 (会場A: 201+202) 座長: 小田川 真之(日本ケイデンスデザインシステムズ) 13:15 - 14:35</p>	<p>(1) VLD 13:15-13:35</p> <p>(2) VLD 13:35-13:55</p> <p>(3) VLD 13:55-14:15</p> <p>(4) VLD 14:15-14:35</p>	<p>12月2日(火) 午後 【招待講演】ICD (会場A: 201+202) 座長: 更田 裕司(産業技術総合研究所) 13:00 - 13:50</p> <p>(20) ICD 13:00-13:50</p> <p>13:50-13:55 休憩 (5分)</p> <p>12月2日(火) 午後 【招待講演】RECONF (会場A: 201+202) 座長: 長名 保範(熊本大) 13:55 - 14:45</p> <p>(21) RECONF 13:55-14:45</p>	<p>12月2日(火) 午後 【VLD3】 (会場B: 201+202) 座長: 丸 哲博(富山県立大学) 15:55 - 16:55</p> <p>(26) VLD 15:55-16:15</p> <p>(27) VLD 16:15-16:35</p> <p>(28) VLD 16:35-16:55</p>	<p>12月2日(火) 午後 【招待講演】RECONF (会場B: 203) 座長: 岸田 亮(富山県立大学) 15:55 - 16:55</p> <p>(29) ICD 15:55-16:15</p> <p>(30) ICD 16:15-16:35</p> <p>(31) ICD 16:35-16:55</p>
<p>12月1日(月) 午後 【DC1】 (会場B: 203) 座長: 渡波 一輝(千葉大) 13:15 - 14:35</p> <p>(5) DC 13:15-13:35</p> <p>(6) DC 13:35-13:55</p> <p>(7) DC 13:55-14:15</p> <p>(8) DC 14:15-14:35</p> <p>12月1日(月) 午後 【基調講演】VLD (会場A: 201+202) 座長: 渡波 一輝(千葉大) 14:50 - 15:40</p> <p>(9) VLD 14:50-15:40</p> <p>15:40-15:55 休憩 (15分)</p> <p>12月1日(月) 午後 【ポスターセッション】 (ポスター会場: 204) 15:55 - 17:25</p>	<p>(10) 15:55-17:25</p> <p>[DC]</p> <p>[RECONF]</p> <p>[ICD]</p> <p>[SMD]</p> <p>12月2日(火) 午前 【招待講演】SMD (会場A: 201+202) 座長: 多和田 雅晴(早稲田大) 09:20 - 10:10</p> <p>(12) 09:20-10:10</p> <p>10:10-10:25 休憩 (15分)</p> <p>12月2日(火) 午前 【VLD2】 (会場A: 201+202) 座長: 平山 貴司(岩手大) 10:25 - 11:25</p> <p>(13) VLD 10:25-10:45</p> <p>(14) VLD 10:45-11:05</p> <p>(15) VLD 11:05-11:25</p> <p>12月2日(火) 午前 【ICD1】 (会場B: 203) 座長: 岩崎 裕江(東京農工大) 10:25 - 11:45</p> <p>(16) ICD 10:25-10:45</p> <p>(17) ICD 10:45-11:05</p> <p>(18) ICD 11:05-11:25</p> <p>(19) ICD 11:25-11:45</p>	<p>(22) RECONF 15:00-15:20</p> <p>(23) RECONF 15:20-15:40</p> <p>12月2日(火) 午後 【SMD1】 (会場B: 203) 座長: 若林 一敏(東北大) 15:00 - 15:40</p> <p>(24) 15:00-15:20</p> <p>(25) 15:20-15:40</p> <p>12月2日(火) 午後 【DC2】 (会場B: 203) 座長: 新井 雅之(日本大) 17:10 - 18:10</p> <p>(35) DC 17:10-17:30</p> <p>(36) DC 17:30-17:50</p> <p>(37) DC 17:50-18:10</p> <p>12月3日(水) 午前 【招待講演】VLD (会場A: 201+202) 座長: 王 睿(愛媛大) 09:20 - 10:10</p> <p>(38) VLD 09:20-10:10</p> <p>10:10-10:25 休憩 (15分)</p> <p>12月3日(水) 午前 【VLD4】 (会場A: 201+202) 座長: 宮村 信(ナノブリック・セミコンダクター株式会社) 10:25 - 11:45</p> <p>(39) VLD 10:25-10:45</p> <p>(40) VLD 10:45-11:05</p> <p>(41) VLD 11:05-11:25</p> <p>(42) VLD 11:25-11:45</p>	<p>(32) RECONF 16:15-16:35</p> <p>(33) RECONF 16:35-16:55</p> <p>12月3日(水) 午前 【DC3】 (会場B: 203) 座長: 四柳 浩之(徳島大) 10:25 - 11:25</p> <p>(43) DC 10:25-10:45</p> <p>(44) DC 10:45-11:05</p> <p>(45) DC 11:05-11:25</p> <p>12月3日(水) 午後 表彰式 (75分)</p> <p>(46) 12:00-12:30 表彰式</p> <p>12月3日(水) 午後 【招待講演】ICD (会場A: 201+202) 座長: 新井 雅之(東北大) 13:30 - 14:20</p> <p>(47) ICD 13:30-14:20</p> <p>14:20-14:35 休憩 (15分)</p> <p>12月3日(水) 午後 【VLD5】 (会場A: 201+202) 座長: 佐川 幸宏(株式会社ソシオネクスト) 14:35 - 15:35</p> <p>(48) VLD 14:35-14:55</p> <p>(49) VLD 14:55-15:15</p> <p>(50) VLD 15:15-15:35</p>	<p>(51) RECONF 14:35-14:55</p> <p>(52) RECONF 14:55-15:15</p> <p>(53) RECONF 15:15-15:35</p> <p>12月3日(水) 午後 【招待講演】RECONF (会場B: 203) 座長: 高野 重輔(JAIST) 14:35 - 15:35</p> <p>(54) ICD 14:35-14:55</p> <p>(55) ICD 14:55-15:15</p> <p>(56) ICD 15:15-15:35</p> <p>12月3日(水) 午後 【招待講演】RECONF (会場B: 203) 座長: 安藤 亮太(北大) 15:50 - 16:10</p> <p>(57) RECONF 15:50-16:10</p> <p>12月3日(水) 午後 【SMD2】 (会場B: 203) 座長: 西澤 真一(広島大) 16:10 - 16:50</p> <p>(58) 16:10-16:30</p> <p>(59) 16:30-16:50</p>

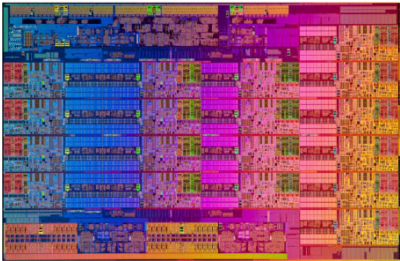


# こんなのどうやって創るの？

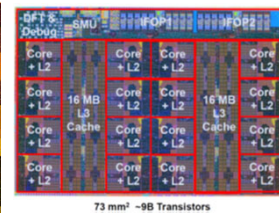


**Apple M1 Ultra: 2022年:**  
5nm, ??GHz, 1,140億Tr,  
CPU 20core+GPU64core

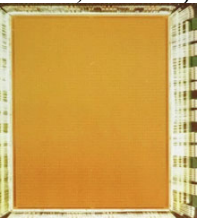
**IBM z: 2015年: 22nm**  
5.2GHz, 40億Tr/71億Tr, 8core



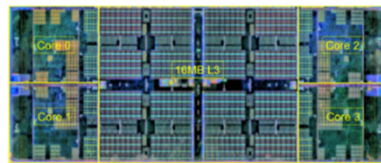
**Intel E5-2600v3: 2015年:**  
22nm, 3.8GHz, 56億Tr,



**AMD Zen 4: 2024年**  
: 5nm, 90億Tr, + IO  
Tier 6nm 110億Tr



**IBM TrueNorth: 2016年:**  
1Mニューロン, 256Mシナプ  
ス28nm, 54億Tr, 4.3cm<sup>2</sup>



**AMD Zen 2: 2020年: 7nm,**  
4.7GHz, 39億Tr, 4 core x 16  
tier → 64 core  
+ IO Tier

Cerebras Systems	WSE-3(Wafer Scale Engine 3)		TSMC 5nm, トランジスタ数: 400B, コア数: 90万, AIコアメモリ: 44GB (オンチップSRAM)	「世界最大」のチップウェハー1枚を丸ごと1つのチップとして使用。チップ間通信のボルトネットワークを解消し、超大規模モデルの学習において圧倒的な速度を誇る。
Groq	GroqChip (LPU)		14nm (次世代は4nm), メモリ: 230MB SRAM	「超低遅延」の推論高価なHBM (広帯域メモリ) を使わず、SRAMのみで構成。LLMの**推論 (生成) **において、人間が知覚できないレベルの爆速応答を実現。
SambaNova Systems	SN40L		再構成可能データフロー (RDU), メモリ: 3階層 (SRAM + 64GB HBM + 最大1.5TB DDR)	「混合メモリ構成」SRAM, HBM, DDRの大容量メモリを統合し、巨大なモデル (1兆パラメータ級) の推論・学習を効率的に処理可能。
Tenstorrent	Wormhole(次世代: Blackhole)		12nm, RISC-V + Tensix	「ジム・クレー率いるRISC-V」伝説的設計者ジム・クレーが指揮。安価で拡張性が高く、電力効率に優れたチップ。推論・学習の両対応。
Etched	Sohu		TSMC 4nm, Transformerモデル専用, メモリ: 144GB	「Transformer専用」汎用性を捨て、現在主流のTransformerモデル (ChatGPT等の中身) だけを動かすことに特化することで、NVIDIA GPU比で桁違いの効率を実現。



# なぜこのようなチップ・チップベンチャーが出てこない？



- 投資（半導体を理解した投資）の欠如
  - ～100億程度のリスクマネーが必要、それを軽減するためには、ウエハシャトルの無料枠などの施策が不可欠
- モチベーション（山っ気）の欠如
  - ほんのお隣のAI分野では山ほど起業があるので、これは理由ではないかも？
- アイデアの欠如
  - 同上？
- 環境の欠如
  - VDEC・AIDC等の活動はあれどそれだけでは不足？
- 設計者/アーキテクトの欠如
  - ということで人材育成・教育



Advanced SoC Design Talent Incubation Program

**デジタルSoC設計人材の育成をめざして**  
**2024年11月～（講座開始は2025年5月）**





# 初級・中級・上級 3つのコース

## 最先端の環境でキャリアとスキル

Tenstorrent(米国サンタクララ・オースティン)によるOJTプログラム:  
一流のエンジニアや関係者と、仕様定義、開発項目の決定、エンジニアチームの編成、プロジェクト全体のとりまとめなどを集中的に学ぶ  
半導体製品開発の全体構想を纏められるアーキテクトとしての即戦力、国際的なコミュニケーション能力、ビジネスセンス

## 実践的な開発体験を通して即戦力としてのスキル

28nmノード以細のロジック半導体の設計人材育成コース  
AIチップ設計拠点の最先端半導体設計・検証環境と試作・動作実績のある SoC設計資産を活用  
実践的な半導体設計技術者をを目指す  
半導体産業全体の知見を深める講座

## 新人教育や社員のリスキリング

最先端EDAツールのスペシャリスト育成コース  
半導体設計の各工程で利用する最先端EDAツールの使いこなしを学ぶ9つのコース  
デジタル回路・アナログ回路における設計フローの各工程で必要なスキルを、集中的に学習  
・ 修了試験合格者には修了証を授与

開発全体の構想・統括を担う人材がない  
⇒ 開発プロジェクトを牽引し、高度設計のできるアーキテクトに



上級コース

Tenstorrentによる  
米国OJT

実践的な先端半導体設計の課題を解決できる人材がない  
⇒ 設計エンジニア、チームリーダーとして活躍できるエキスパートに



中級コース

実践コース/問題解決コース/半導体設計特論

高価な先端EDAが使えず、先端設計者を育成できない  
⇒ 最新の先端EDAツールをマスターして設計のスペシャリストに



初級コース

使用EDAツール: Synopsys, Cadence

先端半導体設計者をを目指す  
社会人、学生



大学などにおける専門基礎科目

# 米国を中心とした取り組み



## ● 投資

- DARPA CRAFTプロジェクト: TSMC 16nm試作の無料試作: 2016~2019(おおむね20億円のプロジェクトで、当時最先端チップ設計試作を無料で大学に提供)
  - 複数の成果が国際会議に採択

## ● 設計者/アーキテクトの欠如

- チップテープアウト講義の実施 (2020~ : Appleが資金、Intelが12nm試作無料枠を提供?) : 主に大学院 (一部学部生も参加) のセメスターを跨いだテープアウト講義・実習
  - 講義の内容にもかかわらず著名国際会議に採択発表されている

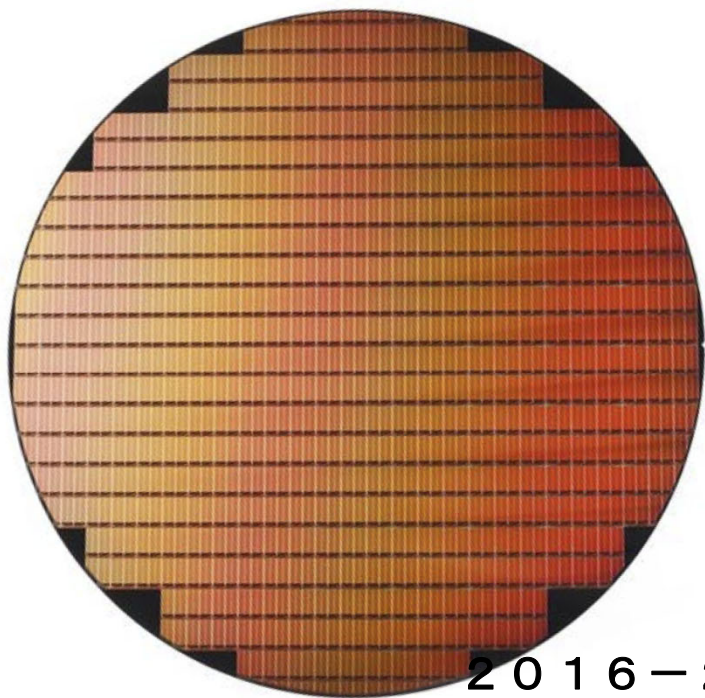




## DARPA multi-project run (MPW) shuttle details



- **ALL runs available to ALL Defense Contractors**
- Wafer diameter: 300mm
- Single exposure area: 26mmX33mm
- Exposures (shots)/wafer: ~80
- Project area unit: 2.5mmX2.5mm
- Projects/shot: ~100
- A single FinFET process flow (TSMC 16FFC)
  - Bulk FinFET transistors with dual gate oxide
  - BEOL stack: 9 levels of Cu wiring
  - Standard passive components (no deep trench capacitor)
  - Standard eFuse blocks
  - HD and HP SRAM bit cell
- Schedule
  - PDK available: January, 2016
  - Training: May-June 2016
  - Firm shuttle commitment from users required: June, 2016
  - Design submission (GDS-In): July, 2016
  - Follow on runs 4/2017, 1/2018, 1/2019
  - Die back to users: (GDS-In + 6 months)
- Aggregator/interface/training organization
  - All questions for the foundry will go through MOSIS
  - All GDS will be sent to MOSIS
- User cost planned to be ~ \$50K/project (2.5mmX2.5mm)



2016-2019の4年間:

1回のシャトル (5億円程度? (推測)) x 4回? = 20億

DISTRIBUTION A. Approved for public release; distribution unlimited. RISC-V Day Tokyo 2025 Autumn/Dec. 4, 2025

16



9



# 各国におけるテープアウト講義・・・

大学	内容
ETH	Cadence → OpenSource
スタンフォード	EE271/EE272/EE372/EE391: Intro to VLSI/Chip Design Flow/Tapeout Class/Chip Testing
CMU	<p>18-220/240/320 – Core circuits/Core logic design/Basic analog and digital circuits</p> <p>18-422/622 – Introduction to digital VLSI design Fall</p> <p>18-525/725 – Projects in IC design (UG capstone)/Projects in IC design: taping out Spring</p> <p>18-726 – Projects in IC design: first silicon Fall</p> <p>60 students – mix of PhD, MS, and undergrad: Self-formed teams of 4-5 students, 15 projects per class, Digital, mixed-signal, and analog/RF designs: Commercial tool flow (mainly Cadence), TSMC 28nm (added TSMC 180nm this year)</p>
UCSD	<p>Schematic to Silicon: ADC Tapeout in 10 Weeks, TSMC 65 GP, Cadence workflow, 9 (!) circuits professors, 17 (!) <u>graduate</u>-level circuits classes, 2-quarterで実施 : senior-level undergraduate and first-year graduate</p> <ul style="list-style-type: none"> <li>• ECE 266A (Spring): Physical design and simulation, Chip fabrication (over the summer) &lt;-- Critical for a quarter-based system!</li> <li>• ECE 266B (Fall): Measurement and characterization</li> </ul> <p>First offered in Fall 2021, annually since, enrollment limited to 50, 18 chips taped out (!!!), 200 students have completed the course (~25% PhD, 37% MS, 30% BS-MS, 8% / <a href="https://github.com/ProfDrewHall/SAR_ADC">https://github.com/ProfDrewHall/SAR_ADC</a>)</p>
UCB	TSMC28nm → Intel 16nm, Mostly undergraduate (EE)CS students, with no chip design experience, Design complete SoCs, by teams of ~20 students, Build a design template (Chipyard) through a series of labs, Students exposed to (almost) every step in the chip design process, Tape out in Spring, fabricate over the Summer, bring up in Fall
Nortre Dame, IN	<p>Challenges of EDA in Classroom Environments, Current State of Design in R2/R3 Universities, First Success: CMC Microsystems in HLS and DAC, Howard University Advanced IC Design Course, Improvements for High-Level Synthesis – Flowkit</p> <p>High Cost of Entry: 123 of licensees are R1 institutions: 83% of all R1s InstitutesNon-R1s constitute 92 licenses: Only 4.8% of non-R1 technical universities</p> <p>Howard University: Support through Apple New Silicon Initiative, TSMC 180nm R RF G</p>
Morgan State Univ.	<p>Objective: to design an SoC from RTL to GDSII in 15 weeks, Class Size: 30</p> <p>Prerequisites: digital logic design, computer architecture, and microelectronic circuits</p> <p>Foundry access to 16 nm FinFet technology via Intel University Shuttle University Program</p> <p>EDA Tools: Open Source (e.g., Chipyard, OpenTitan) and commercial (Cadence, Siemens, and Synopsys)</p>



## Why teach this kind of course?

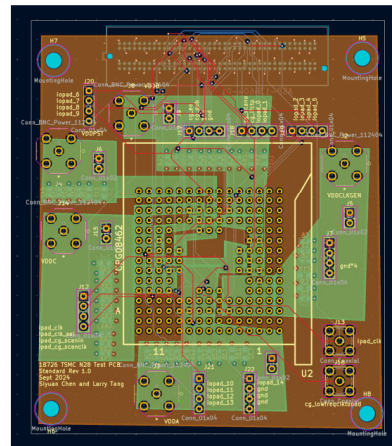
- Traditional VLSI curricula emphasize theory but fall short on practical implementation
- This course provides hands-on experience across the full chip lifecycle, from schematic to silicon
- Prepares students to be complete engineers, not just theoreticians or tool operators
- Aligns with industry demand for graduates who understand tools, flows, and post-silicon validation
- Empowers undergraduates with experiences typically reserved for graduate-level research

## Standard Test PCB

Standard pad frame → standard packaging → standard PCB

- 4-layer board with segmented power plane

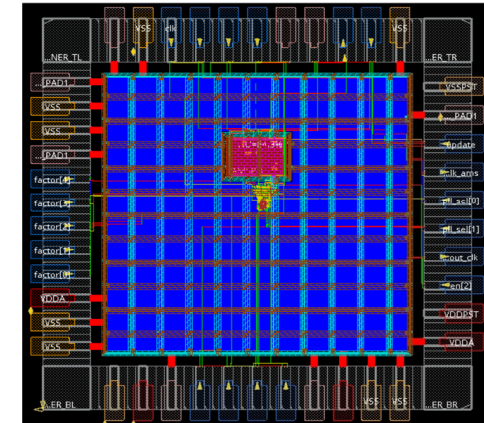
- Students are given schematic version
  - Must layout PCB
  - But don't design from scratch
  - Can add customizations
- Can use TA version if there is an error



## Standard Pad Frame and Assignment

1mm x 1mm pad frame w/ 43 pads

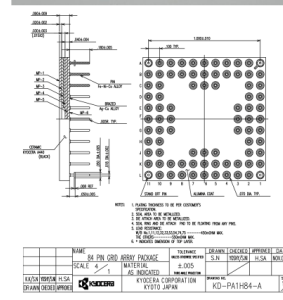
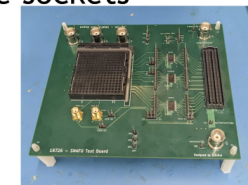
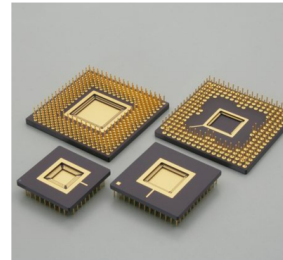
- Asym 12/11/11/10 arrangement
- 7+7 pads for VDD{A/B/C}/VSS for three core power domains
- 15 signal pads that you can use for your design (W S E sides)
- 2+2 pads for VDDPST/VSSPST
- 1+1 pads for VDD\_CLKGEN/VSS
- 8 signal pads reserved for clock generator control (N side)



## Standard Package

84-pin ceramic PGA - CPG08462

- 84 pins (more than) enough for 43 pads
- 5mm x 5mm die cavity
- 2mm bond wires for 1mm x 1mm die
- Order 10 packages per project @ \$20/pkg
- Compatible with readily available sockets



# ESSERC2025での驚き



## A 410 GFLOP/s, 64 RISC-V Cores, 204.8 GBps Shared-Memory Cluster in 12 nm FinFET with Systolic Execution Support for Efficient B5G/6G AI-Enhanced O-RAN

Yichao Zhang\* Marco Bertuletti\* Sergio Mazzola\* Samuel Riedel\* Luca Benini\*†  
\*IIS, ETH Zürich †DEI, University of Bologna  
\*{yiczhang, mbertuletti, smazzola, sriedel, lbenini}@iis.ee.ethz.ch

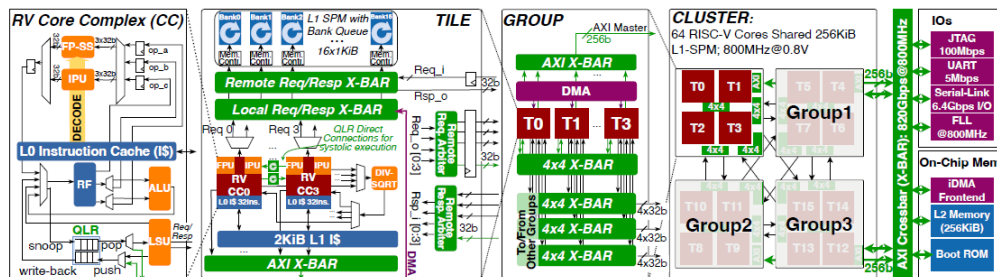


Fig. 2. HeartStream's 64 RISC-V cores shared-L1-memory hierarchical design architecture. L1 memory addresses are 32-bit interleaved across banks of 16 Tiles in 4 Groups. Each Tile's cores share an FP division/square-root unit. Core-Complex includes a 32b RISC-V core, IPU, FP-SS, and Systolic QLR.

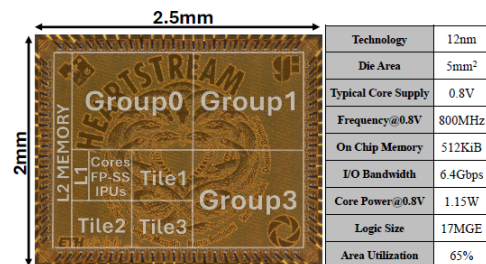


Fig. 3. Die micrograph and design summary. HeartStream was implemented in GlobalFoundries' 12 nm FinFET technology on a 5 mm<sup>2</sup> die. It achieves a 65% high utilization logic cell placement in the core area.

a Floating Point Sub-System (FP-SS). For efficient software-defined O-RAN, both units support domain-specific instructions: Multiply&Accumulate (MAC), load-post-increment operations, SIMD operations, efficient complex arithmetic, widening sum-of-dot-product, and three-term addition instructions [9]. One Tile-shared FP division&square-root unit helps to accelerate matrix-inversion for MIMO detection. A key efficiency booster is hardware-supported flexible systolic execution with programmable topology [10] within the shared-memory cluster.

### ACKNOWLEDGMENT

This work has received funding from the Swiss State Secretariat for Education, Research, and Innovation (SERI) under the SwissChips initiative.

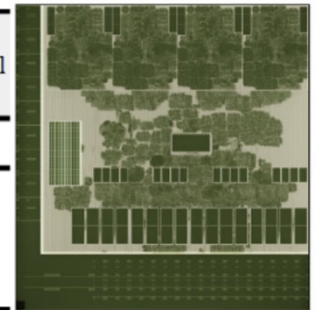
## COSMIC: A Multi-Vector-Core Heterogeneous RISC-V SoC for Intelligent Audio DSP in Intel 16

Ethan Gao, Jasmine Angle, Lucy Revina, Jacob Leigh, Wenda Zhang, Naichen Zhao, Tushar Goyal, Michael McCulloch, Jonathan Wang, John Lomax, Jessica Fan, Mihai Tudor, Rachel Lowe, Ted Kim, Kevin He, Nico Castaneda, Anto Kam, Rahul Kumar, Rohan Kumar, Felicity Aktan, Connor Dang, Shichen Qiao, Joshua Lin, Andy Chen, Minh Nguyen, Vedang Joshi, Bryan Ngo, Ella Schwarz, Ken Ho, Viansa Schmulbach, Nikhil Jha, Yufeng Chi, Jerry Zhao, Borivoje Nikolic

University of California, Berkeley, CA, USA, evgao@eecs.berkeley.edu

Chip Specifications		IP Blocks
Technology	Intel 16 FinFET	Vector Cores, DMA
Area	4 mm <sup>2</sup>	FFT, Convolution Accel
Scratchpad	32 kB	I <sup>2</sup> S Audio
Operation	Nominal	Functional
Voltage	0.85 V	0.55–1.10 V
Frequency	900 MHz	50–1250 MHz
Power	340 mW*	10.9–875 mW*
Energy Efficiency	254 GOPS*/W	137–440 GOPS*/W

\*power and MAC operations on 4 fully saturated vector cores (2 ops / MAC)



### ACKNOWLEDGMENT

This project is the work of many in UC Berkeley's special topics chip tapeout and bring-up classes. We thank Apple's New Silicon Initiative for supporting the tapeout class through guest lectures, design reviews, and funding for course staff; and Intel University Shuttle Program for donating the chip fabrication and packaging, and NSF CCRI ENS #2016662 and NSF POSE 2303735 Awards. We acknowledge Jared Zerbe, Ajith Amerasekera, Eric Smith and Ramesh Abhari from Apple, and Bryan Casper, Matt Rebsom, and Nancy Robinson from Intel for support, SLICE and BWRC students, staff, and member companies.





# ご清聴ありがとうございます