

オープンソースシリコンを 正しく理解する

AIST Solutions

半導体事業 プロデューサー 岡村 淳一

自己紹介



- 1986年 東芝半導体技術研究所入社
DRAM 設計開発に従事
 - 1987年 SDA(現Cadence)のEDAツールの導入立ち上げ
 - 1996年 IBM@BTVに駐在
DDR SDRAM 開発に従事
 - 1999年 ザインエレクトロニクス入社
0.35um@TSMCのPDKにて高速SerDes設計
 - 2006年 Trigence Semiconductor 創業
 - 2012年 Intel Capitalから第三者増資
 - 2022年 Trigence Semiconductor 任意整理解散/産総研 招聘研究員
 - 2023年 株式会社 AIST Solutions, プロデューサー/産総研 招聘研究員
- ※ IEEE Senior member

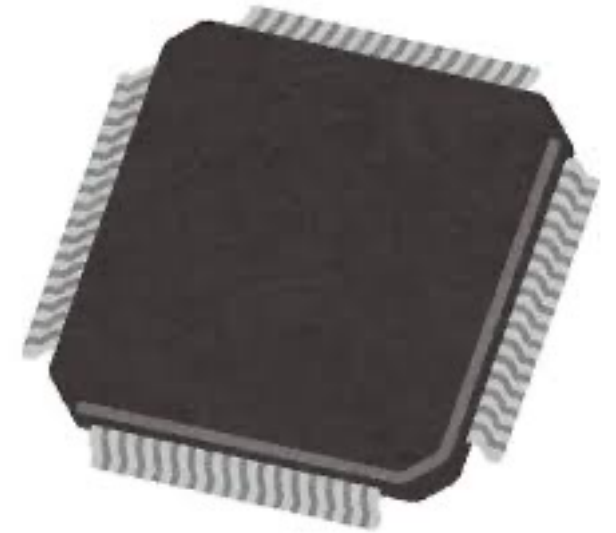
BIO: LinkedIn

<https://www.linkedin.com/in/jun-ichi-okamura-6b8bb2b/>

オープンソースシリコン????



Open EDA
Open PDK
Open Silicon



オープンソースシリコンとは？

1. オープンソースの設計ツール(EDA)にて設計。設計環境やスクリプトを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
2. オープンソースのプロセス情報 (PDK)にて設計。設計資産(回路図・GDSII)やソースファイルを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
3. 上記 1、2 で設計したオープンソース設計チップを製造するファブ・サービスが存在し、設計したハードウェアの動作を検証できること。

Open EDA

【カスタムレイアウト・ツール】

- 回路図エディター
- レイアウトエディター
- 物理検証ツール(DRC/LVS)
- 回路シミュレーター



- ファブからの製造情報
- SPICEモデル
 - DRC/LVS/LPE ルール
- 設計に必要な情報
- シンボルライブラリ

NDAが必要

【ロジック設計・ツール】

- 論理合成ツール
- 論理シミュレーター
- 自動配置配線ツール
- 物理検証ツール(DRC/LVS)



- 設計に必要な情報
- スタンドセル
 - SRAM
 - IOセル
 - 各種IP

NDAが必要

オープンソースの設計ツールだけでは、半導体は設計できない

Open PDK

【PDKの定義の確認】

Level1 : ファブと会話して作るもの

1. SPICEモデル
2. DRC/LVS/LPE ルール
3. シンボルライブラリ

Level2 : L1で作る基本部品

1. スタンダードセル
2. IO セル
3. SRAM

ファブの情報とEDAツールの橋渡し情報

Technology File

ファブとEDAの両方の知識が必要

Logic chip を作る為の基本部品

Cell Library

回路設計の知識が必要

オープンソースシリコンの実現には、PDKのオープン化が必須

Googleが進めたOpenPDKとは？

【Level1のOpen化】

既存の商用PDK向け technology file をOpenEDAに合わせてフォーマット変換

1. SPICEモデル > ngspice/Xyce
2. DRC/LVS/LPE > Klayout/Magic
3. Symbolライブラリ > Xscheme

ファブが保有しているPDKを活用＝ファブ側での開発工数ゼロ

【Level2のOpen化】

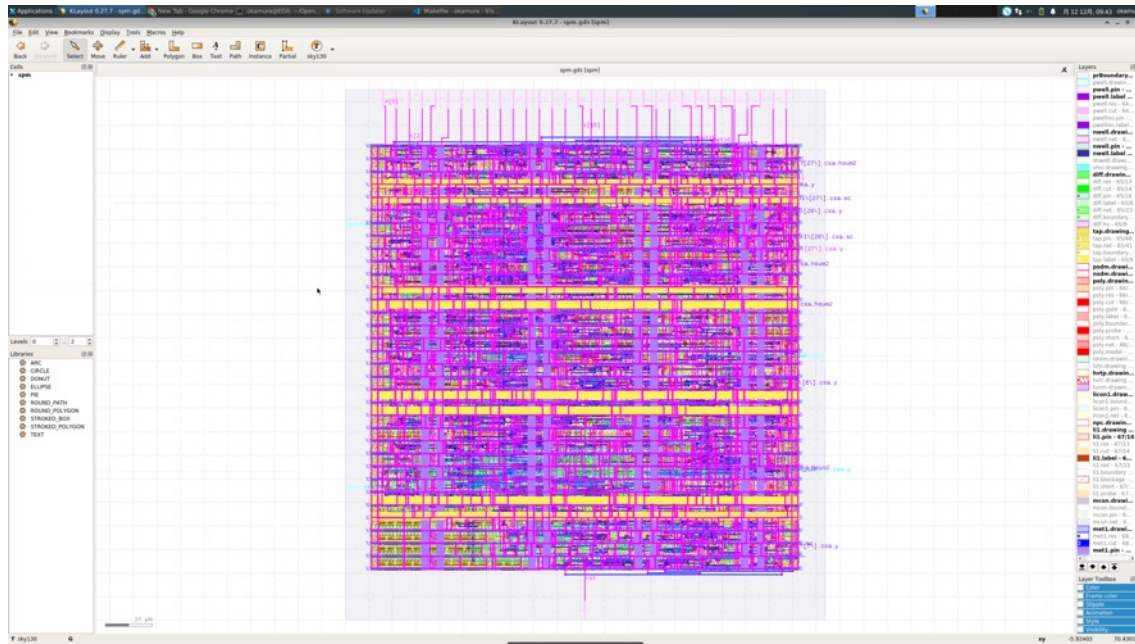
既存の Cell Library をOpenEDAに合わせてフォーマット変換＋権利Open化

1. Standard Cell > 権利関係のOpen化
2. IO Cell > 権利関係のOpen化
3. SRAM > 権利関係のOpen化

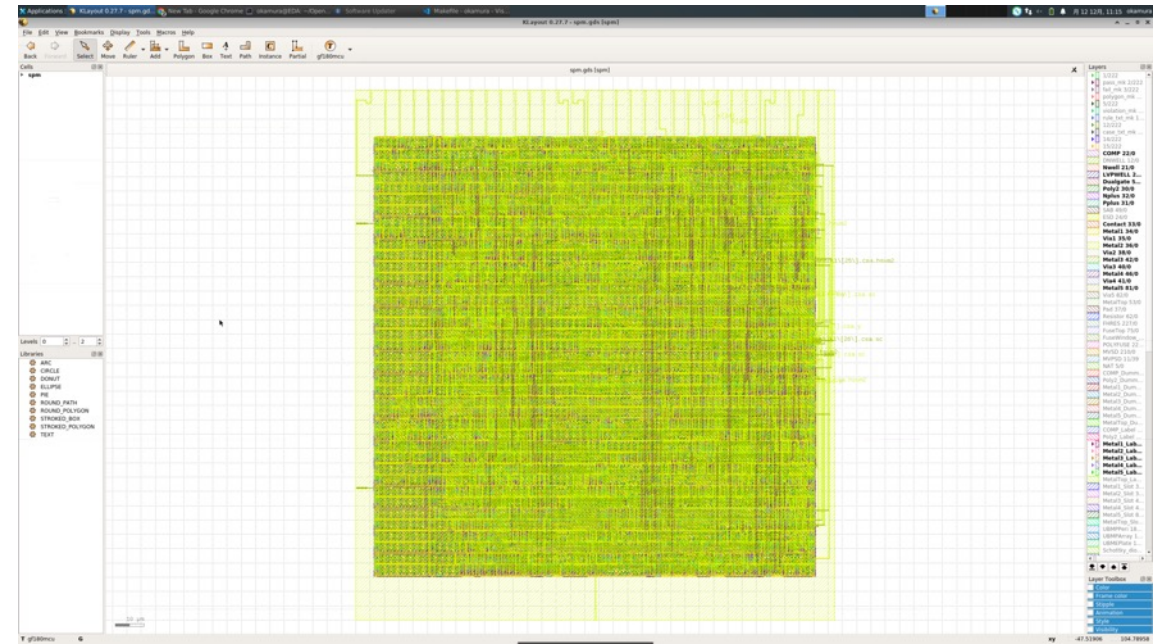
ファブが保有しているライブラリを活用＝ファブ側での開発工数ゼロ

Open Source PDK なら異なるファブにも簡単に対応

Sky130 OpenPDK



GF180 OpenPDK

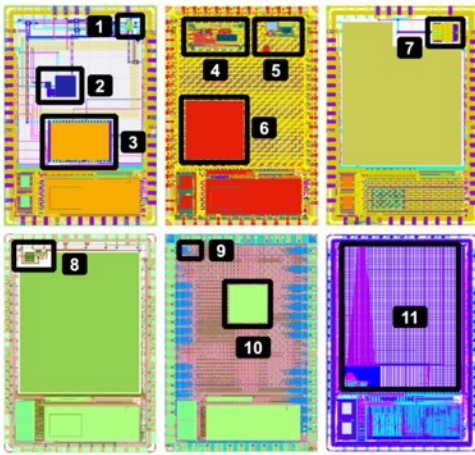


RTL ~ GDSII OpenLane toolchain

Python Scriptに環境変数でPDKを指定するだけ

IEEE SSCS Chipathon (設計コンテストができる)

2021 IEEE SSCS Chipathon



Function	Team	Chip URL
1 5G bidirectional amplifier	Pakistan3 (FAST National University)	https://efabless.com/projects/560
2 Wireless power transfer unit	Pakistan2 (FAST National University)	
3 Variable precision fused multiply-add unit	Pakistan1 (FAST National University)	https://efabless.com/projects/474
4 Oscillator-based LVDT readout	India2 (Anna University)	
5 Temperature sensor	India1 (Anna University)	https://efabless.com/projects/476
6 GPS baseband engine	India3 (Anna University)	
7 Ultra-low-power analog front-end for bio signals	Brazil2 (U. Federal de Santa Catarina)	https://efabless.com/projects/470
8 TIA for quantum photonics interface	USA4 (University of Virginia)	
9 Bandgap reference	Egypt (Cairo University)	http://
10 Neural network for sleep apnea detection	USA2 (University of Missouri)	http://
11 SONAR processing unit	Chile (University of the Bio-Bio)	

Link to Article [SSCS Magazine Article - NOV 2021](#)

Paid runs via Efabless chipIgnite
All design

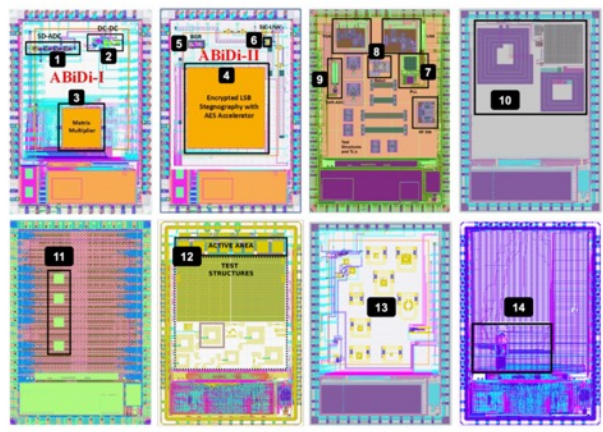
Made possible with Efabless' **chipIgnite**

© 2023 EFABLESS CORPORATION



2023 Japan Team community

2022 IEEE SSCS Chipathon



Function	Team	Chip URL
1 Spatial Sigma-Delta ADC	Pakistan1 (FAST National University)	https://platform.efabless.com/projects/1496
2 On-Chip DCDC Converter with Fast Transient Response	Pakistan4 (FAST National University)	
3 Matrix Multiplier for AI at the Edge	Pakistan7 (FAST National University)	https://platform.efabless.com/projects/1443
4 Encrypted LSB Steganography with AES Accelerator	Pakistan2 (FAST National University)	
5 CMOS Bandgap Reference	Pakistan3 (FAST National University)	https://platform.efabless.com/projects/1431
6 Self-Interference Cancellation LNA	Pakistan4 (FAST National University)	
7 Sub-Sampling PLL for SerDes Applications	Austria (Johannes Kepler Univ., Linz)	https://platform.efabless.com/projects/1457
8 60 GHz Demonstrator Chip	Brazil (University of São Paulo)	
9 Low-Power 10-bit SAR ADC	USA1 (University of Alabama & MIT Lincoln Lab)	https://platform.efabless.com/projects/1427
10 Boost Converter for Battery-Powered IoT Applications	Greece (Aristotle University of Thessaloniki)	
11 Radiation-Hardened ALU	USA2 (North Carolina A&T State University)	https://platform.efabless.com/projects/1469
12 DC-DC Buck Converter for CubeSat	Chile ¹ /Argentina ² /Uruguay ³ ¹ Universidad Técnica Fed. Santa María ² Universidad Nacional del Sur & Instituto Nacional de Tecnología Industrial ³ Universidad Católica	
13 Electrochemical Water Quality Monitoring	USA5 (University of Tennessee)	https://platform.efabless.com/projects/1494
14 Mix-Pix - A Mixed-Signal Circuit for Smart Imaging	Chile (Universidad del Bio-Bio)	

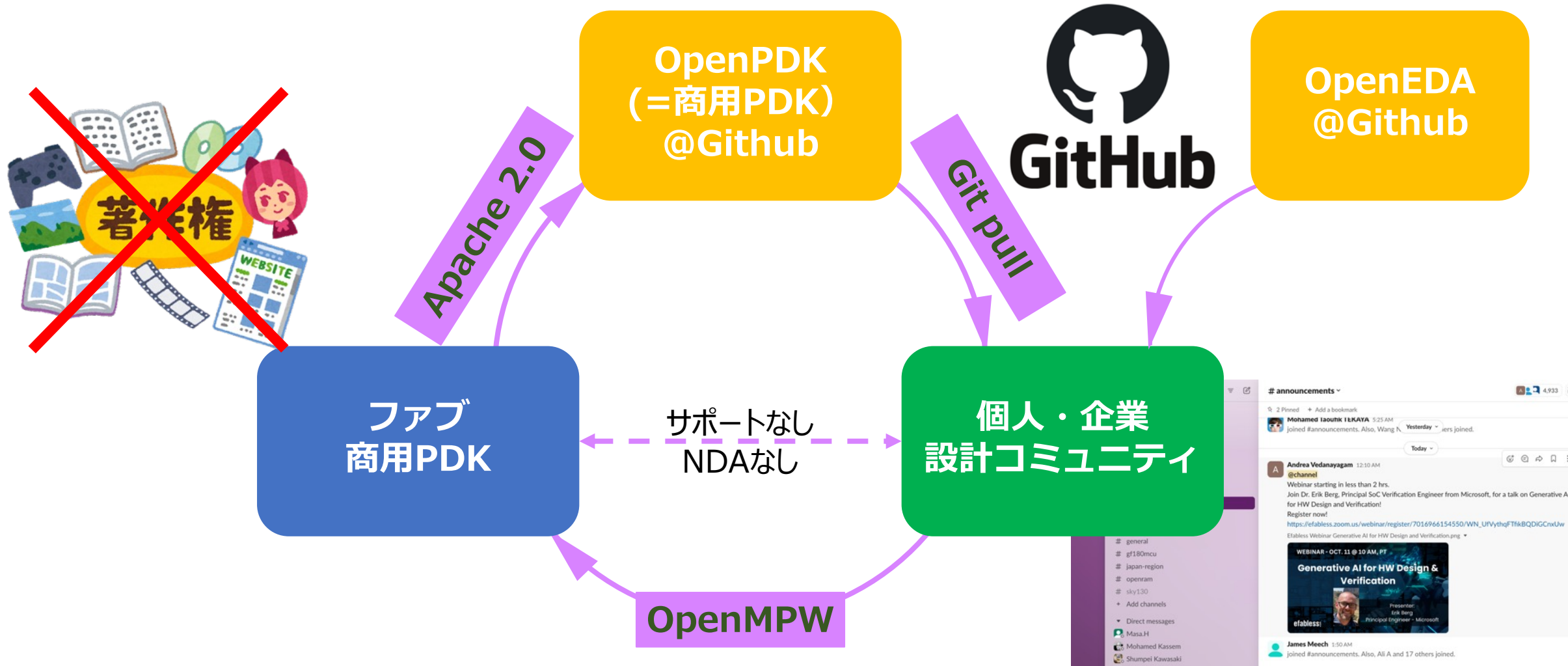
Link to Article [SSCS Magazine Article - JAN 2022](#)

© 2023 EFABLESS CORPORATION

Made possible with Efabless' **chipIgnite**

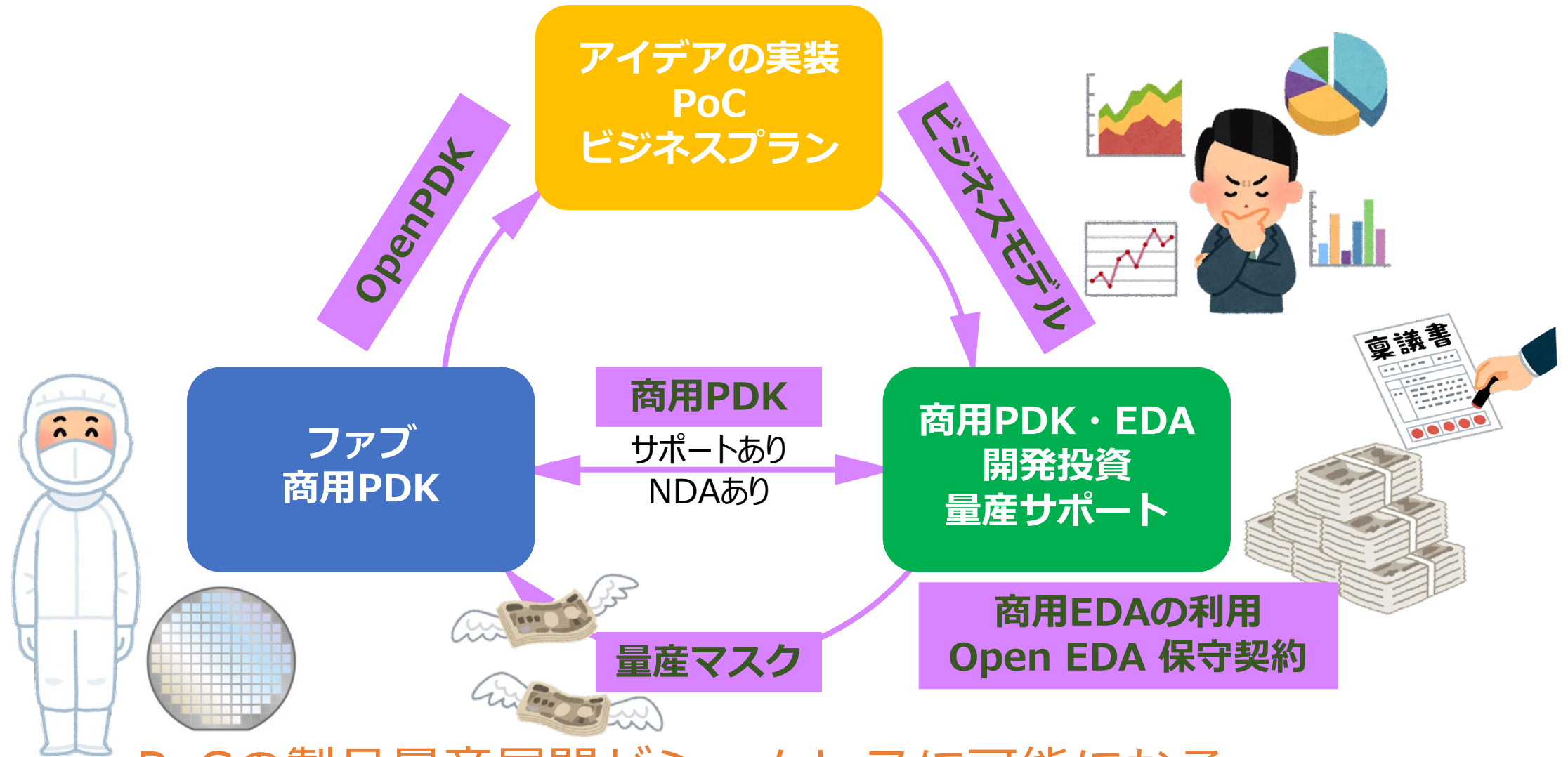


Open Source Silicon の Eco System



誰でも自由にPDKをダウンロードしてチップが設計できる。
ファブには、新たな負担や投資は発生しない。

Open Source Silicon ビジネスモデル



PoCの製品量産展開がシームレスに可能になる。
PDKの商用利用はデュアルライセンスでサポート。

なぜ今オープンソースシリコンなのか？

1. 半導体設計教育の危機

電気電子課程への進学者の減少。教科書売上減少。VLSI教育にかかるソフトウェアのコスト高。EDAサーバーの保守・更新にかかる経費増等、教育側のコスト負担が大きすぎる。

2. 半導体産業の衰退 = 経済と安全保障において国家的な脅威

偽造電子機器は、数十億ドル規模の闇市場が存在し、米国国防総省が購入する予備電子部品の推定 15% が偽造品であり、信頼性と安全性の両方を脅かしていると報告されている→半導体人材育成が喫緊の課題。

3. チップ設計者からソフトウェア エンジニアへ

オープンソース化より、既にハードウェア設計は多くの恩恵をオープンソースソフトウェアから受けることができる。

オープンソースシリコンの可能性

1. 競争力のある半導体イノベーションを生み出す

オープンソースのアプローチにより、大きな可能性を秘めている革新的アイデアの実現に必要なツールと知識を、迅速かつ共同で作成することが可能になる。

2. 半導体設計教育の魅力の向上

OpenEDAは、チップ設計を研究開発の魅力的な分野に変える可能性を秘めており、教育かかる法的負担とコストを軽減すること、イノベーションには不可欠なアルゴリズム (例:P&R) や技術的詳細へのアクセスを提供できる。

3. SDGへの関わり

オープンソースシリコンは、修理可能性、アップグレード可能性、メンテナンス、再利用、リサイクルを考慮したデバイス設計に必須となる。

OpenEDAと商用EDAツール

1. OpenEDAは商用EDAツールと競合するものではない
 - > お互いに相手を置き換えできない
2. 半導体を設計する垣根を低くすることが参入人材や企業を増やす
 - > ユーザーが増やさないと袋小路
3. ソフトウェアの世界では、オープンソースと商用ソフトが共存・共栄
 - > オープンソースのビジネスモデルは既に確立している
4. 量産には商用ツールによる検証等が前提
 - > サインオフ・DFM・DFT等
5. OpenEDAには、商用ツールのような万能ボタンはない
 - > OpenEDAでの設計は、自己責任 = ツールの理解が必須

オープン=革新・標準化・ボランティアではない

1. オープン=革新ではない。オープン化により、多くのコミュニティ人材が参加するポジティブなフィードバックが起これば、開発スピードが活発化し品質も高くなることが期待される。
2. オープン=標準化ではない。オープン化により多くのアイデアが試され、より良いアイデアが残ることでデファクトスタンダードとして認められることが期待される。
3. オープン=ボランティアではない。オープン化により期待されるメリットを享受する為には、企業も積極的に開発に関与することで、クローズドで開発する以上の開発速度や品質を得ることが期待される。

オープンソースシリコンとロングテール半導体

OpenPDK/EDA community

国内レガシーファブ(JSC/TPSCo/Rohm)

$$\text{半導体原価} = \frac{\text{設計開発コスト} \left(\text{EDAツール} + \text{IP} \right) + \text{マスク単価} \times \text{総数}}{\text{生涯生産数}} + \frac{\text{製造費} \left(\text{ウェハ単価} / \text{グロス数} \right)}$$

国内産業機器企業等
JASA/JEITA/etc...

裾野ユーザーの開拓

ロングテール = 生涯生産数 : 少ない

課題解決の道 : 分子をどうやって減らすか !

レガシープロセスの採用 + EDAツールとIP等の設計環境コストの削減

レガシーファブ(〜130nm)の実力

The **130 nanometer (130 nm)** process is a level of [semiconductor process technology](#) that was reached in the 2000–2001 timeframe, by most leading semiconductor companies, like [Intel](#), [Texas Instruments](#), [IBM](#), and [TSMC](#).

The origin of the 130 nm value is historical, as it reflects a trend of 70% scaling every 2–3 years. The naming is formally determined by the [International Technology Roadmap for Semiconductors](#) (ITRS).

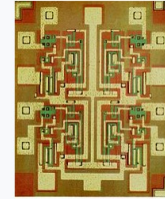
Some of the first [CPUs](#) manufactured with this process include [Intel Tualatin](#) family of Pentium III processors.

Processors using 130 nm manufacturing technology [\[edit\]](#)

- Motorola [PowerPC 7447 and 7457](#) 2002
- IBM [Gekko \(GameCube\)](#)
- IBM [PowerPC G5 970](#) - October 2002 - June 2003
- Intel [Pentium III Tualatin](#) - 2001-06
- Intel [Celeron Tualatin-256](#) - 2001-10-02
- Intel [Pentium M Banias](#) - 2003-03-12
- Intel [Pentium 4 Northwood](#) - 2002-01-07
- Intel [Celeron Northwood-128](#) - 2002-09-18
- Intel [Xeon Prestonia and Gallatin](#) - 2002-02-25
- [VIA C3](#) - 2001
- AMD [Athlon XP Thoroughbred, Thorton, and Barton](#)
- AMD Athlon MP Thoroughbred - 2002-08-27
- AMD Athlon XP-M Thoroughbred, Barton, and Dublin
- AMD [Duron Applebred](#) - 2003-08-21
- AMD K7 [Sempron Thoroughbred-B, Thorton, and Barton](#) - 2004-07-28
- AMD K8 [Sempron Paris](#) - 2004-07-28
- AMD [Athlon 64 Clawhammer and Newcastle](#) - 2003-09-23
- AMD [Opteron Sledgehammer](#) - 2003-06-30
- [Elbrus 2000 1891BM4R \(1891VM4YA\)](#) - 2008-04-27 ^[1]
- [MCST-R500S 1891BM3](#) - 2008-07-27 ^[2]
- Vortex 86SX - ^[3]

2001年
=20年前の最先端

Semiconductor device fabrication



MOSFET scaling (process nodes)

10 μm – 1971
6 μm – 1974
3 μm – 1977
1.5 μm – 1981
1 μm – 1984
800 nm – 1987
600 nm – 1990
350 nm – 1993
250 nm – 1996
180 nm – 1999
130 nm – 2001
90 nm – 2003
65 nm – 2005
45 nm – 2007
32 nm – 2009
22 nm – 2012
14 nm – 2014
10 nm – 2016
7 nm – 2018
5 nm – 2020
3 nm – 2022

Future

2 nm ~ 2024

Half-nodes

Density

CMOS

Device (multi-gate)

CPU: 1 GHz/1 Core
L2:256KB
FSB:133MHz
Trs: 45,000,000

BUS: PCI 3.0
66MHz/64bit/3.3V

MEM:PC2100
DDR (133MHz)

https://en.wikipedia.org/wiki/130_nm_process

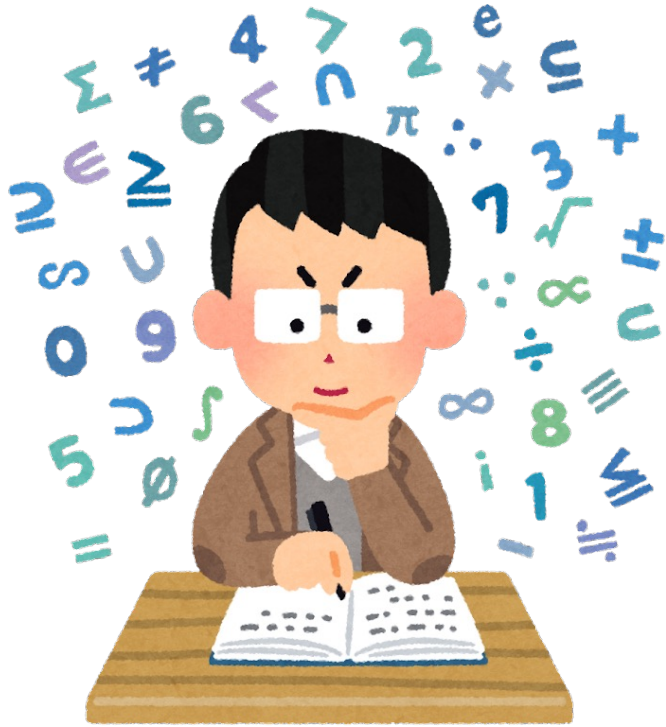
ロングテール応用＝「FPGA」で十分でしょ！

	FPGA	ロングテール半導体
I/Fが豊富	◎	×
IPが豊富	◎	×
動作検証が低TAT	◎	×
値段	△	○
消費電力	△	○
設計自由度	△	◎
フットプリント	△	◎

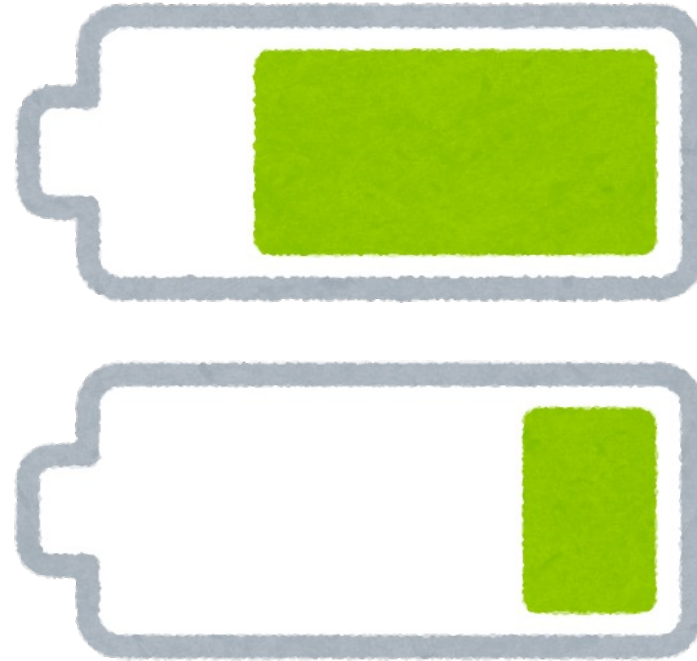
応用・用途・機能によっては強みもあるか？



ロングテール半導体にできること



特殊な計算・制御



低消費電力応用



コピー防止

先端半導体で無くても利活用の応用メリットはある。

FPGAだけがロングテール半導体の解なのか？

FPGAの本質的な課題

- チップ面積の10~20%しか活用できない(SDGとしても課題)+コピー容易。

FPGAの近年の課題

- 特にコロナ以降、入手性とコスト変動に関し危機感あり。購買量的に大口にならず販売店が塩対応。
- サプライヤー側が高性能品志向にあり、小規模容量の製品がEOLになりつつある。
- 要らない機能(IP)が多くあり、仕樣的に Too Much。
- PKGは、PCBの層数は減らしたいのでQFPが望ましい、BGAは使いたく無い。3.3Vサポートも必須。
- FPGAは製品の切り替えにてピン配が変わり、ボードが全部作り直しになる。

ASICがロングテール半導体の解になるのか？

ASICの課題

- MOQが大きい、NREが高い（EDAツール）
- IP費用が高い、サプライサイドが寡占＝コストコントロール
- ロングテール製品はライフが長いので供給責任を保障しないといけない。
- 国内ファブは、いつ潰れるか分からなくて怖い。
- 自社で設計リソース(EDAツール)を抱えきれない。

ASICの魅力

- コピープロテクト＋製品差別化ができる。
- 地政学的な脅威（製品供給断等）へ対処できる。

オープンソースシリコン・タイムライン

2018 : DARPA (国防高等研究計画局) OpenIDEA プログラム

2020 : Google/Efabless/SkyWater OpenMPW プログラムスタート

2022 : Global Foundries が OpenMPW プログラムに参加

2023 : 独) iHP (130nm/SiGe) が PDK のオープン化を宣言

2023 : Open PDKの管理を Chips Alliance がサポート

2024 : 日本からオープンソースシリコンを世界に発信できるか？

Minimal Fab (2023) + 国内レガシーファブの本格参入

オープン半導体へ日本が貢献できることは？

1. 国内の前工程ファブでのOpenEDA/PDKの開発・展開
国内には多数のレガシープロセスのファブが点在している。
2. 国内の後工程ファブでのOpenMPW向け小ロットPKGの展開
国内には多数の小ロット対応可能なPKGメーカーが点在している。
3. 先端デバイス開発でのOpenEDA/PDKの開発・展開
先端デバイス開発をOpenPDK化して世界展開???

草の根コミュニティ (ishi-kai.org)

Calendar - Jun OKAMURA/岡村 x ishi-kai.org/about/ x +

ishi-kai.org/about/

Google 翻訳 プライベート Trigenge関係 OpenPDK AISOL UJC 投資・銀行 システム ニュース 大学研究室

会の説明

- 本会は、ISHI会 (Inter-linked Society on Homemade IC Kai) と命名されました。オープン化 (民主化) されたISHI=石=Silicon=半導体 (ASIC/LSI/IC) を扱い、いろいろな分野を繋げていくソサエティー・コミュニティ (会) から発想されたネーミングです。
- その先駆けとして登場したOpenMPW (Open Multi Project Wafer) は、Google社がEfabless社に出資して生まれたシャトルプログラムであり、半導体 (ASIC/LSI/IC) を作るうえで必要なツール (EDA/PDK) からファブでのISHI製造まで含めて、すべてオープン&無料で半導体 (ASIC/LSI/IC) を製造することができるプログラムです。これはまさにGNUから始まったオープンソースムーブメント (ソフトウェアの民主化) の「半導体 (ASIC/LSI/IC) やEDA/PDKのオープン化」であります！
- そこで、本会は、これまでの半導体 (ASIC/LSI/IC) の専門家だけではなく、これからの半導体 (ASIC/LSI/IC) のオープンソースムーブメントに可能性を見出した人たちと新しく半導体 (ASIC/LSI/IC) を作りたい人たちにスポットを当てたユーザーソサエティー・コミュニティ (会) として立ち上がりました。
- 専門家だけが利用可能だったOSやコンパイラ、ライブラリ、アプリ、電子基板、3D CADや3Dプリンターがオープンソースソフトウェア、オープンハードウェア、オープンモデリングなどとして誰もが利用できるようになったように、半導体 (ASIC/LSI/IC) やEDA/PDKを誰もが利用できる世界を目指して活動していく所存です。

- 今後の活動方針としては、他分野の人たちを巻き込んで半導体 (ASIC/LSI/IC) 分野に革命を起こすという方針で、他分野向けの超初心者向けハンズオンセミナーや専門家向けの濃い内容の勉強会などのイベントを開催したり、チームを作ってOpenMPWシャトルや世界のChipathonに挑戦したり、Maker Faireなどのイベントへの参加をしていきたいと思っておりますので、よろしくお願いたします。

- [結成呼びかけ資料](#)

ISHI会グランドデザイン

Our Stars

新規分野を開拓したいけどどうすればよいかわからない

「みんなの経験をチップに！」

ASIC (LSI) 化したいけど情報がない

ASIC (LSI) 業界の現状 (閉塞感)

- NDAでなにもしゃべれない
- 最先端は札束の応酬
 - 若者が入ってこない

他業界の現状 (限界感)

- 高速・小型・省電力の要求
 - 汎用チップ+ソフトでは限界

すべてがオープン！

OpenMPWの登場！

コミュニティの意義

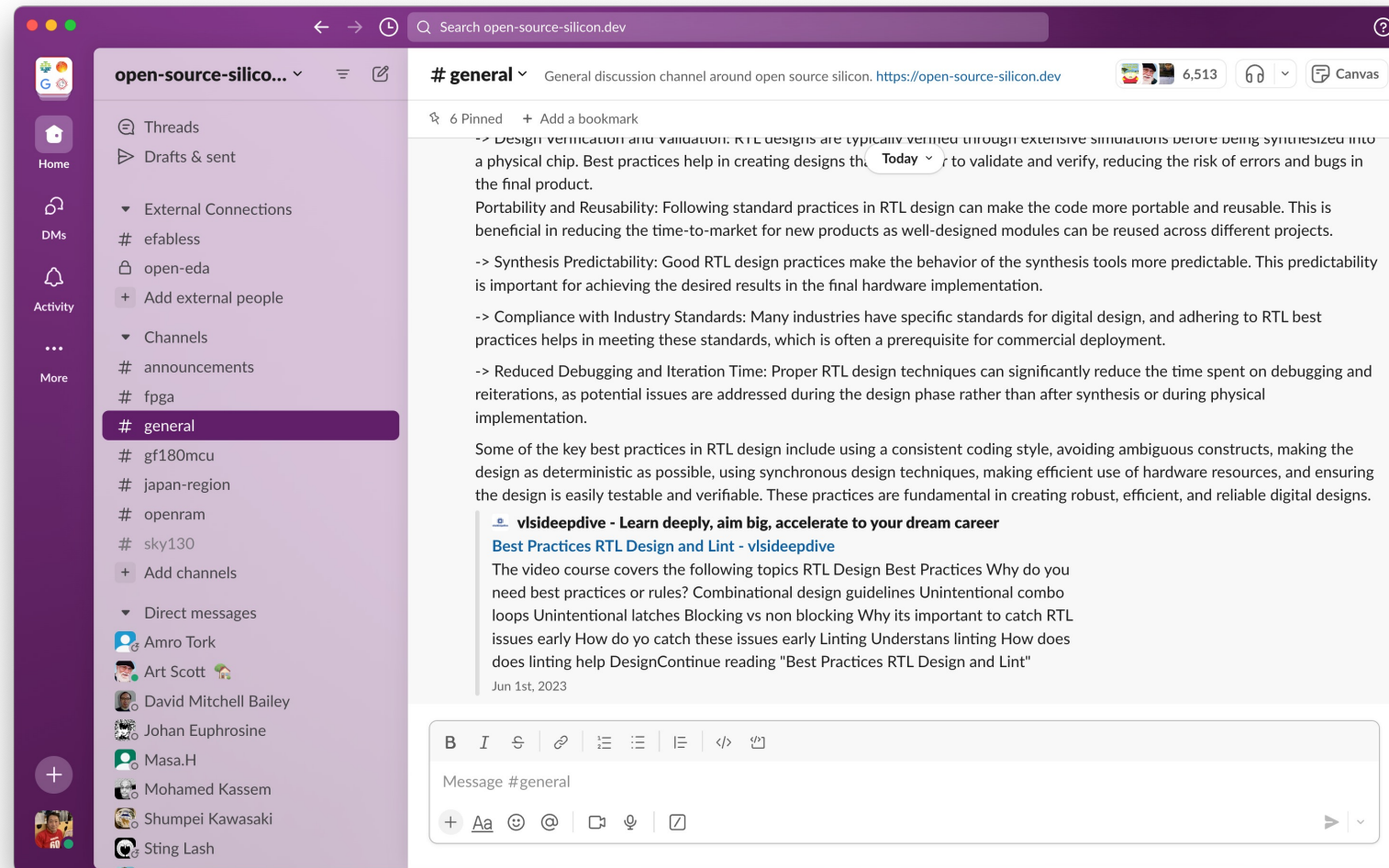
- 成果の再利用が可能。Do It With Others (それ、みんなでやってみよう) の精神
- 日本の利点：地理的に物理的に集まりやすく、勉強会や合宿をやりやすい

ISHI会の意義

- 他 (多) 分野の知識の統合により、今までになかった研究・開発への期待



草の根コミュニティ (Slack)



open-source-silicon.dev

日本語リファレンス

半導体業界を設計方面(PDK)から眺めた拙文を公開しております。御笑読頂けましたら幸いです。

<https://qiita.com/jun1okamura/items/6b76168f11f04027fbd9>

US の NSF(National Science Foundation)が資金を提供した半導体設計に関する、米国国内の課題と対策の提案書の Google 翻訳を公開しています。

<https://qiita.com/jun1okamura/items/54a374e06e6da6294c99>

欧州の Free Silicon Foundation (FSI) の半導体産業の競争力、革新性、教育、独立性、サイバー耐性、環境持続可能性への提案の Google 翻訳を公開しています。

<https://qiita.com/jun1okamura/items/332d1df15f85e3ba99ed>

Reference URL

AIST Solutions

<https://www.aist-solutions.co.jp/>

Google

<https://developers.google.com/silicon>

NSF

<https://arxiv.org/pdf/2311.02055.pdf>

Go iT!

<https://qiita.com/jun1okamura/private/332d1df15f85e3ba99ed>

eFabless

https://efabless.com/open_shuttle_program

Skywater

<https://www.skywatertechnology.com/google-partners-with-skywater-and-efabless-to-enable-open-source-manufacturing-of-custom-asics/>

Globalfoundries

<https://opensource.googleblog.com/2022/08/GlobalFoundries-joins-Google-s-open-source-silicon-initiative.html>

iHP

<https://www.ihp-microelectronics.com/events-1/detail/openpdk-opentooling-and-open-source-design-an-initiative-to-push-development>

OpenROAD(Open EDA toolchain)

<https://openroadinitiative.org/>

ChipAlliance

<https://www.chipsalliance.org/>

ISHI会

<https://ishi-kai.org/>

Slack Community

<https://open-source-silicon.dev/>