

MIPS

ELEVATING RISC-V

Introducing a New Level of RISC-V CPU Performance

Michio Abe

Director, Sales & Marketing

Japan

mabe@mips.com

May 31, 2022

www.mips.com

強力なコンビネーション: MIPS CPUテクノロジー + RISC-V Open ISA

MIPS

実証済のアーキテクチャと
マイクロアーキテクチャ

- >120億チップ, 年10億の
出荷実績

スケーラブルな性能

- マルチスレッド、マルチ
コア、マルチクラスタ

アプリケーションの最適化

- リアルタイム機能、ハード
ウェア仮想化、セキュ
リティ



RISC-V®

オープン ISA

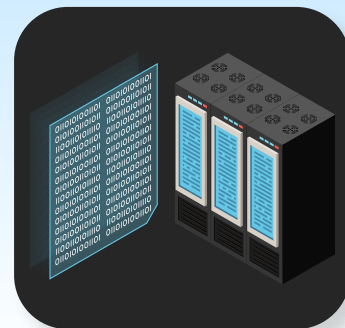
- 業界全体による、エコシ
ステムの成長

アーキテクチャ移行時のソ
フトウェア開発コストの縮
小とスピードアップ

- RISC-V プロファイル
- RISC-V 互換

MIPSは、**実製品で実証済みのソリューションを**
RISC-Vエコシステムに提供し、
RISC-Vの移行とイノベーションを加速します

ターゲットマーケット: MIPS CPUテクノロジーの活用



機能	自動車	通信&ネットワーク	HPC & データセンター
アプリケーション	ADAS, 自動運転, 車内通信	データ転送と有線/無線ネットワーク向けソリューション	集中インフラストラクチャー, 分散ワークロード処理とストレージ
ハードウェア機能	ヘテロジニアス, ISO 26262 (FuSa), SEooC, ロックステップ, マルチクラスター	組み込み向けの最適化された低レイテンシーデータ転送機能, リアルタイム機能	最適化されたデータ転送性能 スレッド/コア/クラスター 低レイテンシーペイロード処理
MIPSのアドバンテージ	スケーラブルな性能, マルチクラスターサポート, 機能安全認証	性能/電力効率, 仮想化機能, マルチスレッド	マルチコア, スケーラブルな性能, データ転送性能

eVocore I8500: クラス最高の性能/電力効率

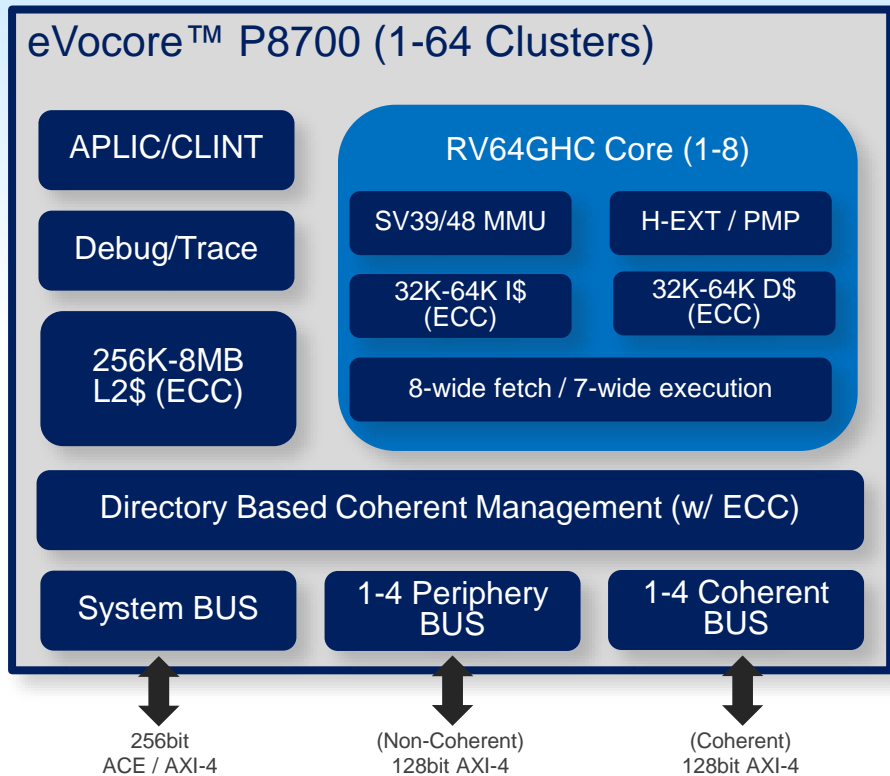
I8500は、SoCアプリケーションで使用するクラス最高の電力効率を備えたインオーダー・マルチプロセッシングCPUソリューションです。各I8500コアは、マルチスレッドと効率的な3命令同時実行パイプラインを組み合わせて、卓越した処理スループットを実現します。このCPUソリューションは、最大64のクラスター、512のコア、2,048のハート/スレッドに拡張できます。



eVocore P8700: アウトオブオーダー実行による高性能

P8700は、ディープパイプラインと複数命令同時アウトオブオーダー（OOO）実行およびマルチスレッドを組み合わせて、卓越した処理スループットを実現します。シングルスレッドのパフォーマンスは、他のRISC-V CPU IP製品で現在利用可能なものよりも優れており、最大64クラスター、512コア、1,024ハート/スレッドまで拡張できます。

eVocore P8700:コンフィグレーション



- **複数命令実行スーパースカラ、アウトオブオーダー (OOO) + マルチスレッド**
 - 高動作周波数を実現する16ステージパイプライン
 - 8命令同時フェッチ
 - 7実行ユニット: 2 x ALU, 乗除算, 2 x 浮動小数点, 2 x ロード/ストア
- **L2キャッシュ + 拡張コヒーレントマネージャ**
 - ハードウェアプリフェッチ, 広帯域・低遅延バス
 - 48ビット物理アドレス
 - 256割込サポート, APLIC/CLINT
- **システムインターフェース:**
 - ACEあるいはAXI: 256ビットシステムバス
 - コヒーレントバス (最大8ポート、オプション)
 - 非コヒーレントペリフェラルバス (最大4ポート、オプション)

eVocore P8700: 他のコアを凌駕する性能

■ コア性能

- 高いシングルスレッド性能
- マルチスレッドによるさらなる性能の向上

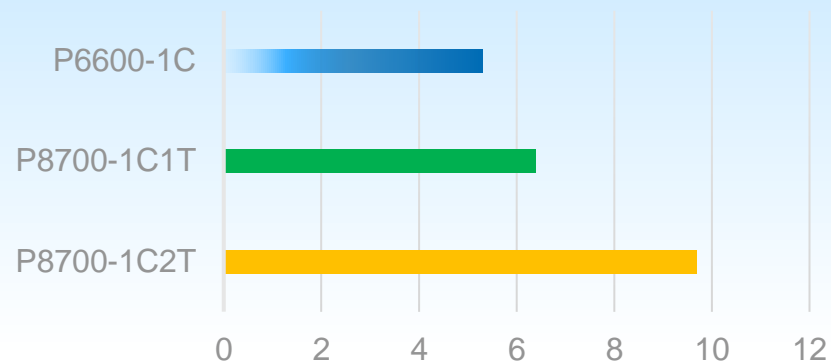
■ クラスタ性能

- データ処理性能を向上させる特有の機能
- AIアクセラレーションに最適化

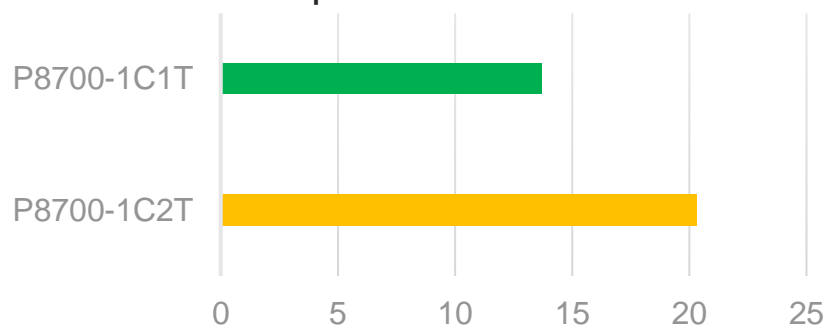
■ マルチクラスタ性能

- ディレクトリ方式によるコヒーレンシーの最適化
- 8クラスタを超えるシステムが実製品で動作中

CoreMark/MHz



Specint2006/GHz



eVocore P8700/I8500: 車載アプリケーション向け機能

- **性能 – アウトオブオーダー実行(OOO) + マルチスレッド(P8700)**
 - ドライビングポリシーやマシンビジョンアルゴリズムのような強化学習、CNNや他の機械学習アルゴリズムを実現をサポート
- **クラス最高の電力効率 - インオーダー + ハードウェアマルチスレッド (I8500)**
 - 組み込みシステムでのセンサー/モデム処理向けマルチスレッド機能を備えた高いリアルタイム性能
- **マルチクラスターサポート**
 - 同じSoCまたは異なる複数のチップを接続し拡張して、統合した処理環境を提供できます
- **ハードウェアサポート・ハイパーバイザー・エクステンションによるアイソレーション**
 - ドライバーデータの保護とソフトウェアの隔離が可能
 - メモリアイソレーション機能は車載ソフトウェアの認証に重要です
- **機能安全(Functional Safety) - ASIL-B(D) SEooCとロックステップ・オプション**
 - 機能安全パッケージはどのようなセンサーでも同様に使用可能のため、機能の冗長性を提供できます
 - SEooC CPUコアのインテグレーションは容易で、市場投入までの時間が短縮可能

パートナー: RISC-Vエコシステム

- 既存のRISC-VツールチェーンとLinuxを利用できます

- カスタム命令のサポート

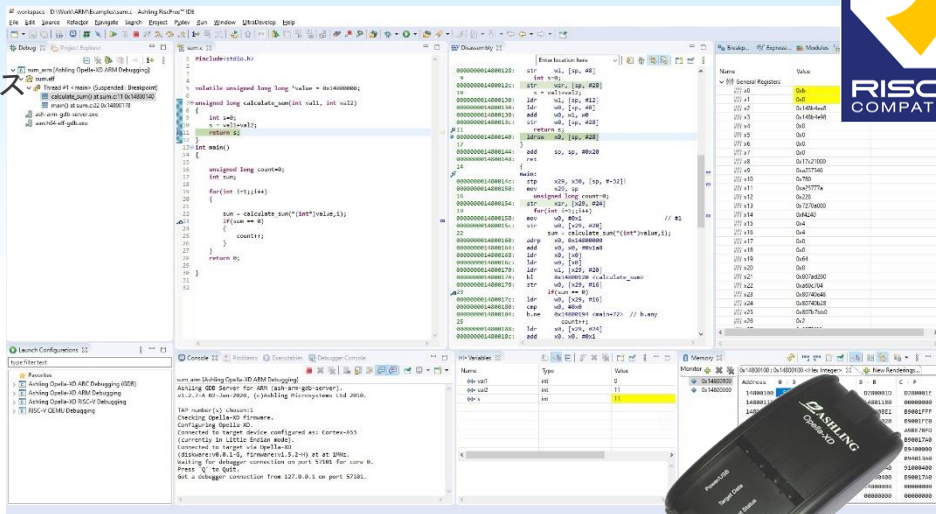
- カスタマイズスーパーバイザーインターフェース
- 例外ハンドラー
- コンパイラサポート

- Ashlingサポート:

- RISC-Vデバッガーサポート
- トレース機能の拡張

- Imperasサポート:

- 早期のSW開発サポート
- ハイブリッドエミュレーションを用いたシステム検証*



(*) "Hybrid Virtual + Emulation SoC Platform for SW-Drivers Validation", CDN Live, 2019



GDB
The GNU Project
Debugger



imperas

Summary

- MIPSは、数多くのシリコンで実績のあるCPUテクノロジーを活用し、高性能アプリケーションでのRISC-Vの採用を加速していきます。
- eVocore P8700は高いレベルのRISC-Vの処理性能を提供します。
- eVocore ファミリーの製品は皆さまのためのソリューションを今後も提供していきます

お問い合わせと詳しい情報はwww.mips.comを参照いただくか、日本語では mabe@mips.com へご連絡ください。



MIPS

ELEVATING RISC-V

Thank You

www.mips.com