



エフィニックス FPGA に RISC-V を搭載し、 エッジ・コンピューティングを加速

RISC-V Days Tokyo 2021 Spring (2021年4月22~23日)

エフィニックス

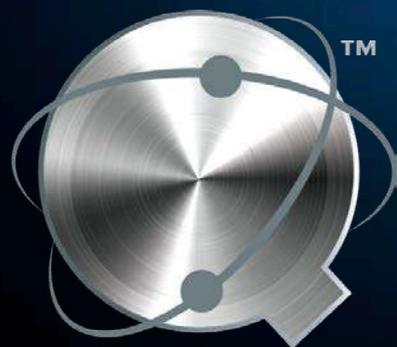
中西 郁雄

エフィニックス (Efinix) 会社概要

- 特許取得済の Quantum テクノロジーによる革新的な FPGA アーキテクチャで、高性能・低電力・高集積で、価格競争力のある FPGA / eFPGA 製品を提供する 2012年設立の米国企業
 - 累計出荷数 100 万個以上の Trion FPGA、さらに高集積、高性能化を実現した Titanium FPGA
- AI (人工知能)、データコンピューティングなどの低電力化の促進
 - 開発を容易にする RISC-V Quantum アクセラレーション
- 米国、中国、マレーシア、カナダ、日本、韓国、ドイツ、台湾に拠点を持つグローバル企業
- Xilinx、Samsung、Alibaba、HKX、AIM、MAVCAP などから支持、投資を受けた有望企業



Quantum コンピューティング



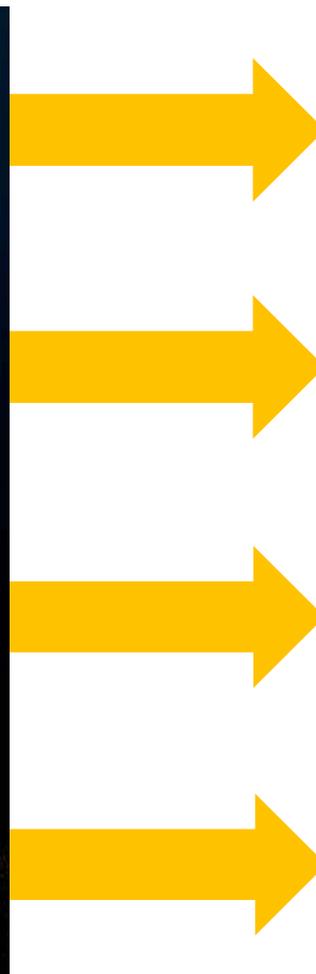
QUANTUM

これまでにない革新的な
FPGA アーキテクチャ

高性能

低電力

小さな
フットプリント



AI およびニューラルネットワーク

組み込み型 AI に適応した
DSP および 内蔵メモリブロック



データおよびコンピューティング

並列データ演算処理のための再コンフィ
グ可能な XLR セル



FPGA カスタム ロジック

4 倍以上の PPA 優位性
(電力・性能・エリア) vs 他社 FPGA 製品

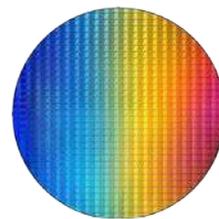


RISC-V アクセラレーション

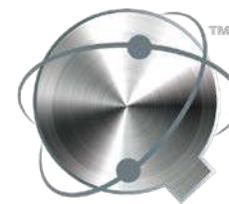
RISC-V による
ソフトウェアおよびアルゴリズム処理

Titanium

- メインストリーム市場向け、セキュリティブロック搭載 FPGA 製品
- 高性能、高機能を極小ダイサイズで実現し、70% の低電力化
- 最大 100 万ロジックセルまでスケラブルに展開
- ソフト定義 RISC-V コアを 400MHz 動作
- Quantum アクセラレーションによる高速化

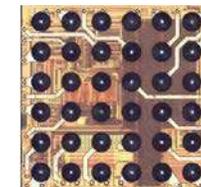


TSMC 16 nm プロセス



QUANTUM

Quantum コンピューティング
アクセラレーション



革新的なパッケージ
オプション

機能	Ti35	Ti60	Ti90	Ti120	Ti170	Ti240	Ti375	Ti550	Ti750	Ti1000
ロジック・エレメント (LE)	36,176	62,016	89,812	119,750	169,646	236,888	370,137	533,174	727,056	969,408
10K メモリブロック (Mb)	1.53	2.62	7.34	9.80	12.62	19.37	27.53	39.65	54.07	72.09
DSP ブロック	93	160	359	478	616	946	1,344	1,936	2,640	3,520
高速 I/O (HSIO)	146	146	204	204	204	172	172	268	268	268
GPIO (3.3 V)	34	34	80	80	80	80	80	80	80	80
PLL	4	4	10	10	10	10	10	10	10	10
DDR4/LPDDR4/DDR3/LPDDR3	-	-	x32	x32	x32	x72	x72	2 x72	2 x72	2 x72
MIPI D-PHY 2.5 Gbps (Rx, TX)	-	-	(2, 2)	(2, 2)	(2, 2)	(3, 3)	(3, 3)	(3, 3)	(3, 3)	(3, 3)
16 Gbps Serdes	-	-	x8	x8	x8	x12	x12	x16	x16	x16
25.8 Gbps Serdes	-	-	-	-	-	-	-	x8	x8	x8
PCI Express Gen 4 (16G)	-	-	x4	x4	x4	2 x4	2 x4	2 x8	2 x8	2 x8
パッケージ										
WLCSP 64	0.4 mm/3.4x3.5 mm	✓								
FBGA 100	0.5 mm/5.5x5.5 mm	✓	✓							
FBGA 225	0.5mm/8x8 mm			✓	✓	✓				
FBGA 225	0.65 mm/10x10 mm	✓	✓	✓	✓	✓				
FBGA 324	0.65 mm/12x12 mm			✓	✓	✓				
FBGA 400	0.8mm/16x16 mm			✓	✓	✓				
FBGA 484	0.65 mm/15x15 mm			✓	✓	✓	✓	✓		
FBGA 625	0.65 mm/17x17 mm						✓	✓	✓	✓
FBGA 784	0.8 mm/23x23 mm						✓	✓	✓	✓
FBGA 1,156	1.0 mm/35x35 mm							✓	✓	✓



エフィニックスの RISC-V SoC ソリューション



FPGA 上での RISC-V

- RISC-V は、モジュールベースで拡張可能なアーキテクチャ
- FPGA の利点である「柔軟性」と「再コンフィギュレーション性」を活用すると
 - ダイナミックに最適なカスタム命令が実装
 - 適切なアーキテクチャ・機能拡張を選択
 - アプリケーションに特化したハードウェア・アクセラレータを統合
- 導入後も RISC-V やハードウェア構成の柔軟性を維持できる

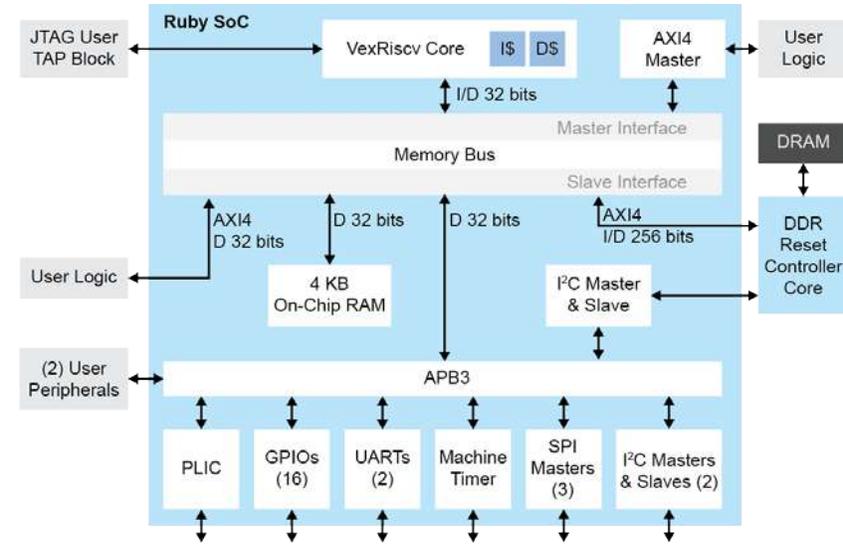
エフィニックスの 3 種類の RISC-V SoC コア

- Trion / Titanium FPGA に最適化された VexRiscv ベースのソフトコア
 - M と C の機能拡張を持つ ISA RISC-V32I、32 ビット シングルコア
 - 5 つのパイプラインステージ (fetch、decode、execute、memory、writeback)



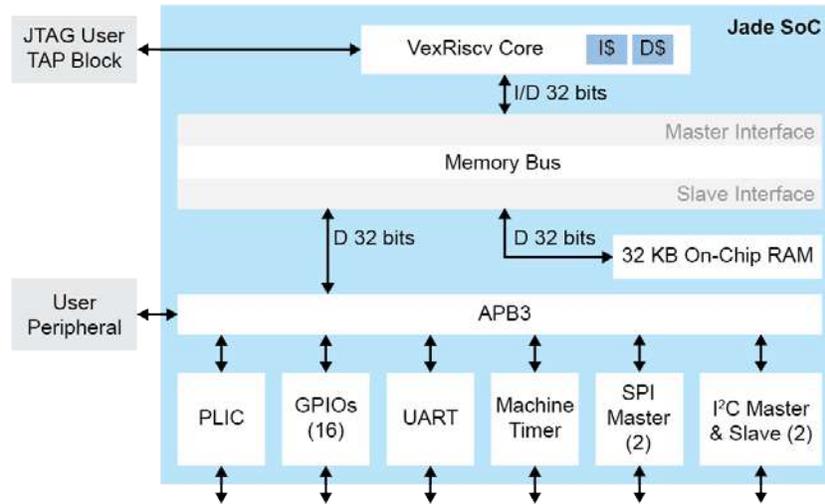
SoC	概要
	<ul style="list-style-type: none">• 高性能 SoC - キャッシュ、DDR DRAM コントローラ搭載コア• リアルタイムシステム制御、イメージプロセッシング等の処理能力を要するアプリケーション向け
	<ul style="list-style-type: none">• 汎用 SoC - 性能とエリアのバランスのとれたキャッシュ搭載コア• 通信プロトコル制御、産業用オートメーション、データロギング等のアプリケーションや汎用マイコン置換用途向け
	<ul style="list-style-type: none">• コンパクト SoC - エリア優先、キャッシュレスの最小構成コア• システム監視やリモートコンフィギュレーション、制御などの組み込処理機能を要するアプリケーション向け

Ruby SoC



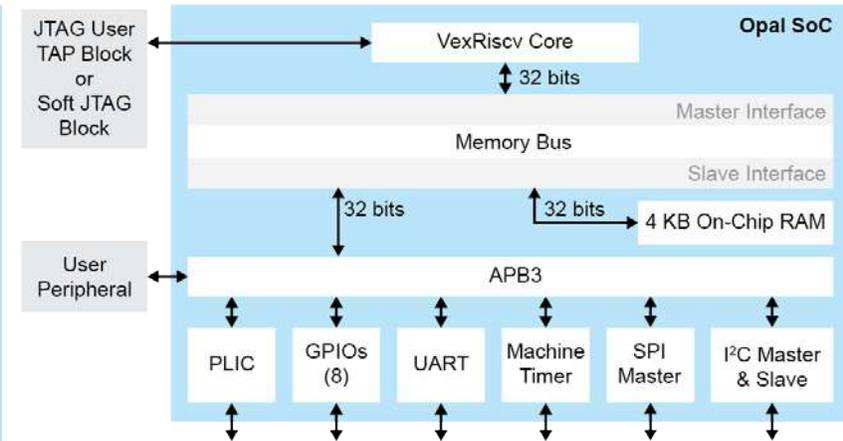
GPIO: 16本
タイマー: 1個
PLIC: 1個
SPI マスター: 3個
I2C マスター/スレーブ: 3個
UART: 2個
AXI4 ユーザーペリフェラル: 1個
APB3 ユーザーペリフェラル: 2個
AXI4 DDR メモリアクセス

Jade SoC



GPIO: 16本
タイマー: 1個
PLIC: 1個
SPI マスター: 1個
I2C マスター/スレーブ: 2個
UART: 1個
APB3 ユーザーペリフェラル: 1個

Opal SoC

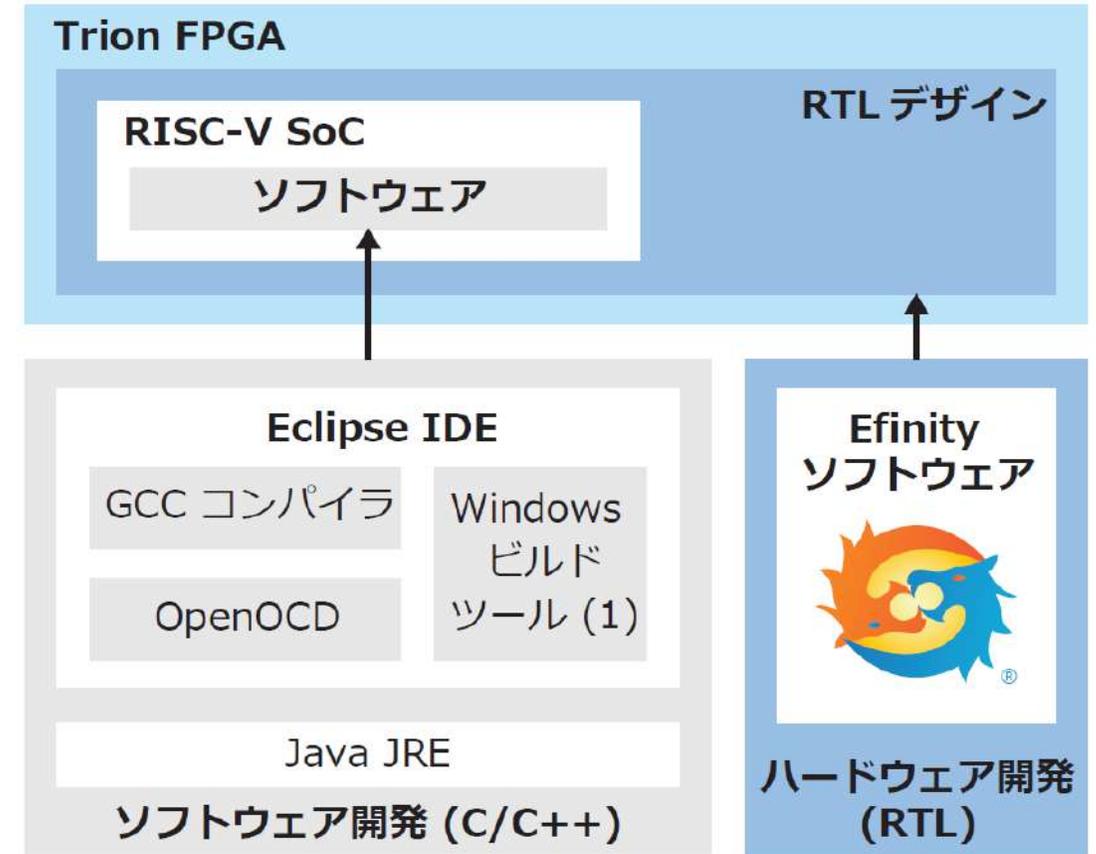


GPIO: 8本
タイマー: 1個
PLIC: 1個
SPI マスター: 1個
I2C マスター/スレーブ: 1個
UART: 1個
APB3 ユーザーペリフェラル: 1個

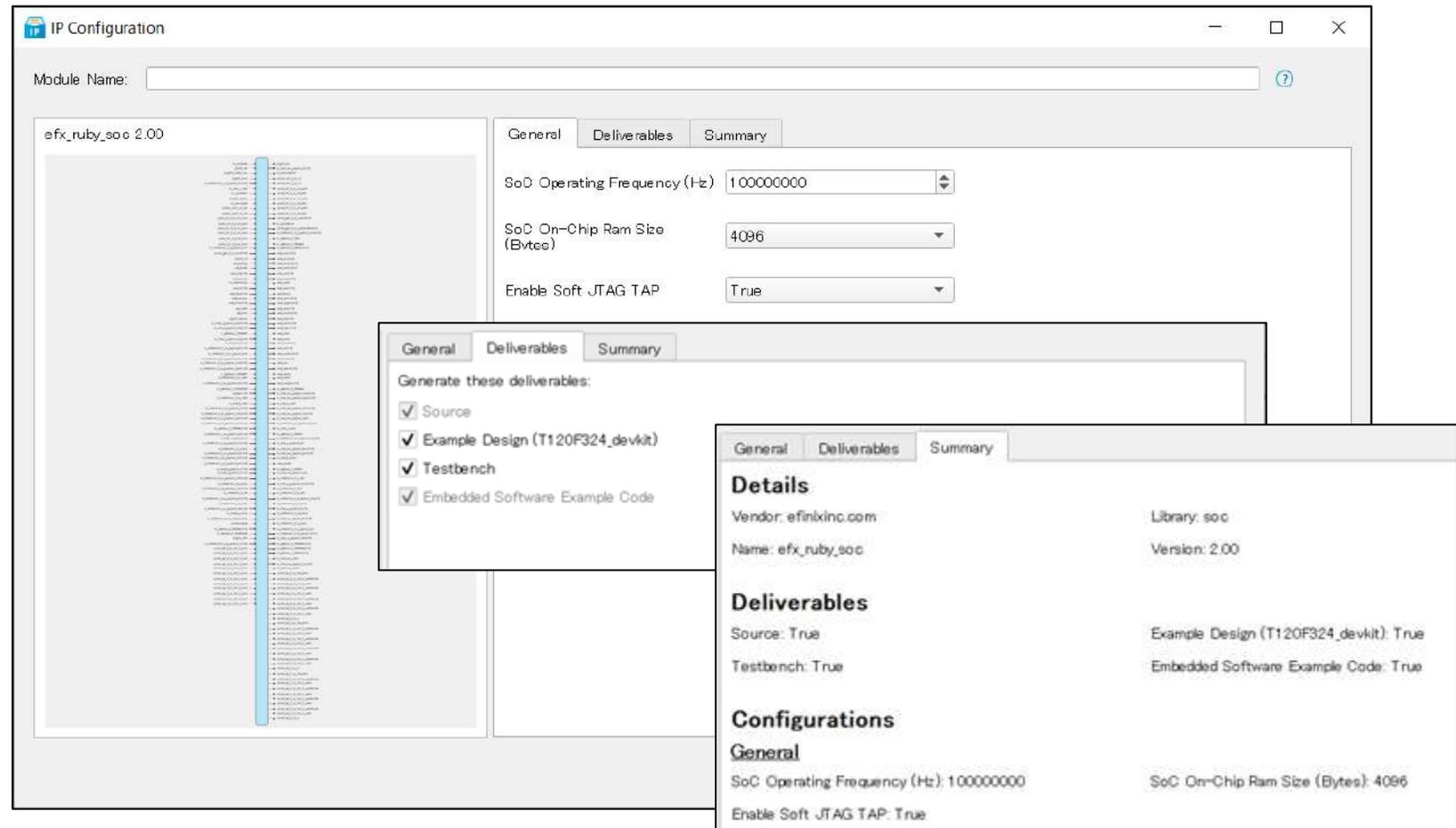
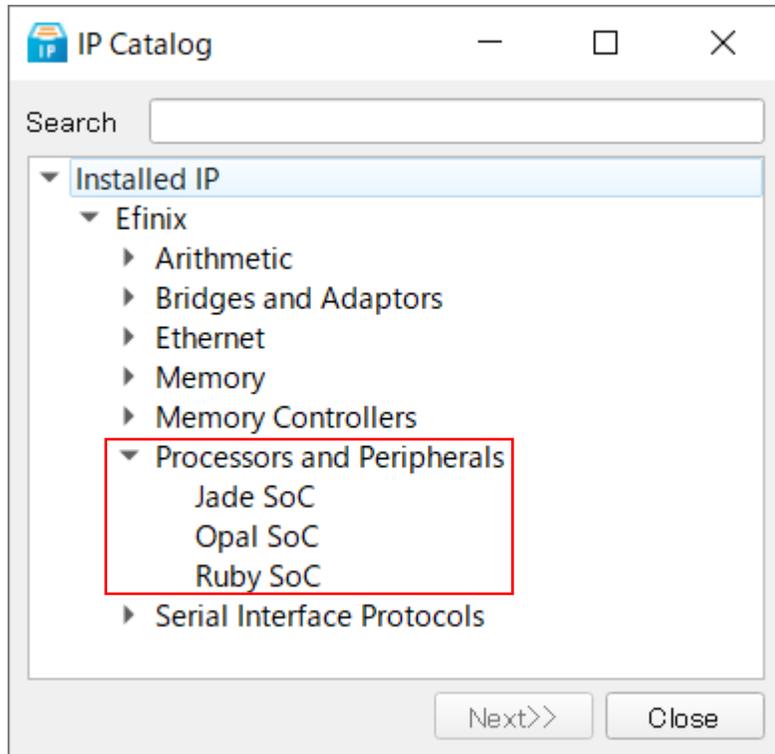
ハードウェア・ソフトウェアの完全なパッケージ

- ハードウェア開発 (FPGA)
 - Efinity IDE 統合開発ツール
 - SoC コア RTL ソース
 - SoC コア テストベンチ
 - 評価ボード用のサンプルデザイン
 - 各種サンプルソフトウェア
- ソフトウェア開発 (RISC-V)
 - RISC-V SDK
 - Eclipse IDE (統合開発環境)
 - RISC-V GCC コンパイラ
 - RISC-V GDB デバッガ
 - OpenOCD デバッガ
 - Windows ビルドツール*

* Windows OS環境のみ

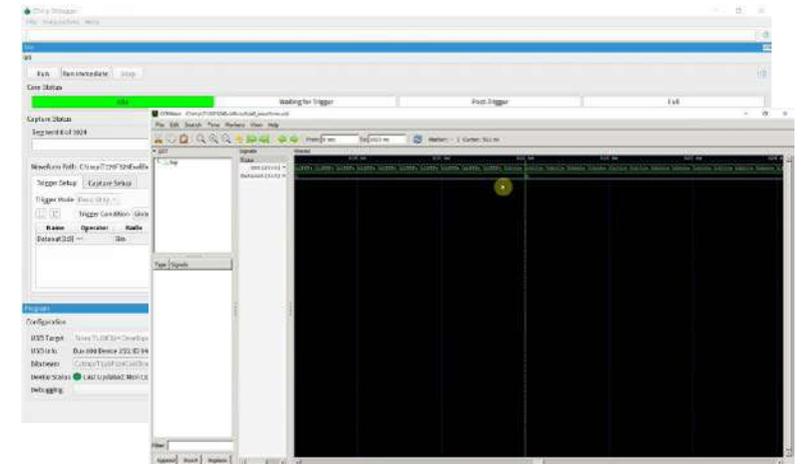
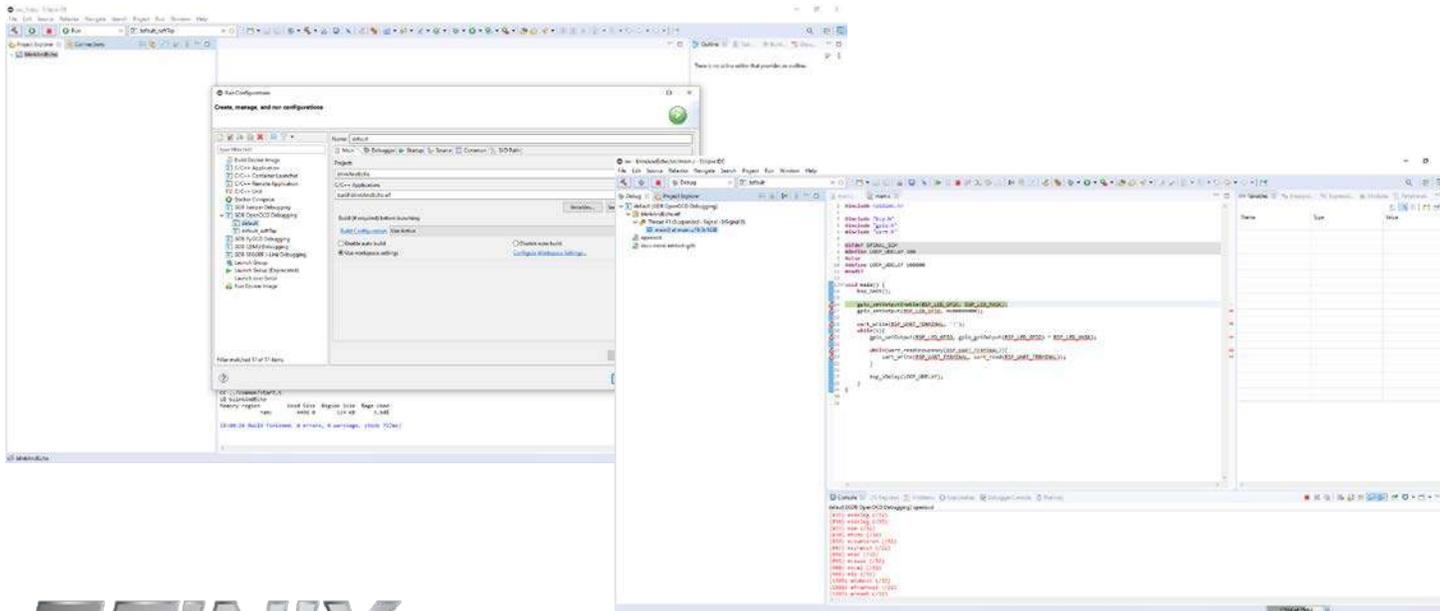


RISC-V SoC コアは、Efinity 開発ツール上の IP マネージャより簡単に生成可能



ファームウェア開発フロー

- Eclipse ベースの SDK にてファームウェアをコンパイル
- OpenOCD デバッガにてバイナリをダウンロード、ファームウェアデバッグ
- Efinity デバッガによるハードウェアデバッグ



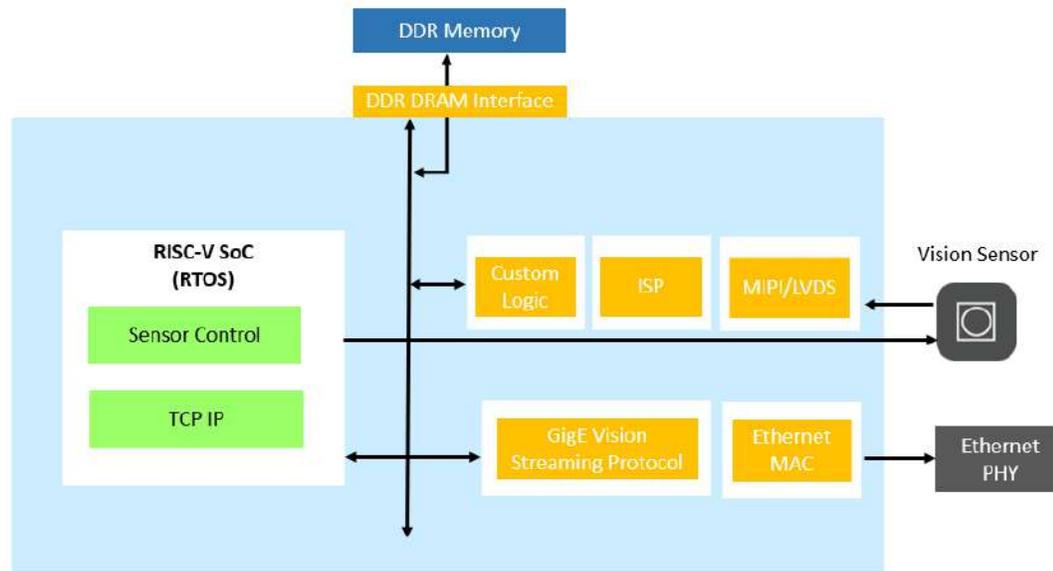
ファームウェアサンプル

- 開発キットと組み合わせてご使用いただける各種ファームウェアサンプル
 - RubySoc with Free RTOS
 - RubySoc with Free RTOS + Triple-speed Ethernet IP
 - UART Demo
 - SPI flash bootloader Demo
 - I2C Demo
 - SPI Demo
 - Interrupt Demo
 - User Apb3 Demo
 - User AXI4 Demo
 - Memory Test Demo
 - Dhrystone Demo
 - Timer and GPIO Demo

RISC-V 適用事例

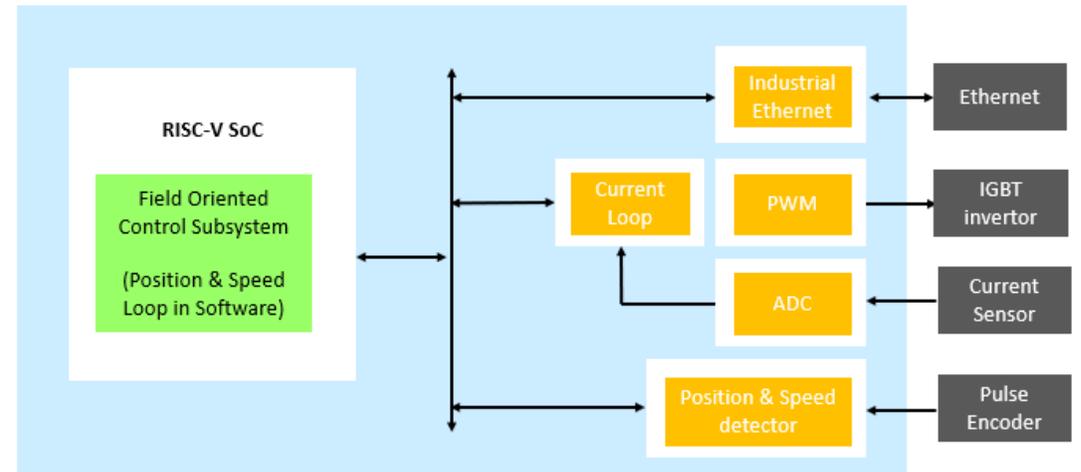
- マシビジョン

- RISC-V 上に RTOS を実装し、イメージセンサーのコンフィギュレーションおよび TCP-IP 制御を実現



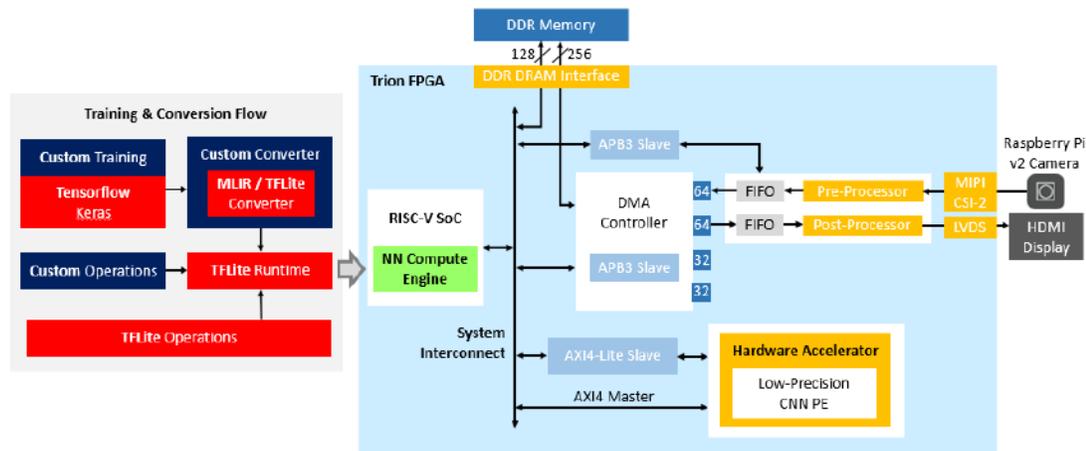
- サーボ・モーター

- FPGA ロジックで、制御ループを実施しつつ、RISC-V で、ポジション、スピード制御ループを並列処理



RISC-V 適用事例 (続き)

- FPGA 上での AI 推論
 - FPGA ロジックで、イメージセンサー処理や推論結果出力などを実装し、RISC-V では、データのフロー制御やニューラルネットワーク演算を実装



RISC-V SoC コアのリソースとパフォーマンス

RISC-V SoC		Ruby	Jade	Opal
ロジックセル(*)		~12,000 LE	~7,000 LE	~5,000 LE
RAM ブロック(*)		78 個	93 個	16 個
動作速度	Titanium	~400 MHz	~400 MHz	~400 MHz
	Trion	~100+ MHz	~100+ MHz	~100+ MHz
DMIPS/MHz		1.16	1.2	0.98
OS サポート		FreeRTOS / Linux	N/A	N/A
提供形態		無償 / ロイヤルティフリー	無償 / ロイヤルティフリー	無償 / ロイヤルティフリー

* 基本ペリフェラルを含む、Trion FPGA ベースのロジックセル、RAM ブロック数

エフィニックス RISC-V SoC 今後の計画

計画済みアイテム

- Titanium サポート
- カスタム命令アクセラレーション
- Linux Buildroot
- IP マネージャからの SoC コンフィギュレーション

検討中アイテム

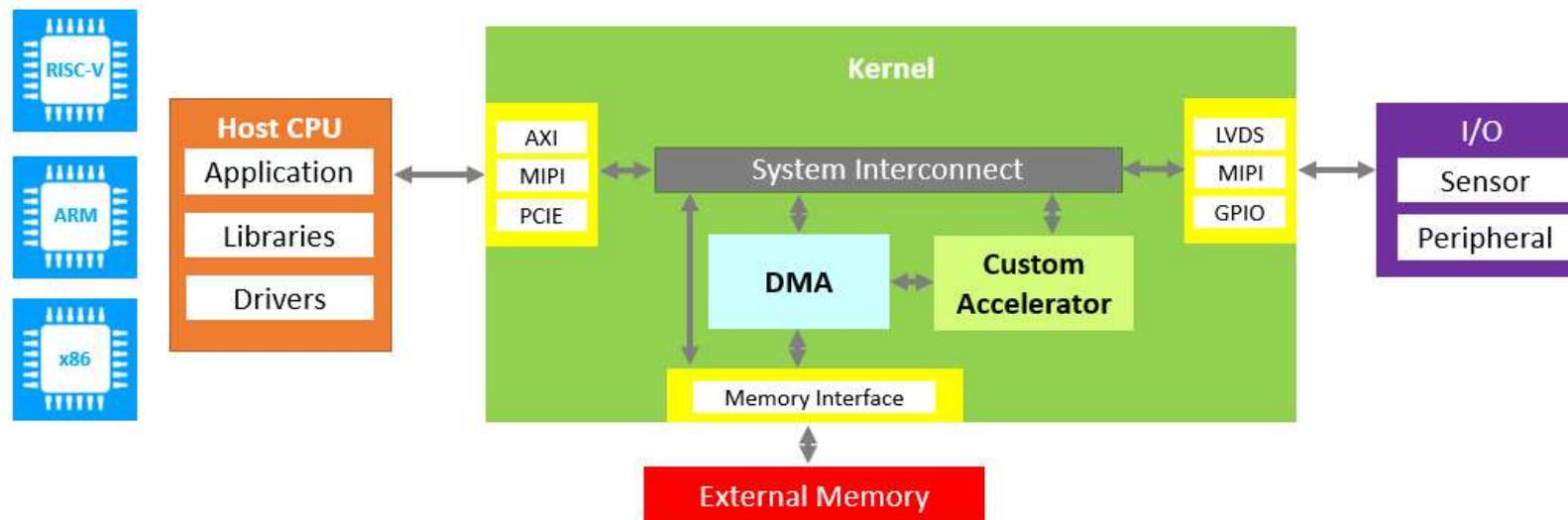
- マルチコア サポート
- 64-bit コア サポート
- ...



Quantum アクセラレータ

Quantum アクセラレータ

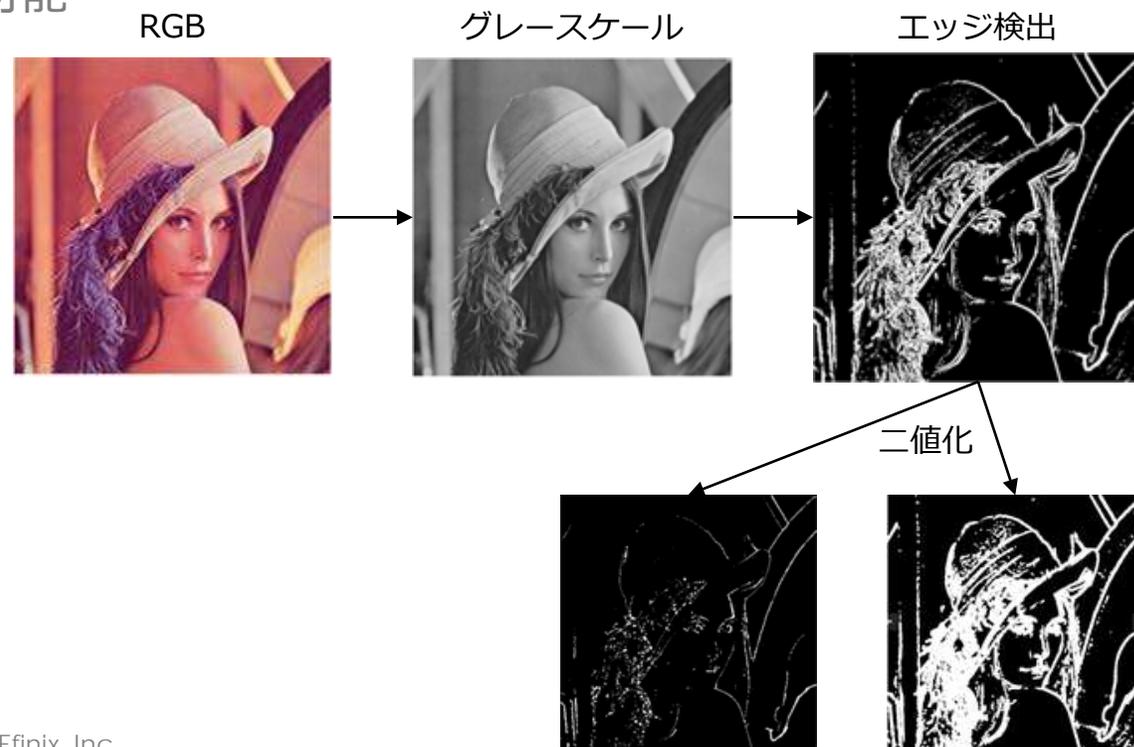
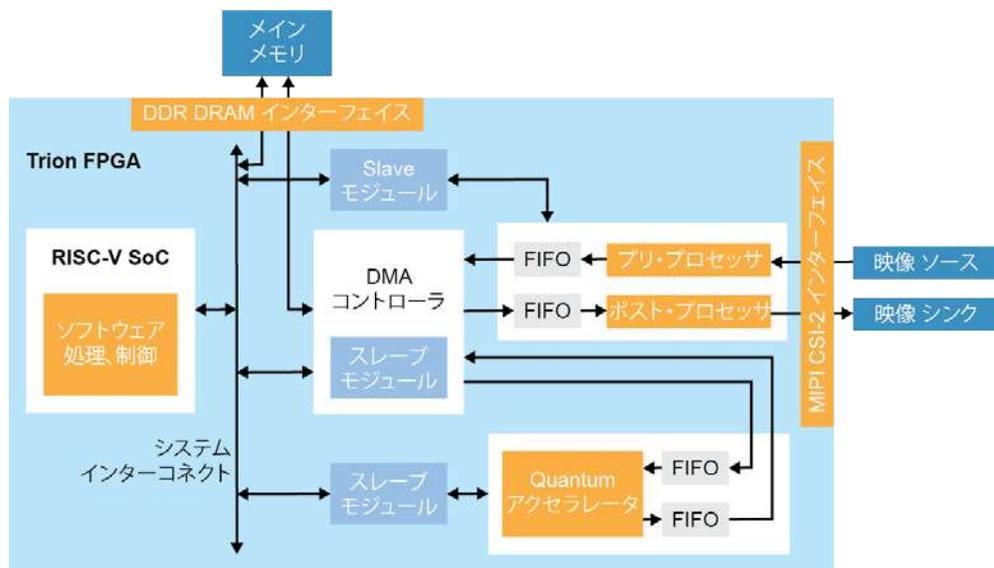
- 定義済みの構造化されて「コンテナ」で、ユーザデザインのアクセラレーション構築を支援
- ハードウェア・アクセラレータを素早く簡単に組み込むことができるソケット



エッジ・ビジョン SoC フレームワーク

- Quantum アクセラレータ フレームワーク 『第1弾』

- ハードウェア/ソフトウェアのパーティショニングを容易にし、要求パフォーマンスを実現
- 映像処理、AI オブジェクト検出、機械学習、マルチカメラ・フュージョンなどに応用可能
- T120F324C-DK 評価キットにてすぐに検証可能
- 弊社サポートページ、GitHubにて公開中



すぐに入手可能な評価ボード

T120F324C-DK (\$300)



T20F256C-DK (\$150)



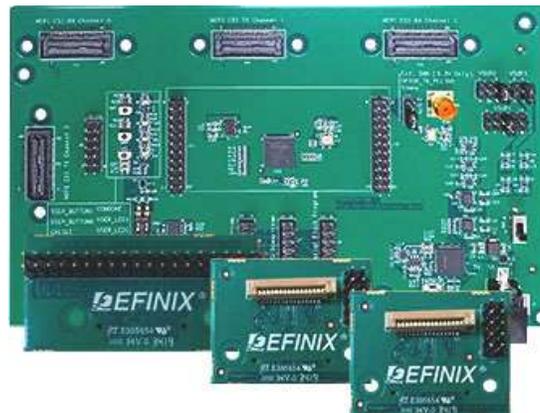
T8F81C-DK (\$100)



T120F576C-DK (\$350)

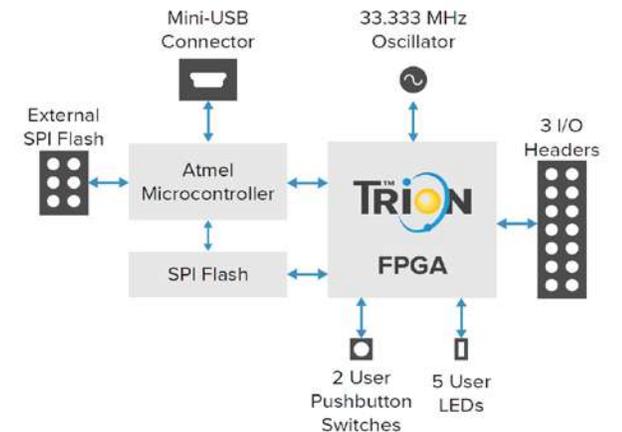


T20MIPI-DK (\$150)



優待キャンペーンのお知らせ

- RISC-V Days Tokyo 2021 Spring にご参加いただいた皆様を対象に、Trion T8 開発キット (T8F81C-DK) を**50% OFF**で優待販売いたします。
- T8F81C-DK
 - Trion T8 FPGA
 - ユーザー LED 5個、プッシュボタン スイッチ 2個
 - Type B mini-USB ポート (FLASH プログラム、給電)
 - 拡張用 I/O ヘッダー 3個
 - 33.333MHz 発振器
 - 全てのデバイスが開発可能な Efinity IDE
- 優待キャンペーンコード: **T8-RISCVTKY21S**
- 詳細は、エフィニックス取扱代理店または sales-jp@efinixinc.com までお問い合わせください。





ご清聴ありがとうございました。