



エフィニックス (Efinix) FPGA と ウーノラボ 1 ステージ RISC-V による 究極電力効率の実現

RISC-V Days Tokyo 2022 Spring - 2022年5月31日

エフィニックス・ジャパン 中西 郁雄

株式会社ウーノラボ 福島 眞粧美

THE FUTURE IS NOW

エフィニックス (Efinix) 会社概要

- 私たちのミッション

使いやすく、低消費電力で効率的な FPGA ソリューションを、
メインストリーム、大規模量産アプリケーション向けに提供していくこと

- エフィニックス (Efinix)

- 急成長中の 米国 FPGA 企業 (2012年設立)
- Quantum テクノロジ (特許取得済) により、破壊的な FPGA アーキテクチャを構築し、高性能、低電力、高集積の FPGA ソリューションを提供
- 各国に営業拠点を持つグローバル企業

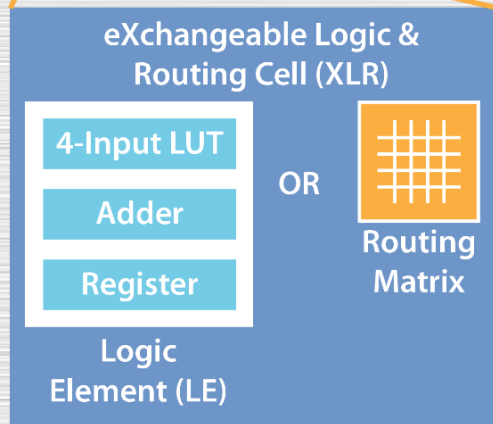
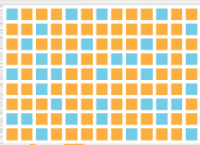
- 製品・ソリューション

- Titanium FPGA – 中～大規模クラスの高性能・低電力 FPGA 製品で、様々なハードブロックを有する
- Trion FPGA – 小～中規模クラスの低電力・価格競争力のある FPGA 製品を安定供給中
- RISC-V SoC – 使いやすいソフト定義コア ([ダウンロード実績 2020年 50+ → 2021年 500+](#))
- Efinity IDE – FPGA 設計用の統合開発ツール

Quantum™ テクノロジ (特許取得済)



Quantum™ XLR セル



**ロジック または 配線
として構成可能**

アーキテクチャによる優位点

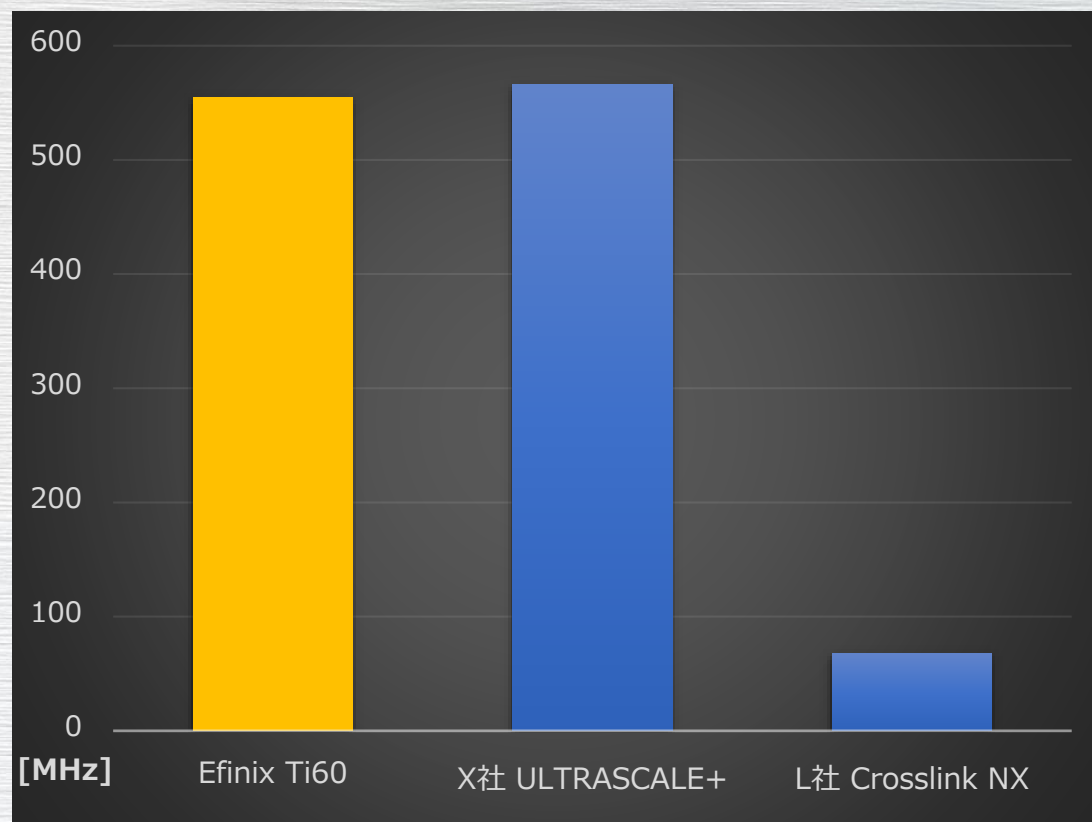
- より効率よく配置配線可能
- よりフレキシブル、かつ微細な FPGA
- 従来の FPGA で発生する配線ボトルネックがなくなる
- どんなデザインでもロジックと理想的なロジック / 配線比率を実現

シリコン、製品としての優位点

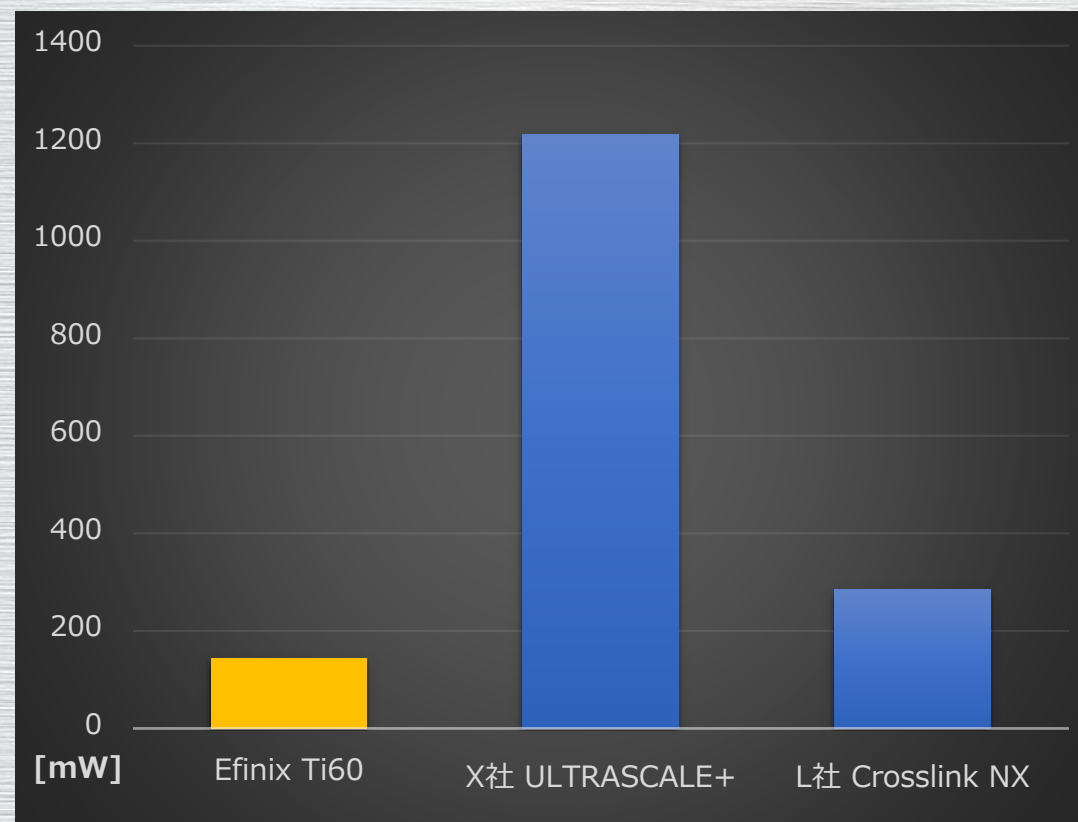
- 他社に比べ圧倒的に小さいダイサイズで実現 (同一プロセス、同一規模比較)
- 高性能
- 低電力
- 低価格
- 作りやすい (標準的な CMOS プロセス)
- スケーラブル (集積度に関わらず予測可能な性能とコンパイル時間)
- 100% リコンフィギュラブル

Titanium™ FPGA ベンチマーク

パフォーマンス比較



消費電力比較



使用デザイン: Gaussian Noise Generator (<https://github.com/liuguangxi/gng>)



- 16nm プロセスの高性能・中～大規模 FPGA
- 35,000 ~ 1,000,000 ロジックセル
- セキュリティ
- SEU
- 2.5Gbps MIPI D-PHY
- 16Gbps/25.8Gbps Serdes
- PCI Express Gen 4 (16G)
- LPDDR4 メモリコントローラ

機能	Ti35	Ti60	Ti90	Ti120	Ti180	Ti240	Ti375	Ti550	Ti750	Ti1000
ロジック・エレメント (LE)	36,176	62,016	92,534	123,379	176,256	236,888	370,137	533,174	727,056	969,408
10K メモリブロック (Mb)	1.53	2.62	6.88	9.80	13.11	19.37	27.53	39.65	54.07	72.09
DSP ブロック	93	160	336	448	640	946	1,344	1,936	2,640	3,520
高速 I/O (HSIO)	146	146	232	232	232	172	172	268	268	268
GPIO (3.3 V)	34	34	80	80	80	80	80	80	80	80
PLL	4	4	10	10	10	10	10	10	10	10
DDR4/LPDDR4/DDR3/LPDDR3	-	-	x32	x32	x32	x72	x72	2 x72	2 x72	2 x72
MIPI D-PHY 2.5 Gbps (Rx, TX)	-	-	(4, 4)	(4, 4)	(4, 4)	(3, 3)	(3, 3)	(3, 3)	(3, 3)	(3, 3)
16 Gbps Serdes	-	-	x8	x8	x8	x12	x12	x16	x16	x16
25.8 Gbps Serdes	-	-	-	-	-	-	-	x8	x8	x8
PCI Express Gen 4 (16G)	-	-	1 x4	1 x4	1 x4	2 x4	2 x4	2 x8	2 x8	2 x8
Automotive Support	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓



- 40nm プロセスのミドルレンジ FPGA
- 4,000 ~ 120,000 ロジックセル
- 1.5Gbps MIPI D-PHY + CSI-2 コントローラ
- DDR3 メモリコントローラ
- 累計約600万個以上の出荷実績
- 不具合報告件数 "0" 継続中の高信頼

機能	T4	T8	T13	T20	T35	T55	T85	T120
ロジック・エレメント (LE)	3,888	7,384	12,828	19,728	31,680	54,195	84,096	112,128
MPM (マスク・プログラマブル・メモリ)	✓	✓	✓	✓	-	-	-	-
5K メモリブロック (kb)	77	123	727	1,044	1,475	2,765	4,055	5,407
18x18 乗算器ブロック	4	8	24	36	120	150	240	320
最大 GPIO	55	97	195	230	230	278	278	278
PLL	1	5	5	7	7	8	8	8
DDR3/LPDDR3/LPDDR2	-	-	x32	x32	x32	x72	x72	2 x72
MIPI D-PHY + CSI-2 (Rx, TX)	-	-	(4, 4)	(4, 4)	(4, 4)	(3, 3)	(3, 3)	(3, 3)
Automotive Support	-	-	✓	✓	-	-	-	-



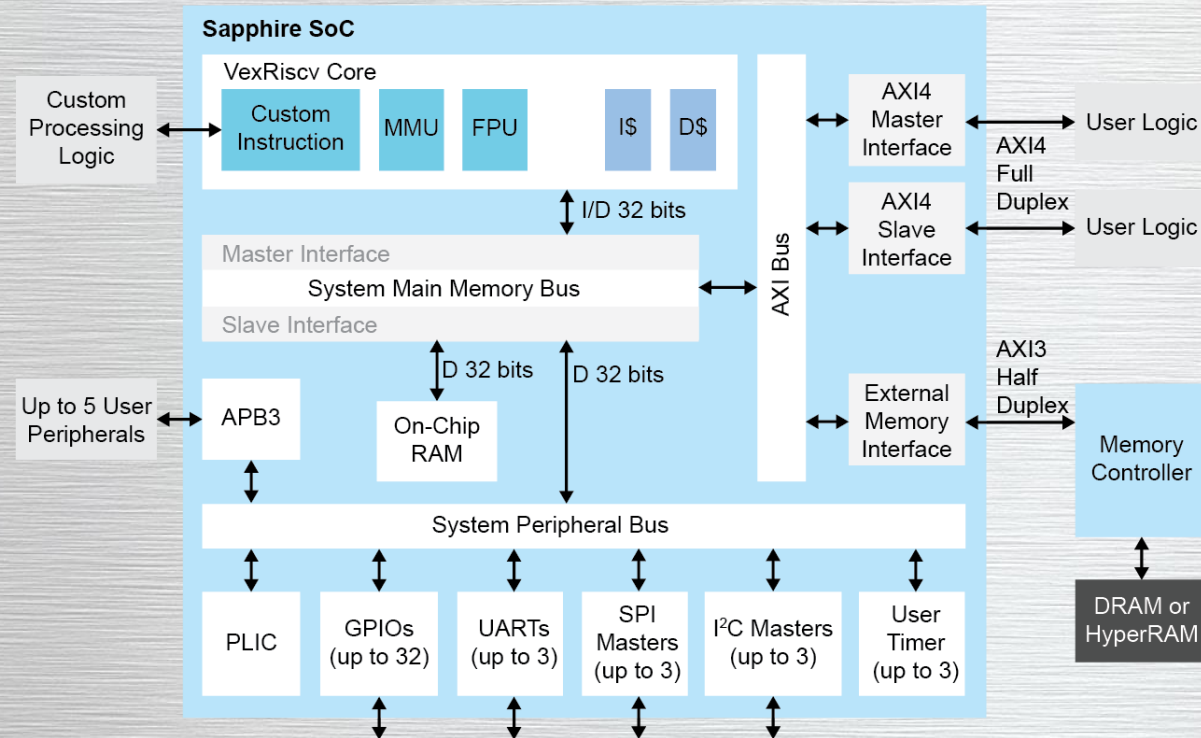
A decorative horizontal band consisting of a series of overlapping, downward-pointing chevron shapes in various shades of blue and white, creating a layered, geometric effect.

Efinix Sapphire RISC-V SoC



Sapphire RISC-V SoC

- ユーザが自由に構築可能な RISC-V SoC (ソフト定義コア)
- VexRiscv ベースの 32 ビット CPU
- 6 パイプラインステージ (インジェクションステージの追加)



最高の機能

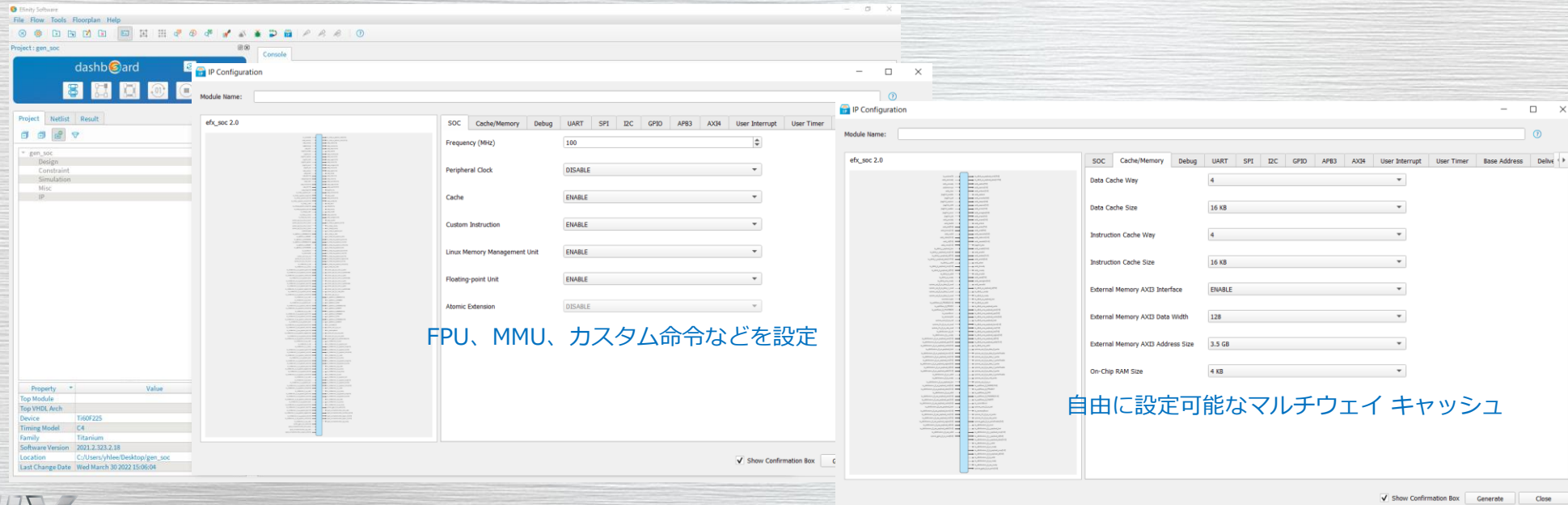


- ・ カスタム命令セットをサポートした自由度の高い RISC-V SoC は、エフィニックス FPGA 上で最高の優位性を引き出します

	当社 Sapphire SoC	I社 NIOS-V/m	M社 Mi-V	L社 RiscV MC
RISC-V ベース アーキテクチャ	RV32IM	RV32IA	RV32IAMF	RV32I
パイプライン ステージ	6 ステージ	5 ステージ	5 ステージ	5 ステージ
拡張オプション	A-、F-、D-、C-	-	-	C-
データ/命令 キャッシュ	ユーザが自由に設定	4KB、4KB	8KB、8KB	4KB、4KB
オンチップ RAM	ユーザが自由に設定	-	-	-
マルチウェイ キャッシュ制御	✓	-	-	✓
カスタム命令セット	✓	-	-	-
浮動小数点ユニット	単精度、倍精度	-	単精度	-
MMU	✓	-	-	-
マルチコア	✓	-	-	-
OS	FreeRTOS Linux Buildroot	uC/OS-II	-	-

使いやすい

- Efinity 統合開発ツールの IP マネージャから、**簡単に SoC を生成**
- RTL、組み込みソフトウェア、サンプルデザイン、テストベンチ等デザインに**必要な情報が自動生成**
- 生成後は、FPGA への組み込みは、そのまま Efinity で、ソフトウェアは **Eclipse ベースの RISC-V SDK** (無償) により開発、デバッグが可能



FPGA に最適な RISC-V のカスタム命令セット



• カスタム命令セットの優位点

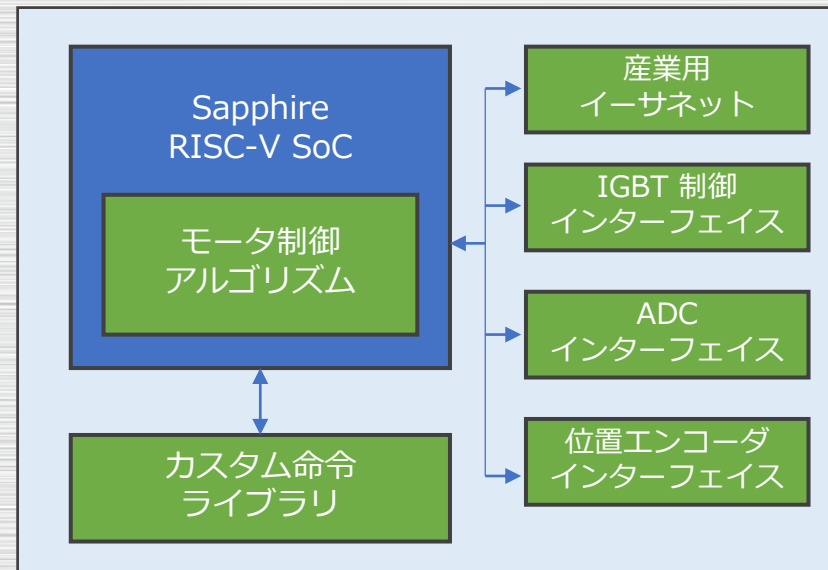
- ハードウェアとソフトウェアの設計上のトレードオフを中立的に解決
- アプリケーションの必要に応じて、定義し、実装することが可能
- より少ない RTL 設計工数で、顕著なスピードアップを実現
- ソフトウェア設計者からも使いやすい

• ASIC と比較した優位性

- FPGA は、コンフィギュラブルなので、ASIC のようにあらかじめカスタム命令セットを定義し、実装しておく必要がない
- 簡単に設計変更やアップデートが可能
- 特定のアプリケーションに限定したり、特定の処理または操作に限定したりする必要がない

• カスタム命令セット導入事例 (サーボモータ制御)

- カスタム命令セットによるモータ制御アルゴリズムの高速化
- **プラットフォームベース設計** - 100 以上の派生製品をカバーするアクセラレーションライブラリのリストを開発



エフィニックス RISC-V ロードマップ

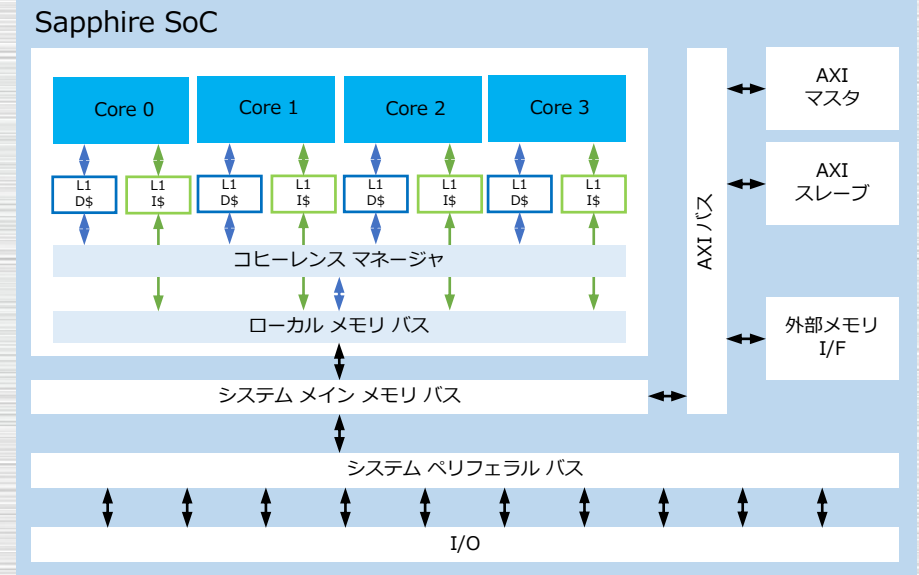


Linux Buildroot サポート

- Github にて公開中
- 次期 Efinity (2022.1) よりサポート開始
- Open-CV 等のオープンソースライブラリが簡単に Linux 上で実行可能

(対称) マルチ・プロセッサ サポート

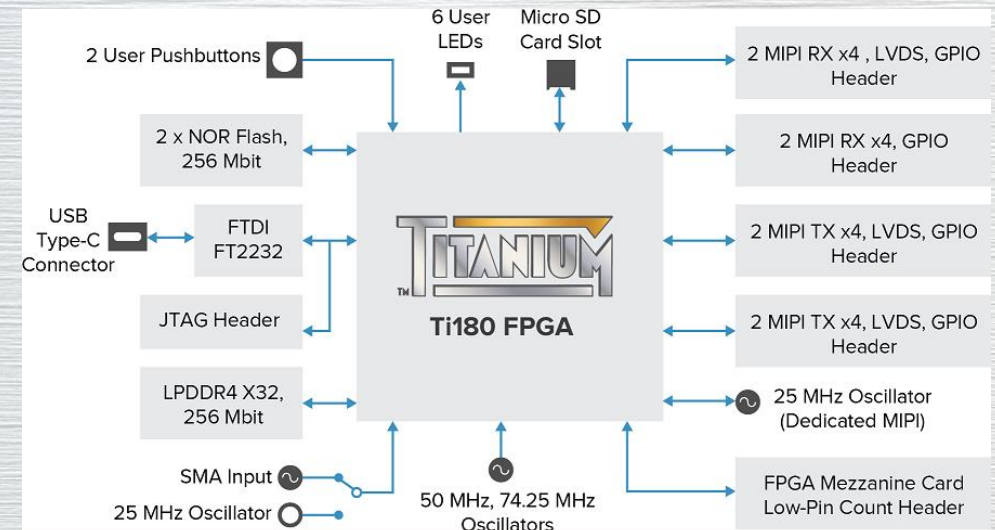
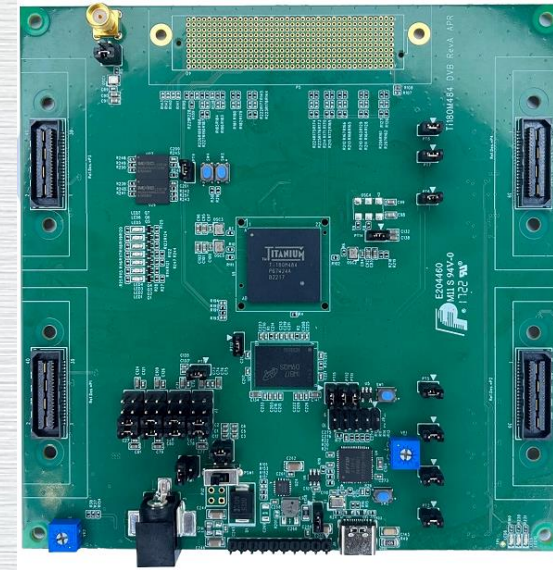
- 次期 Efinity (2022.1) よりサポート開始
- パフォーマンス・スケーリングを次のレベルへ



Ti180M484 開発キットのご紹介

- 主な機能

- Ti180 FPGA (484-ball FBGA パッケージ)
- LPDDR4 SDRAM (x32、256 Mb、最大 3,733 Mbps)
- SPI NOR フラッシュ x 2 個 (256 Mb)
- ドーターボード x 4 基板 (MIPI、LVDS、GPIO等)
- FMC LPC コネクタ
- microSD カードスロット
- USB Type-C コネクタ (プログラミング・デバッグ用)
- ユーザ LED x 6 個
- ユーザ プッシュボタン x 2 個
- クロック発振器 (25 MHz、50 MHz、74.25 MHz)
- クロック発振器 (MIPI 用 25 MHz)
- 12.0 V 電源コネクタ
- 予定販売価格: \$850



ライブデモのご案内

- エフィニックス Titanium FPGA、Trion FPGA を用いた各種デモ (生体情報・消費電力比較、リアルタイム画像処理、リアルタイム物体追跡 AI) を用意してお待ちしております。
- 5月31日(火) 16:00~17:00、18:00~19:00
 - <https://us02web.zoom.us/j/85452121727?pwd=VFV3N0FXN3hLRldCOFpXNGdSQXNsdz09>
 - Zoom Meeting room: 854 5212 1727 Password: 020850
- 6月1日(水) 10:00~11:00、12:00~13:00、17:00~18:00
 - <https://us02web.zoom.us/j/84675344541?pwd=K3NKYVI5Tm9Ia2NwbkJRZWVGdkVMQT09>
 - Zoom meeting room: 846 7534 4541 Password: 619686
- 6月2日(木) 11:00~12:00、13:00~14:00、16:00~17:00
 - <https://us02web.zoom.us/j/81080829017?pwd=Zk1LQ1V5ZUZuN1pIc3FsSmlxSlMyZz09>
 - Zoom meeting room: 810 8082 9017 Password: 669906



エフィニックス (Efinix) FPGAと ウーノラボ 1ステージ RISC-V による 究極電力効率の実現

株式会社ウーノラボ
UNO Laboratories, Ltd.
<https://www.unolabo.co.jp>



株式会社ウーノラボ 会社概要

© UNO Laboratories, Ltd.

2017年 設立

2018年 弘前大学と「組み込みプロセッサのマイクロアーキテクチャに関する共同研究」を開始

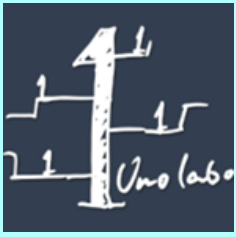
特許技術による高効率1ステージRISC-Vコアの開発を行っています。

RISC-V(RV32IM)適用1ステージコアの特長は、プログラムの読み出し時間の省略により演算を最適化し、1命令サイクルを1ステージ化して1クロックで処理することです。これにより、処理の無駄が発生しないエネルギー効率の高い動作を実現します。

IR(インストラクション・レジスタ)を取り除き、命令メモリからの命令(オペランドを含む)を直接命令デコーダに入れることにより、命令の読み出し時間を削減する。
⇒ノイマンボトルネックの軽減

適用例

- バッテリー交換が困難な場所で常時動作し続けることが求められるセンサノードなどのIoT機器への組み込み
- ヘルスケア用途を始めとする様々なモニタリングデバイスへの組み込み
- 画像処理のエッジコンピューティング



特許技術による1ステージRISC-Vコアの実装例

© UNO Laboratories, Ltd.

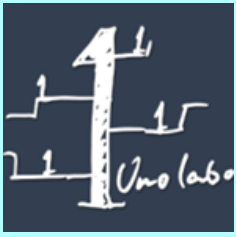
【1】FPGA

- ① 弘前大学との共同研究により、Xilinx社 Artix-7(100T)に実装
 - ・Arty A7を使用したDhrystone ベンチマーク(Version 2.2)512,000回ループにおける消費エネルギー(J)は、5ステージパイプラインの Micro Blaze の 6.4%となることを実証
 - *Micro Blaze:Xilinx社の32 ビット RISC Harvard アーキテクチャ ソフト プロセッサ コア
 - ・パルスオキシメータへの適用により、充電式単3電池 1個で2日以上連続動作が可能であることを実証

⇒ GCCE2021にて発表: Title: An Energy Efficient Processor Applicable to Continuous SPO2 Monitoring
- ② さらに低消費電力化のために、1ステージコアに適した回路規模の Efinix社 T20 BGA256 / Ti60 F225 に実装し、高効率動作を実証
- ③ Efinix社 RISC-V SoC(Sapphire SoC)への融合により、高効率動作を実証

【2】ASIC (弘前大学との共同研究)

- ① ROHM社 180nmプロセスを使用したASIC試作の完成(2022年 2月)
- ② ルネサスエレクトロニクス社 SOTB 65nmプロセスを使用したASICの完成予定(2022年 8月)



1ステージと5ステージの動作比較

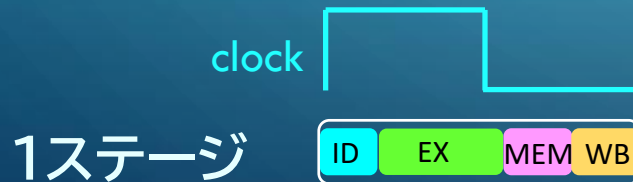
© UNO Laboratories, Ltd.

【アーキテクチャの比較イメージ図】

IF(命令の読み出し) ID(命令の解読とレジスタの読み出し) EX(命令の実行・アドレスの計算)
MEM(メモリの読み出し・書き込み) WB(レジスタへ実行結果の書き込み)



IF削除



特許技術により「命令の読み出しステージ(IF)」を削除
1命令サイクルを1ステージ化して1クロックで処理可能

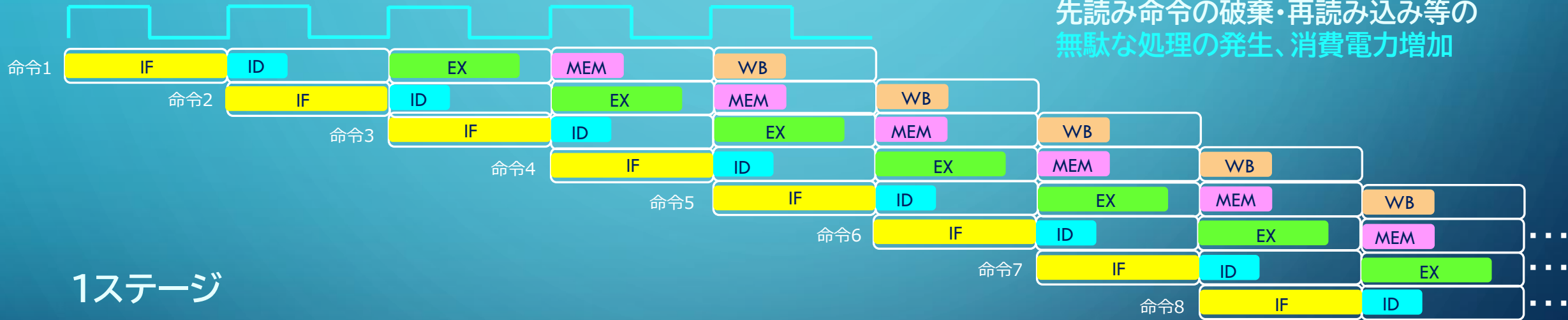
※1クロックあたりの処理量が増えるとクリティカルパスは長くなりますが
同一周波数では、パイプラインを超える処理効率を実現します。

※ LinuxやWindowsのOSのような大きなサイズのプログラムの格納には適しません
がRTOSの格納は可能です。



1ステージと5ステージパイプラインとの動作比較

5ステージパイプライン

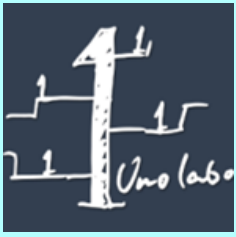


条件分岐や割り込み命令による先読み命令の破棄・再読み込み等の無駄な処理の発生、消費電力増加

1ステージ



条件分岐や割り込み命令が完了すると次のクロックで元の命令に復帰するためパイプラインのような無駄な処理は発生せず電力効率の高い動作が可能



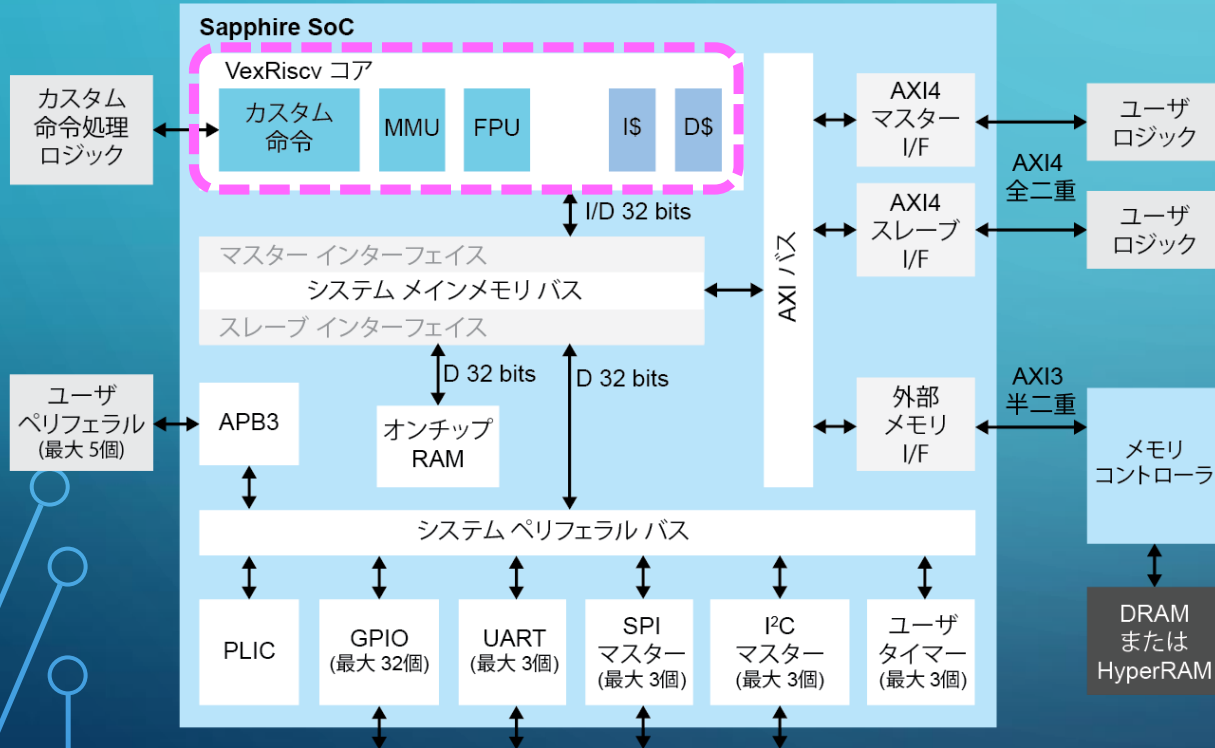
Efinix社 Sapphire SoCと 1ステージ/2ステージRISC-Vコアの融合

GitHub公開予定 電力効率重視の2ステージコアも公開 (1ステージと同様に命令の読み出し時間はなし)

© UNO Laboratories, Ltd.

6ステージパイプラインのVexRiscvコアを
1ステージ/2ステージコアに差し替え

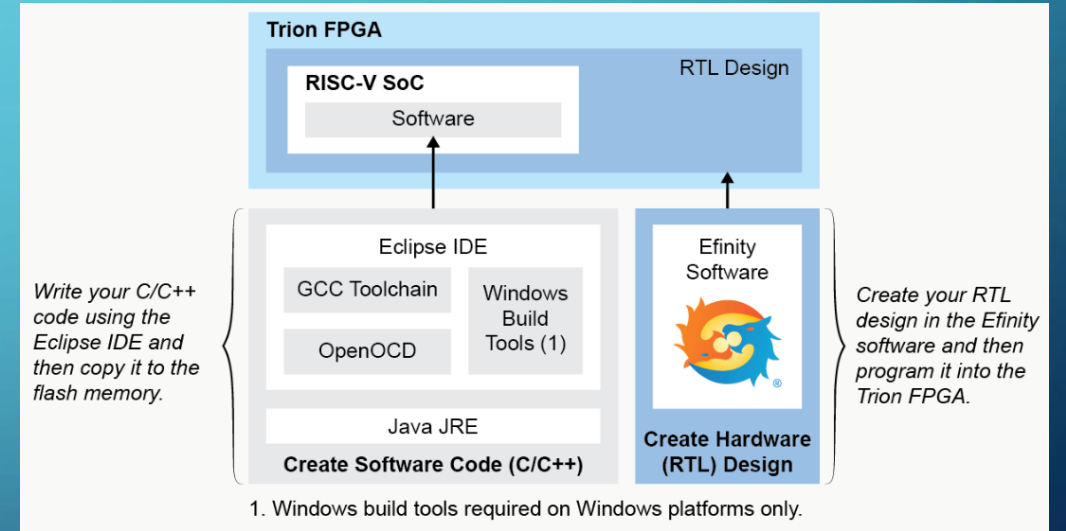
※エッジ・ビジョン SoCへの対応予定



Sapphire SoC のブロック図

1ステージ/2ステージコアのソフトウェア開発には
RISC-V SDKの使用可能

Sapphire SoC デザインフロー



1. Windows build tools required on Windows platforms only.

- Eclipse IDE (統合開発環境)
- RISC-V GCC コンパイラ
- RISC-V GDB デバッガ
- Open OCD デバッガ

ご参照URL: [Efinix, Inc. \(efinixinc.com\)](http://efinixinc.com)



電力効率比較: Titanium Ti60 F225

© UNO Laboratories, Ltd.

Dhrystone ベンチマーク結果

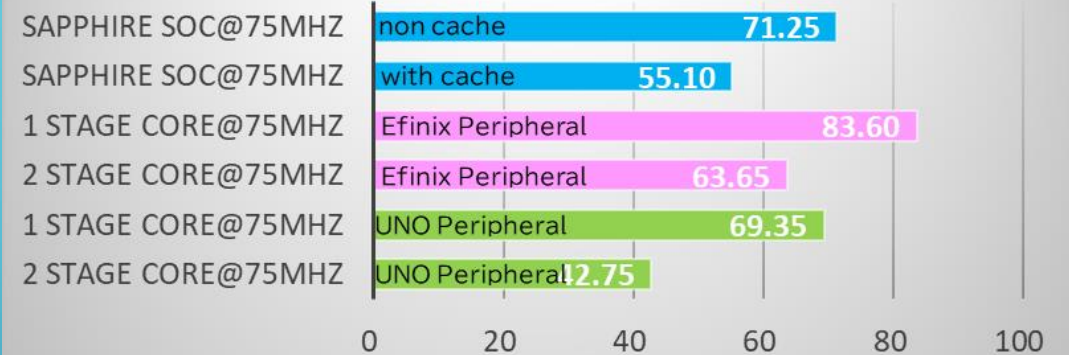
※512,000回ループ

Efinix FPGA	Titanium Ti60 F225 IMEM:32KB DMEM:32KB 75MHz			
	1-stage non cache	2-stages non cache	Sapphire (6-stages) non cache	Sapphire (6-stages) with cache
DMIPS/MHz	1.44	1.32	0.86	1.05
DMIPS/W *SoC (Efinix Peripheral)	1293	1552	906	1432
※ご参考 DMIPS/W *non SoC (UNO Peripheral)	1558	2311		

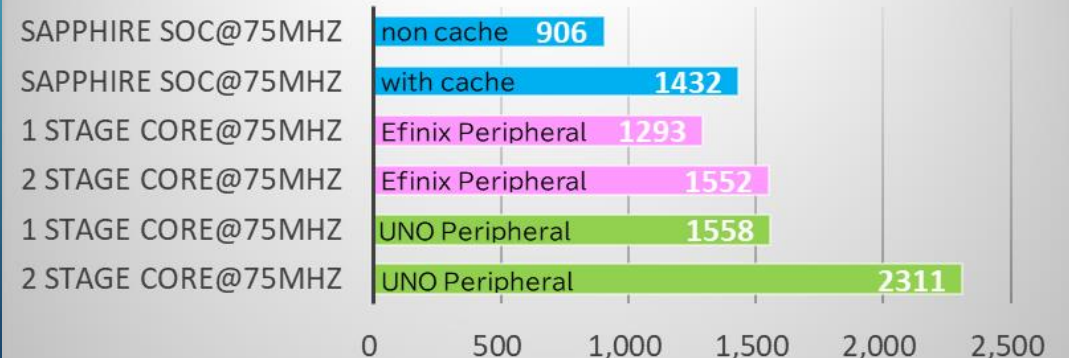
※当社比

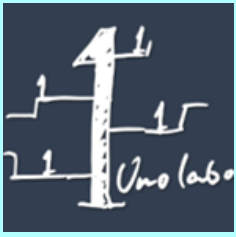
※1ステージ/2ステージコアにはcache不要

実行時コア増加電力 (mW)



電力効率 (DMIPS/W)





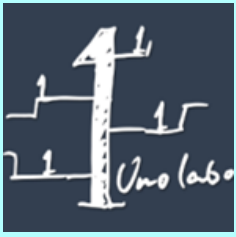
ロジック・リソース使用量比較: Titanium Ti60 F225

© UNO Laboratories, Ltd.

Titanium Ti60 F225 IMEM:32KB DMEM:32KB		CPU Core		
		FFs	LUTs	RAMs
Sapphire SoC	non cache	1616	2506	68
Sapphire SoC	with cache	1941	2872	80
1-stage Core *SoC (Efinix Peripheral)	non cache	2028	4948	64
2-stages Core *SoC (Efinix Peripheral)	non cache	1182	3201	68
*ご参考 1-stage Core *non SoC (UNO Peripheral)	non cache	1862	4739	64
*ご参考 2-stages Core *non SoC (UNO Peripheral)	non cache	1013	3128	68

※当社比

※1ステージ/2ステージコアにはcache不要



今後の計画

© UNO Laboratories, Ltd.

【リリース予定】

●無償評価版 Efinix Sapphire SoC(VexRiscv)差し替え用 1ステージ/2ステージ RISC-V(RV32IM)コア

※ 無償評価版は「暗号化+1時間使用制限付き」

*T20 BGA256/Ti60F225 対応

※ GitHubからダウンロード可能 <https://github.com/unolabo>.

●有償版 Efinix Sapphire SoC(VexRiscv)差し替え用 1ステージ/2ステージ RISC-V(RV32IM)コア

※ 1時間使用制限なし

*UNO Peripheral版 1ステージ/2ステージ RISC-V コアもリリース予定

【低コストなノーマリーオフコンピューティングへの挑戦】

弘前大学との共同研究によるASIC試作

① ルネサスエレクトロニクス社 SOTB 65nmを使用したクロック同期式ASICの試作の完成予定(2022年 8月)

② 1ステージ動作のメリットを活かしたクロック非同期式ASICの試作予定

<1ステージRISC-Vコアを実装した非同期式ASICのメリット>

*待機電力は限りなくゼロに近い

*非同期式回路の設計ツール不要、同期式の設計ツールの使用可能

エネルギー消費量を削減するプロセッサ開発により
エネルギーハーベスティング IoT機器普及への貢献を目指します



ご視聴ありがとうございました

株式会社ウーノラボ

<https://www.unolabo.co.jp>

代表取締役 福島 眞粧美