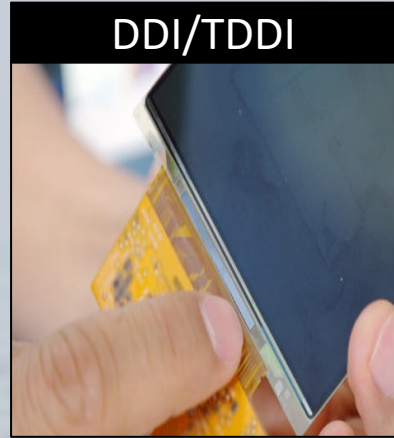
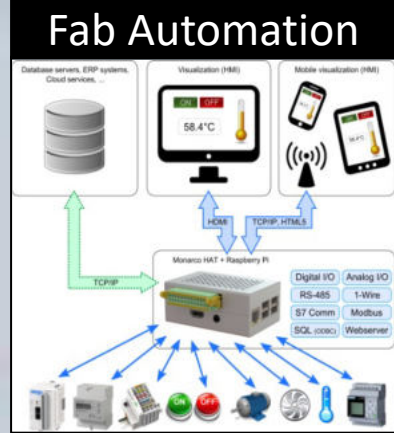


次世代プロセッサで IoT の未来を実現

トリトン株式会社
シニアアドバイザー
佐藤 啓昭

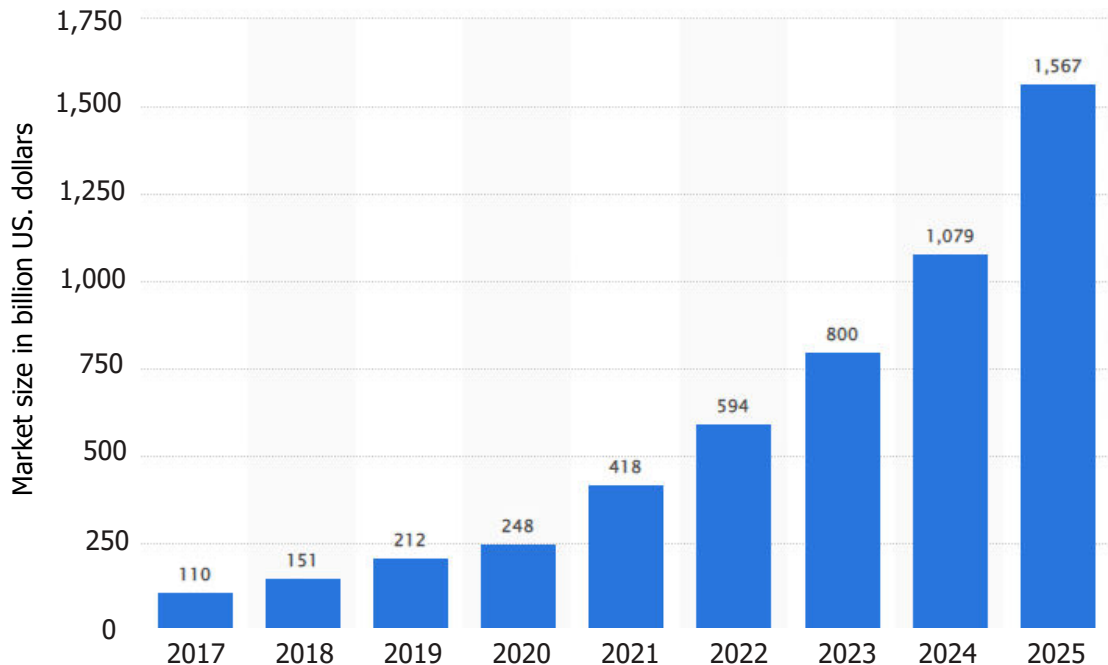
多様かつ成長するIoT組み込みアプリケーション



2025年までのIoT市場予測



- ◆ 2025年までに、200億個を超えるIoT接続デバイスが登場します。
- ◆ IoTの収益は約1兆6,000億ドルに成長すると予想されます。

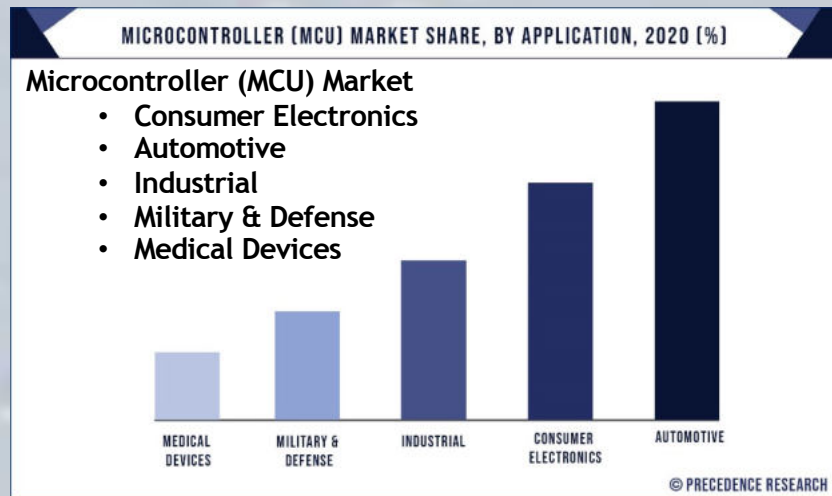
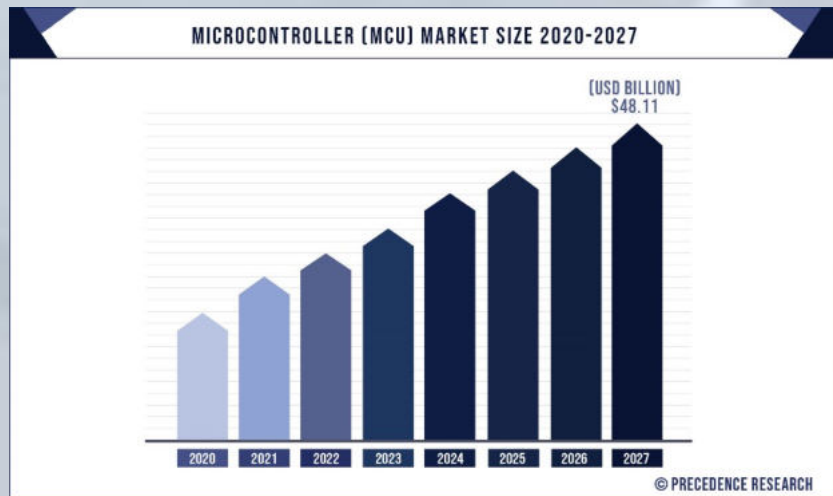


Source : Statista 2023

MCU市場の着実な成長予測



世界のマイクロコントローラー（MCU）市場は、2019年に214億米ドルと評価され、2027年までに481億米ドルに達すると予想されており、2020年から2027年の予測期間中に年平均成長率（CAGR）10.6%で成長する見込みです。



<https://www.precedenceresearch.com/microcontroller-mcu-market>

Andes Technology Corporation



会社概要



Pure-play CPU IP Vendor



18-year-old
Public Company



オープンソースの貢献と維持

Hsinchu, TW (HQ)



RISC-V International (RVI)での役割



Founding & Premier Member



Frankwell Lin

Director of the Board



DSP Task Group



Charlie Su

Technical Steering Committee



TEE Task Group



Florian Wohlrab

Ambassador



Fast Intr. Task Group

これまでの実績

5th gen architecture
AndeStar™ V5, RISC-V adopted

400+
Employees, 80% R&D

300+
Worldwide
Licensees

80K+
AndeSight IDE
installations

~12Bn+
Total shipment of
Andes-Embedded™ SoC

業界を支えるリーダーとしてのRISC-V



Mobile



Mobile AP

TDDI

Billions shipment of connectivity, touch, and sensor hub.

IoT MCU



RENESAS

Performance, safety and customization enabling innovative ASSP MCU



Telink

Serving mainstream audio, wearables and IoT development needs

AI



SK telecom

Configurable and efficient core to power high-performance AI

Datacenter Cloud Solution

Vector and ACE-enabled cores for optimized AI Accelerators

5G



a customizable ISA in a disruptively innovated manner

picocom
Empowering Wireless

Small but powerful cores for max flexibility

Storage



Efficient cores to enable scalable performance for enterprise storage



Flexible interface to construct small MP for consumer storage

AndesCore™ 製品のシリーズ展開



AX60 Series 13-stage OOO MP	AX6x-SE		AX65		A72~A76; X1/V1/...
<i>Categories</i>	FUSA	<i>Power-efficient</i>	<i>Mid-range</i>	<i>Extended</i>	
45 Series 8-stage superscalar	D45-SE	N45, NX45	D45 NX45*	A45(MP), AX45(MP) AX45MPV	A53/55, R52/82, M7
27 Series 5-stage MemBoost			NX27V	A27(L2) AX27(L2)	A5/7/35
25 Series 5-stage fast & compact	N25F-SE D25F-SE	N25F, NX25F	D25F	A25(MP) AX25(MP)	A5/7/35, R4/5, M4/33
Entry Series	D23-SE	N22	D23		M0/0+/3/33/4
<i>Categories</i>	FUSA	<i>Embedded Control</i>	<i>DSP/Vector</i>	<i>Linux AP</i>	<i>References</i>

Note *: AX45MPV configured as one core

- Coming up new cores: AX65, AX45MPV, D23, N25F-SE
- Safety Enhanced Series: 少なくとも 1 年に 1 つ



AndesCore™ AX65

マルチコア スーパースカラ アウトオブオーダー プロセッサ

Andes AX60 プロセッサ シリーズ



■ 新しい世代のAndesCore™

- 4ウェイスーパースカラアウトオブオーダー実行
- 13ステージパイプライン
- TAGE分岐予測器とLoop Predictionをサポート
- 1 クラスタで最大 8 コア搭載可能
- Andesの長期ロードマップによるサポート
 - AX65はAX60シリーズでは初代のプロセッサ
 - AX60 マイクロアーキテクチャにおいて車載向け機能安全をサポートする製品計画

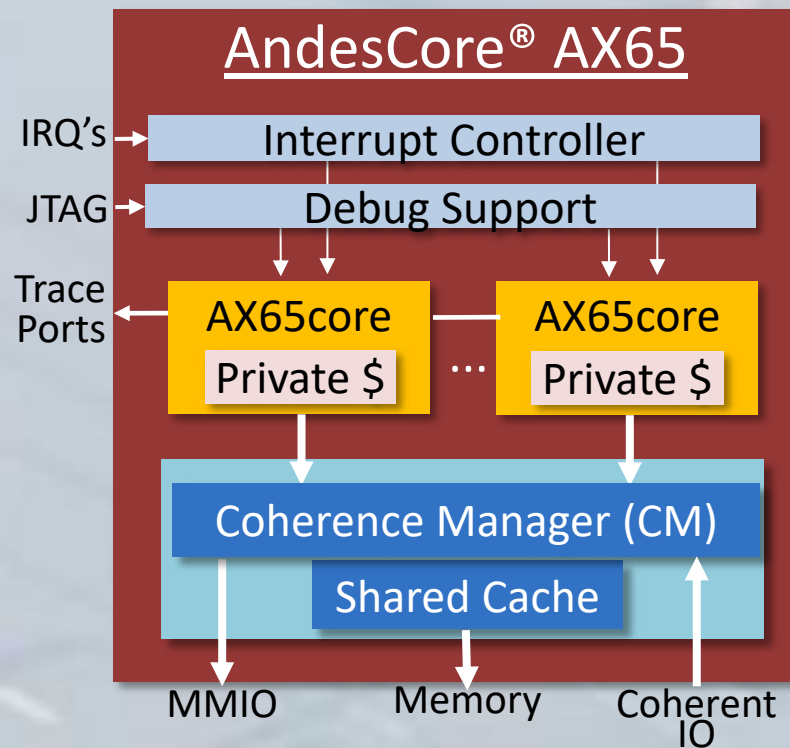
■ AndesCore™ AX65

- CA72を超える性能を実現
- > 2.5 GHz、AX45MP の 2 倍を超える GHz あたりのパフォーマンス
- Engaging with early customers

AndesCore AX65: AX60シリーズで初代AX65



- 64-bit, RV64GCBK
- MMU搭載、Linuxをサポート
- 128エントリリオーダーバッファROB
- エンハンスされたPLIC
(Platform-level Interrupt Controller)
- 2レベルブランチターゲットバッファBTB
- 1024エントリまでの4ウェイ
セットアソシシアティブL2 TLB
- Level 1 I/D Caches
 - Size: 8KB - 64KB
 - セットアソシシアティブ: 2way or 4 way
- Level 2 I/D Unified Cache
 - Config: 128KB - 8MB
 - 16-way pseudo random replacement
 - 256 bit I/O coherence
- 256-bit AXI4, MMIO and IOCP Buses



Information subject to change without notice

パフォーマンス結果



AndesCore	AX27L2	AX45MP (over AX27L2)	AX65 (over AX45MP)
Micro-architecture	5 stage scalar In-order	8 stage dual-issue in order	13 stage quad-issue OoO
Freq. (7nm)	~2 GHz	>2 GHz	>2.5 GHz
Coremark/MHz	3.55	5.64 (+59%)	9.17 (+63%)
EEMBC FPMark/MHz	27.0	35.2 (+30%)	64.6 (+84%)
Linpack MFLOPS/MHz	0.130	0.220 (+69%)	0.639 (2.9x)
Mem Bandwidth/MHz	1.0x	1.40x (+40%)	2.8x (2x, target)
Specint2k6/GHz	2.82	3.46 (+23%)	> 7 (>2x, target)

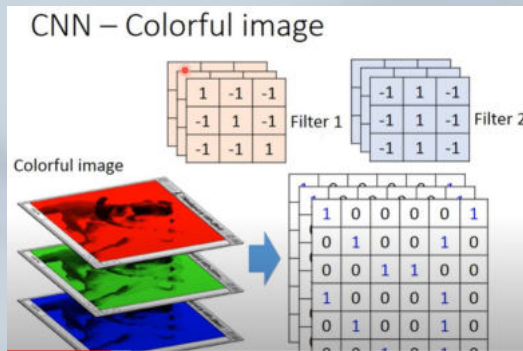
Note: Information subject to change without notice



AndesCore™ AX45MPV

マルチコア 1024-bit ベクター プロセッサ

ベクター機能：適応アプリケーション



Convolutional
Neural Network

ChatGPT /
Transformer
NLP

OpenAI

ChatGPT: Optimizing Language Models for Dialogue

We've trained a model called ChatGPT which interacts in a conversational way. The dialogue format makes it possible for ChatGPT to answer followup questions, admit its mistakes, challenge incorrect premises, and reject inappropriate requests. ChatGPT is a sibling model to InstructGPT, which is trained to follow an instruction in a prompt and provide a detailed response.

TRY CHATGPT



Edge AI

Data
Center



AX45MPV: Linux マルチコア ベクター プロセッサ



■ AndesCore™人気の45-シリーズ プロセッサの新機種

- AX45MPV のすべての機能を継承し、NX27V ベクトル エンジンから 3 年以上のフィールド経験を反映
- 64ビットインオーダー8ステージ デュアルイシュープロセッサ
- 8 MB の L2 キャッシュをサポートする最大 8 コア SMP
- デュアルイシュー 1024ビット Vector Processing Unit (VPU)は、サイクルごとに最大 6 個のデータ演算を実行

■ AndesCore™ AX45MPV

- AI 推論/トレーニング、ADAS、AR/VR、コンピューター ビジョン、マルチメディアを対象
- Engaging with early customers

AX45MPV: コアおよびマルチコア クラスタ



■ ISA: RV64GCBP*(draft) + V

■ 8ステージ インオーダー デュアルイシュー

■ スカラーユニット: 構成を設定可能

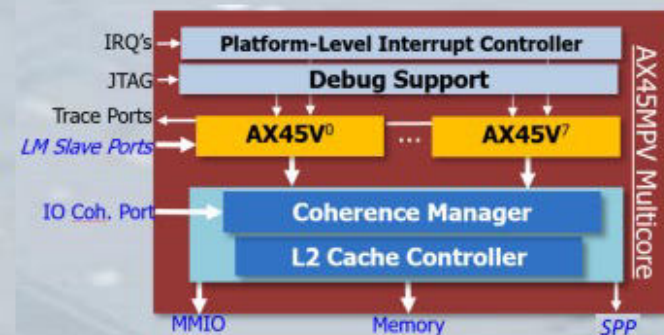
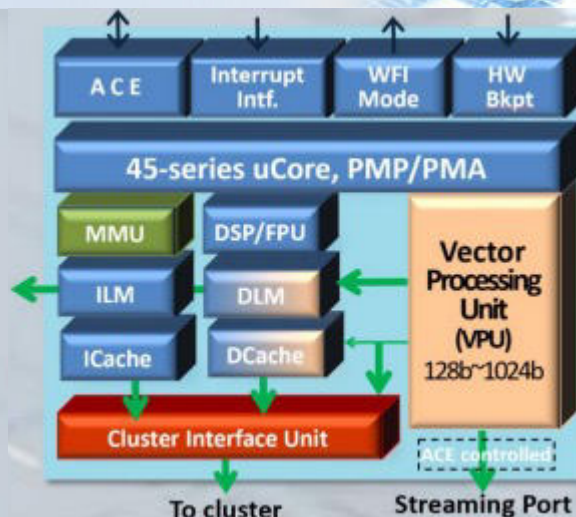
- MMU/SV48, M/S/U modes
- FPU, DSP
- I/D caches: 8K~64KB; Parity (I\$) or ECC (both)
- I/D LM: 0~16MB, dynamic wait-cycle, and ECC
- Andes Custom Extension™ (ACE)

■ コヒーレンスマネージャー/L2\$ サブシステム

- 32KB to 8MB, 64B line, 16-way
- Multi-cycle support for high-density SRAMs
- Instruction/data prefetch, up to 64 outstanding requests

■ AXI バスインターフェイス

- Bus clock: N-to-1 or asynchronous
- Width: 128/256/512 bits except 64-bit SPP



AX45MPV: コアおよびマルチコア クラスター

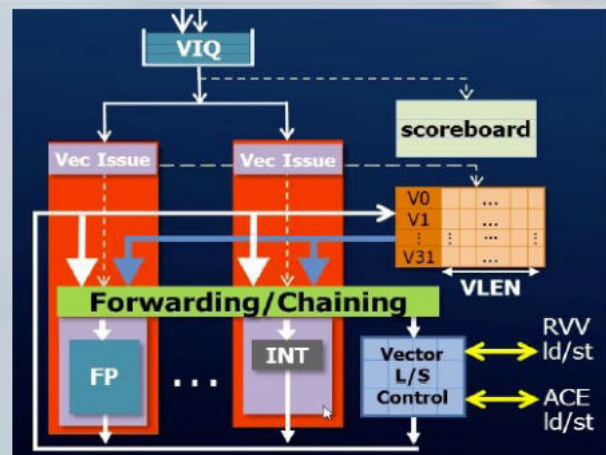


■ RISC-V ベクター拡張 (RVV v1.0)

- data format: int8~64, fp16~64; int4, bf16
- VLEN/DLEN: 128~1024 bits, 1:1 or 2:1 ratio
- Up to 5 DLEN results per cycle (6 with FMAC2)

■ ベクターパイプライン

- Up to 2 RVV instructions/cycle can enter VIQ in EX
- Most functional Units are pipelined and chainable
 - INT: ALU, MUL/DIV, Permute
 - FP: FMAC1, FMAC2, FMISC
 - Others: LDST, ACE-RVV

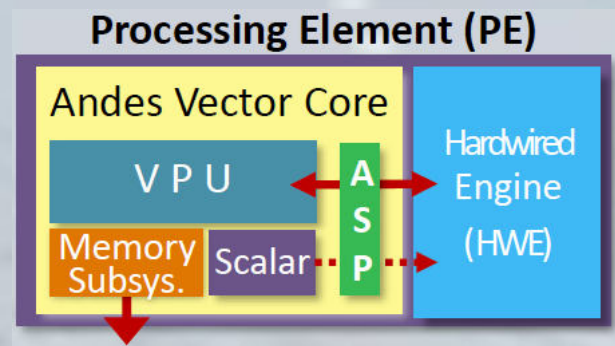


■ ACE はHWE(Hardwired engine)とフレキシブルな制御

- Andes Streaming Port™ (ASP)
- ACE-RVV: VPUでカスタムRVV命令を実行

■ NX27Vとパフォーマンス比較 (when VLEN/DLEN are the same)

- Compute-bound loop: **20%~40% faster**
- Memory-bound loop: **30~50% faster**





AndesCore™ D25F-SE / N25F-SE

車載向け機能安全 (FUSA)

Andes Technology ISO 26262 認定

- “The development process for developing Functional Safety related components up to ASIL D”
- Complies with ISO 26262 edition 2018 requirements:
 - ISO 26262-2:2018
 - ISO 26262-4:2018
 - ISO 26262-5:2018
 - ISO 26262-6:2018
 - ISO 26262-8:2018
 - ISO 26262-9:2018
- The development and support process confirms in accordance with ISO 26262
- Certification Body
 - SGS-TÜV Saar GmbH
- ✓ SGS technical report with German accreditation body DAkkS logo

SGS **SGS TÜV SAAR**

CERTIFICATE NO.: FS/71/220/20/0639 PAGE 1/1

LICENCE HOLDER

ANDES TECHNOLOGY CORPORATION
19F., NO. 1, SEC. 3, GONGDAO 5TH RD., EAST DIST.,
HSINCHU CITY
TAIWAN R.O.C 30069

Project-No./ID: LICENSED TEST MARK Report No.

P30L **SGS TÜV SAAR** FUNCTIONAL SAFETY APPROVED P30L0001

Tested according to ISO 26262:2018

Certified Process Development process for Functional Safety related components up to ASIL D Version V1.02020911

Technical Data/Parameter The audited development process complies with the ISO 26262 standard part requirements

ISO 26262-2:2018	ISO 26262-6:2018
ISO 26262-4:2018	ISO 26262-8:2018
ISO 26262-5:2018	ISO 26262-9:2018

Specific Requirements The certificate is created for the purpose of providing conformity of the development and support process in accordance with ISO 26262. Changes which are not covered in the Audit Report have to be reconsidered.

Certification Body for Functional Safety
SGS-TÜV Saar GmbH

Munich, December 22nd, 2020

Marcus Ratz
Marcus Ratz

The test mark registration is an integral part of this certificate.
SGS TÜV Saar GmbH, Schloss Reichartshausen, D-24107 Brunsbüttel, Deutschland | Germany
Website: www.sgs-tuv-saar.com | E-Mail: info@sgs-tuv-saar.com

TÜV SAAR

CERTIFICATE

N25F-SE 業界初の ISO 26262 完全準拠 RISC-V プロセッサ

- “The product has been approved in compliance with ASIL B requirements”
- ISO 26262 Edition 2018, parts:
 - ISO 26262-2:2018
 - ISO 26262-4:2018 (partly)
 - ISO 26262-5:2018
 - ISO 26262-8:2018
 - ISO 26262-9:2018
- Certification Body
 - SGS-TÜV Saar GmbH
- ✓ SGS technical report with German accreditation body **DAkKS** logo



D25F-SE : DSP/SIMD機能付きFuSaプロセッサ



■ CPU コア

- AndeStar™ V5 Instruction Set Architecture (ISA)
 - RISC-V 32-bit, RV32GC + Andes Extensions
 - RISC-V P(draft) and B extension
 - Machine + User (M+U) privilege levels
- 5-stage pipeline architecture
- Dynamic branch prediction with BTB, BHT, RAS
- CoDense™ code size reduction, StackSafe™ stack protection

■ メモリサブシステム

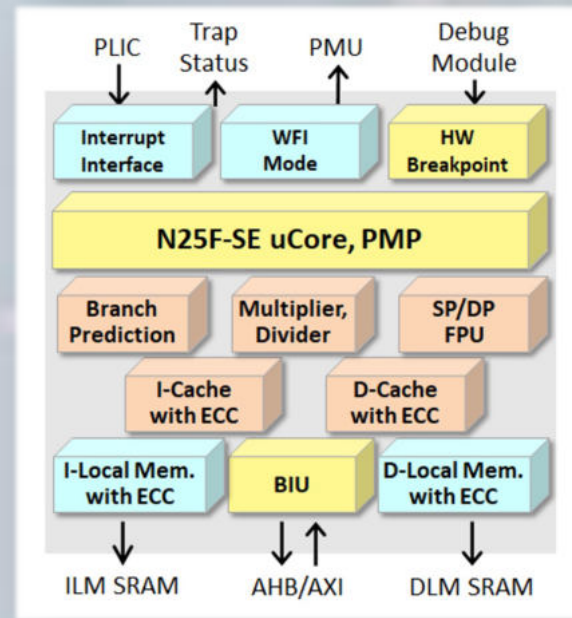
- Support I/D cache up to 32KB each,
- Support I/D local memory up to 16MB each, with slave port interface for bus master direct accesses

■ バスインターフェイス

- AXI or AHB bus master port
- N:1 CPU clock vs. bus clock ratio

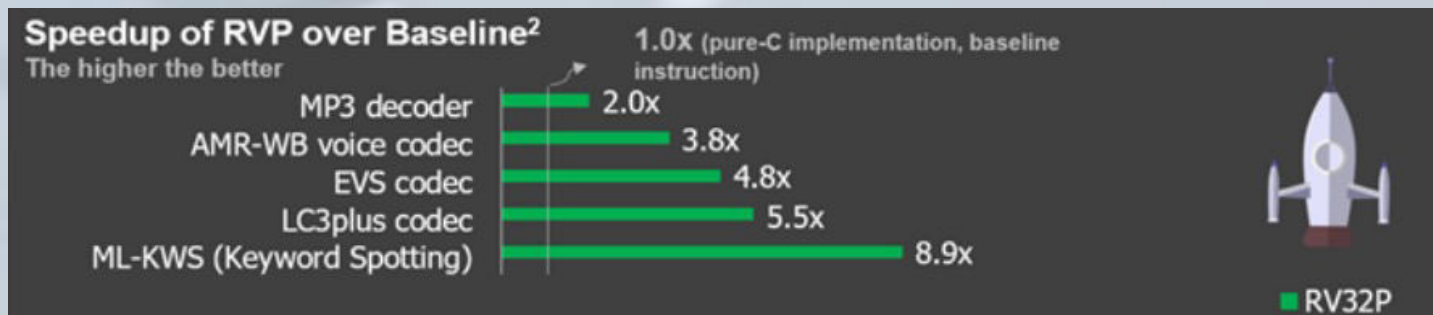
■ その他

- Platform-Level Interrupt Controller (PLIC), WFI power management, Debug interface
- 安全マニュアルと FMEDA レポートを含む安全パッケージ



D25F-SE DSPと暗号化

- **RVP** :オーディオ/音声コーデックおよびエンドポイント **AI/ML** 用の強力な **DSP/SIMD** 命令。
- **32** ビット データに蓄積されたクワッド **8 x 8** などの **SIMD** 命令
- **320** を超える機能をサポートする **DSP** ライブラリ



- **RVB** :暗号化やチェックサムなどのコードに対する効率的なビット操作
- 最新の **RVB ISA-拡張 Ver 1.0.0**:
 - アドレス生成、基本的なビット操作、キャリーレス乗算、シングルビット命令
 - Crypto演算の加速化: SHA256を**27%**改善 , AESを**19%**改善 , MD5を**16%**改善



AndesCore™ D23

コンパクト, セキュア, 低消費電力のコントローラ

D23 : コンパクト, DSPオプションのセキュアプロセッサ



- ISA
 - ◆ Compliant with RISC-V GCBP , K(Scalar Crypto) , CMO, Zce extensions
 - ◆ Security – ePMP, sPMP, programmable PMA, secure debug
 - ◆ AndeStar V5 ISA extension - Stacksafe™ , CoDense™, PowerBrake, WFI/WFE
 - ◆ Andes custom extension™ (ACE) support

- **32-bit 3-stage pipeline CPU, some dual-issue capability**

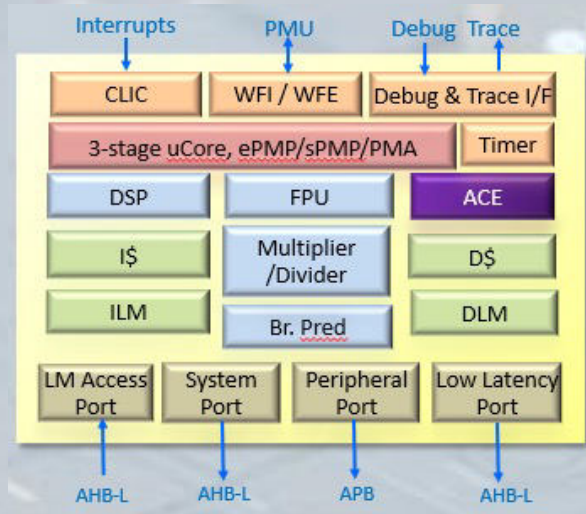
- Max freq: up to 800 MHz (28nm), Gate count: <50k(for min. useful config)
- >4.1 Coremark/MHz and >2.0 DMIPS/MHz

- **Configurable options**

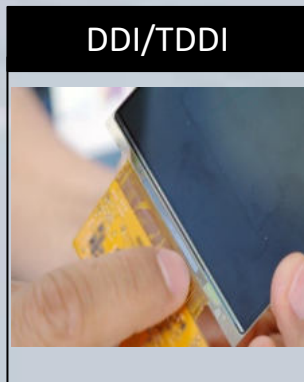
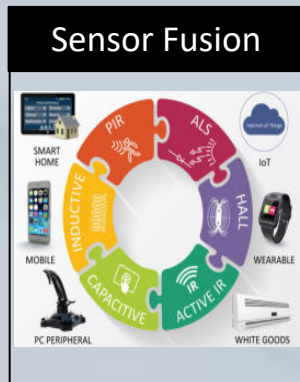
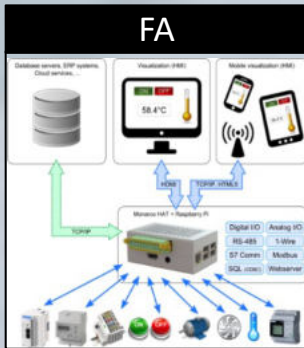
- I/D Caches(up to 32kb) and local memories (up to 512MB)
- Memory soft error protection by parity or ECC
- Static or Dynamic branch prediction
- Multiplier optimized for performance or area

- **SoC integration support**

- 4-wire JTAG or 2 –wire serial debug
- Integrated Peripheral : machine timer + debug module
- CLIC and PLIC for interrupt handling



多様かつ成長するIoT組み込みアプリケーション



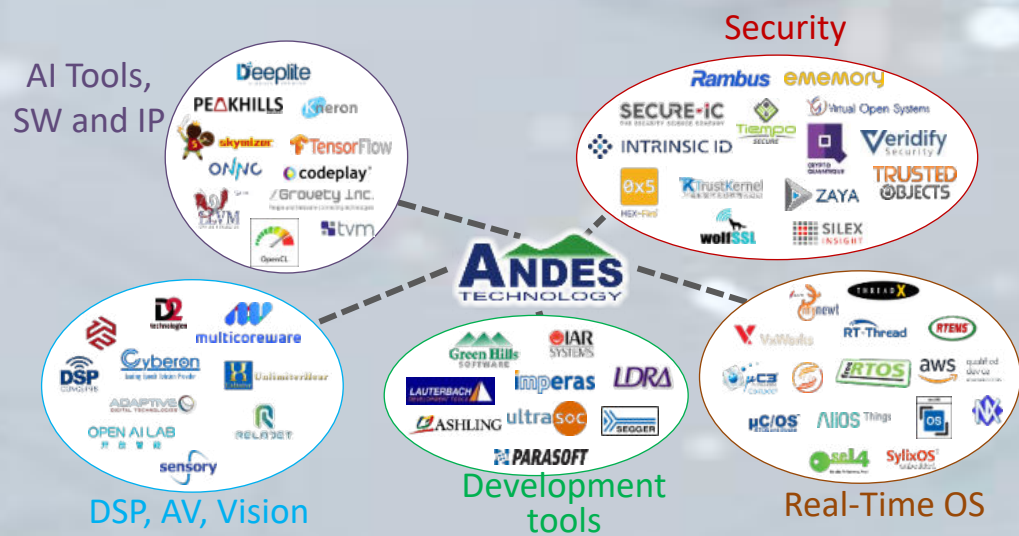
Applications	D23 Capability fit
DDI, TDDI	Small gate count
Wireless controller core (WiFi, BT or others)	Security, small gate count
Smart Home Appliance	Security, performance, small gate count
Wearable	DSP (Edge AI), Security
E-Toys	DSP (Speech and Sound Processing)
RF Sensor control	DSP (Edge AI, Front-End Signal/Protocol Stack Processing)
MEMS/Sensor Fusion	DSP (Edge AI, Front-End Signal processing)
Battery or charging control	Performance
Advanced Motor Control	DSP

RISC-V これまでの展開と今後



- RISC-V は、SoC およびコンピューティング プラットフォームのプロセッサの主要な選択肢です。
- Andes は高品質の RISC-V ソリューションの開発を続けています。

AX65	AX45MPV
Multicore Out-Of-Order Application Processor	Multicore 1024-bit Vector Processor
D23	N25F-SE
Tiny and Secured Processor	ISO 26262 Fully-Compliant Processor



- アンデスには、お客様の成功を支援するための最善の設備が整っています。



~18 years, 300+ customers, 80K+ IDE users, 12B+ customer SoC



ご聴講有難うございました

Thank You !