



③ RISC-V から始まった半導体民主化

# RISC-Vプラットフォーム整備に向けて

Toward development of RISC-V platform

2024年1月16日

JASA RISC-V WG主査

小檜山智久\*

\*(株)日立産機システム



1. より緊密に
2. JASA RISC-V WGについて
3. RISC-V WGの活動の概要
4. まとめ



1. より緊密に
2. JASA RISC-V WGについて
3. RISC-V WGの活動の概要
4. まとめ

# 1. RISC-V協会さんと相互会員になりました



Became mutual members with RISC-V Association

- ◆ JASA RISC-V WGはこれまでも**一般社団法人RISC-V協会**さんと協創活動を行ってききましたが、昨年度、JASAとRISC-V協会は相互に賛助会員となりました
- ◆ これにより、相互の会員がより一層コラボレーションの推進が容易になりました

2023年11月開催のEdgeTech+ではJASAとRISC-V協会は相互に賛助会員となり、共同でRISC-V WGコーナーに展示しました。



システム



ハードウェア委員会 RISC-V WG

RISC-Vプラットフォームの整備 関連団体との協創活動

組込みシステム技術協会 RISC-V WG × RISC-V協会

- これまでJASAとRISC-V協会は展示会等で協創活動を行ってききましたが、このたび相互に賛助会員となりました
- このため、それぞれの会員は相互に会員としてメリットを享受できるようになりました

昨年度までのFPGAベースに加え、今年度はチップ製作に取り組んでいます

〔32ビット/Arduino版〕		〔64ビット/LINUX版〕	
2020年度	2021年度	2022年度	[2020~2022]
・Rocket ChipのFPGAへの実装	・VS-Codeによるデバッグ環境構築	・64ビット版RISC-VコアFPGA実装	FPGAベースのリファレンスモデル [2023~] ASICベースのリファレンスモデル
・ブートローダ開発		・LINUXカーネル移植	
・Arduino環境移植		・ブート環境	

市販FPGAボードにRISC-Vコア実装 (32ビット版)  
・ブートローダを開発  
・Arduino IDE環境を移植  
・VSCデバッグ環境をセットアップ

市販FPGAボードにRISC-Vコア実装 (64ビット版)  
・LINUXが動作できる環境を構築  
・手順をまとめたWebコンテンツを制作

成果の公開 会員/会員企業様ご協力内容

手順通りやれば初心者でも同じものを実現できるガイドコンテンツ

拡張機能IP Codaship

Linux TEE INSTITUTE OF INFORMATION SECURITY

オープンPDK ISHI

半導体設計検証 VERIFORE

オープンハード TAT 東京農工大学

システム RISC-V協会

2022年度に整備した64ビット版RISC-VコアのFPGAへの実装と、LINUXが動作するまでの手順を日英のバイリンガルでWebページにまとめました。RISC-V WGのページからリンクしています。

共通展示パネル



1. より緊密に
- 2. JASA RISC-V WGについて**
3. RISC-V WGの活動の概要
4. まとめ

# 2-1. JASAについて



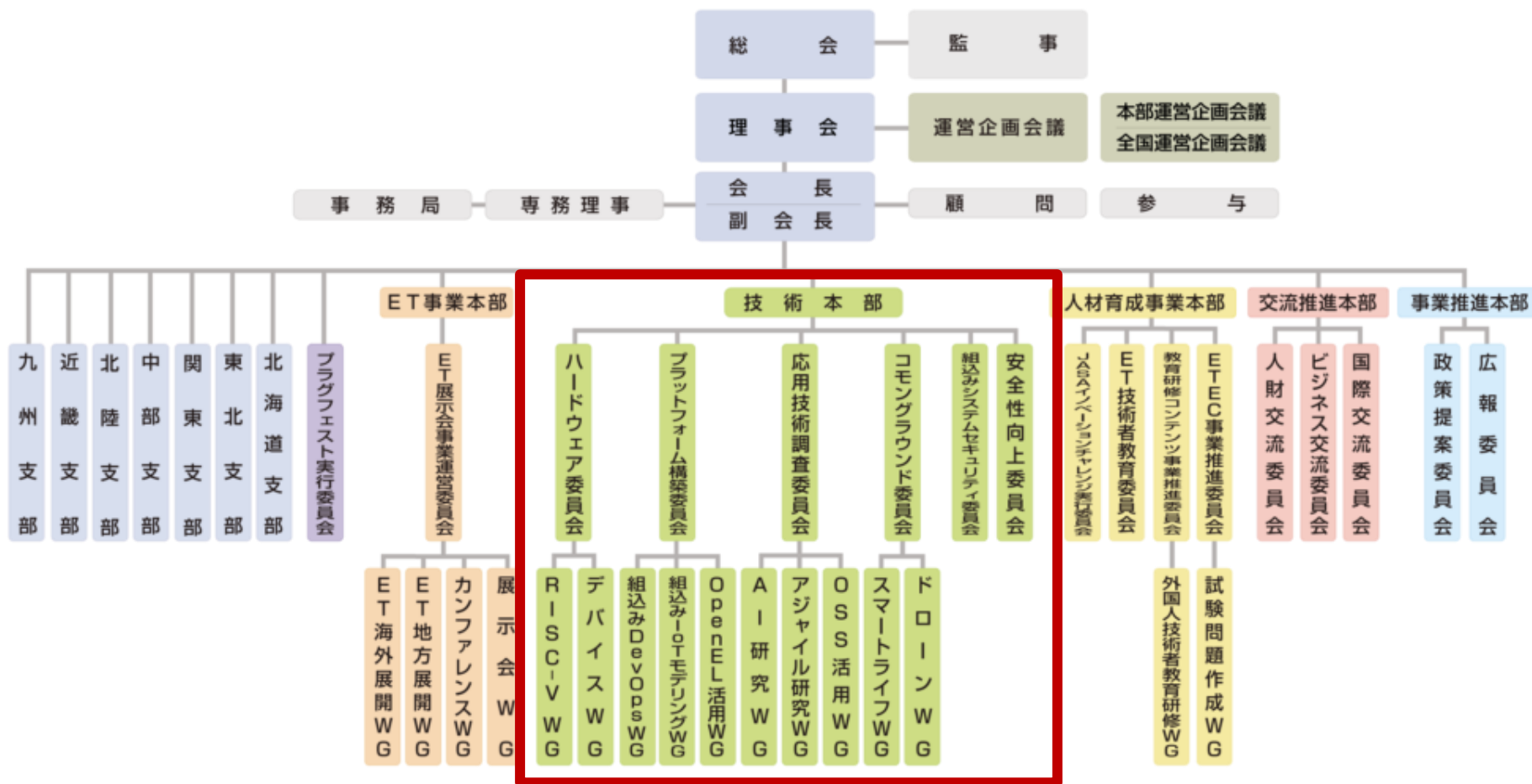
About JASA

名称	一般社団法人 組込みシステム技術協会 (Japan Embedded Systems Technology Association 略称「JASA」)
会長	竹内 嘉一
事務局	本部：東京都 中央区 入船 1-5-11 弘報ビル5階 支部：北海道、東北、関東、中部、北陸、近畿、九州
目的	<b>組込みシステム</b> （ <b>組込みソフトウェアを含めた組込みシステム技術</b> をいう。以下同じ。）における <b>応用技術に関する調査研究、標準化の推進、普及及び啓発</b> 等を行うことにより、 <b>組込みシステム技術の高度化及び効率化を図り</b> 、もって我が国の産業の健全な発展と国民生活の向上に寄与することを目的とする。
事業	<ul style="list-style-type: none"><li>(1) 組込みシステム応用技術に関する品質、生産性、信頼性、セキュリティ等に関する技術開発及び標準化の推進</li><li>(2) 組込みシステム技術に関する人材育成、地域振興及び国際交流の推進</li><li>(3) 組込みシステムに係る技術・環境・経営及び貿易・投資に関する調査研究並びに情報の提供</li><li>(4) 組込みシステム技術などに関する内外関係機関との情報交流及び連携の推進</li><li>(5) 組込みシステム応用技術の普及啓発</li><li>(6) 本会の会員に対する福利厚生に関する事業の推進</li><li>(7) その他本会の目的を達成するために必要な事業</li></ul>
会員数	<b>正会員・支部会員：145社、賛助会員：28社、 学術会員：3団体、個人会員：9名</b> （2023年4月1日現在）
設立	昭和61年8月7日（平成24年4月1日 一般社団法人へ移行）

# 2-2. RISC-V WGの位置づけ ①



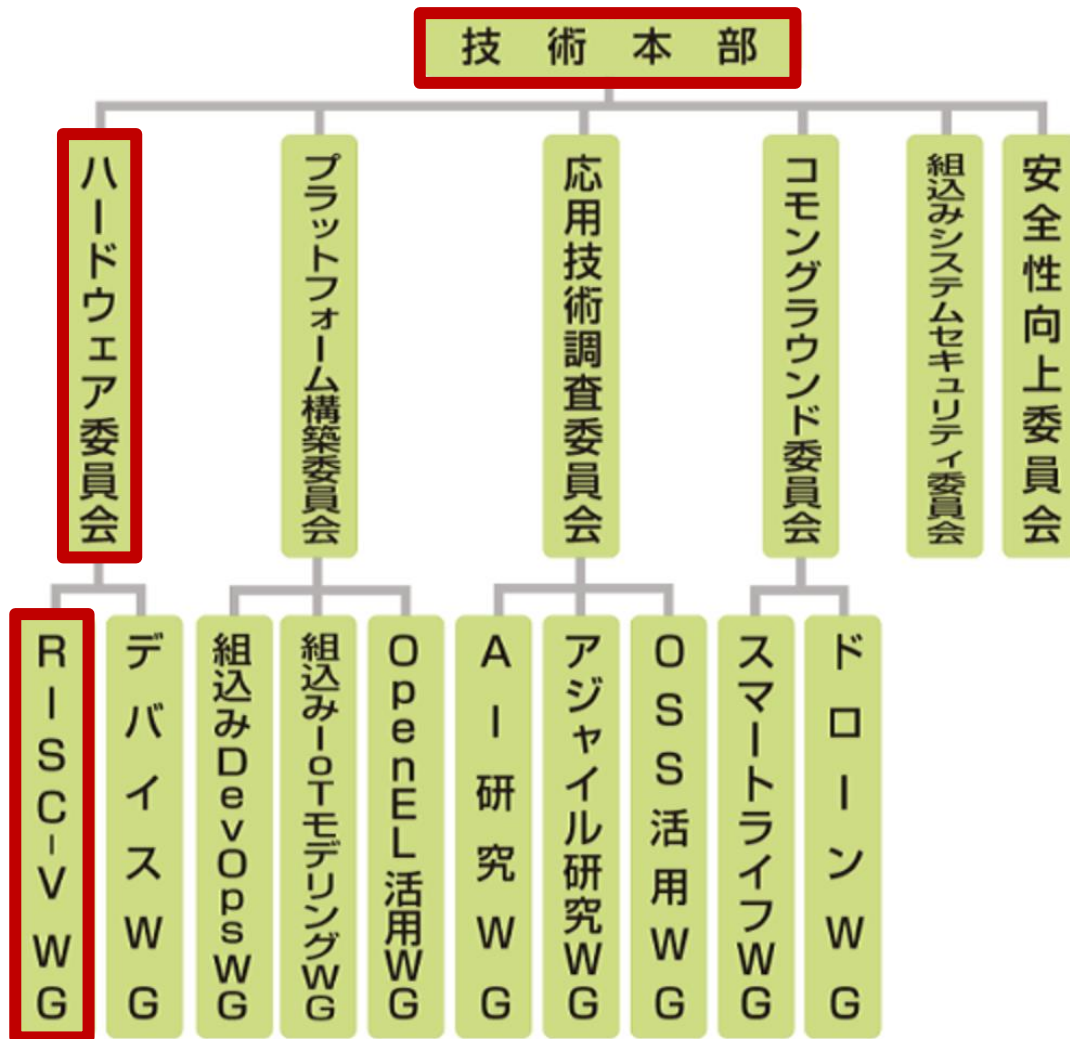
Positioning of RISC-V WG



# 2-3. RISC-V WGの位置づけ ②



Positioning of RISC-V WG



《WGメンバ》  
・委員：15社, 3校  
26名





1. より緊密に
2. JASA RISC-V WGについて
- 3. RISC-V WGの活動の概要**
4. まとめ

# 3. JASA RISC-V WGの活動について



About the activities of JASA RISC-V WG

## 《WGの活動方針》

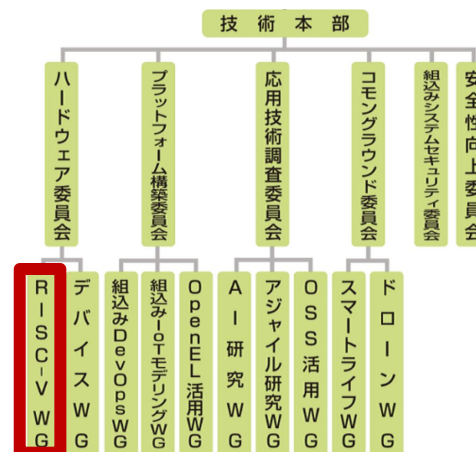
- ・オープンな仕様で会員が自由に活用できるRISC-Vプラットフォームを会員の協力で整備し、組込み分野でのRISC-V普及に努める
- ・関連団体とのコラボによりプラットフォームの応用範囲を広げる

## 《活動内容の項目》

- ◆ 月例WGの開催
- ◆ RISC-V著名人を講師にお迎えし、隔月でWebinarを開催
- ◆ 組込みに使えるRISC-Vプラットフォームの整備
- ◆ RISC-V関連団体との協創

## 《WGメンバ》

- ・委員：15社、3校、26名



# 3-1. JASA RISC-V WGの活動について



About the activities of JASA RISC-V WG

## 《WGの活動方針》

- ・オープンな仕様で会員が自由に活用できるRISC-Vプラットフォームを会員の協力で整備し、組込み分野でのRISC-V普及に努める
- ・関連団体とのコラボによりプラットフォームの応用範囲を広げる

## 《活動内容の項目》

- ◆ 月例WGの開催
- ◆ RISC-V著名人を講師にお迎えし、隔月でWebinarを開催
- ◆ 組込みに使えるRISC-Vプラットフォームの整備
- ◆ RISC-V関連団体との協創

# 3-2. RISC-V WG主催Webinar開催状況



RISC-V WG sponsored Webinar status

#	回次	日時	演題	講師
1	第6回	22/5/25	RISC-Vのセキュリティ技術	産総研/TRASIO 須崎 有康 氏
2	第7回	22/7/27	RISC-V版IchigoJamに込めた期待!	Jig.jp 福野 泰介 氏
3	第8回	22/9/21	社会インフラにおけるIoTシステムの状況とRISC-Vへの期待	ぷらっとホーム 鈴木 友康 氏
4	第9回	22/11/30	深圳のRISC-V事情	金沢大 秋田 純一 氏
5	第10回	23/1/25	オープンソースRISC-Vコア “mmRISC”シリーズ	圓山 宗智 氏
6	第11回	23/3/22	RISC-VやDARPA GoogleオープンロードはFPGA開発に何をもたらしたか	RISC-V協会 河崎 俊平 氏
7	第12回	23/5/31	AIチップ設計拠点 - 拠点におけるRISC-V利用例 -	東京大学 長谷川 淳 氏
8	第13回	23/10/25	AWSが提供するIoTデバイス向けサービス	AWS 市川 純 氏
9	第14回	23/11/29	組込みソフトウェアエンジニア向け、 超簡単RISC-VのFPGAでの試し方	DTSインサイト 妹尾 覚 氏
10	第15回	23/12/20	エフィニクス(Efinix) FPGAにRISC-Vを搭載し エッジコンピューティングを加速	エフィニクス 河端 麻紀子 氏
11	第16回	24/1/31 現在募集中	カスタムRISC-Vの勧めと脆弱性を半減する メモリセーフ技術CEHRI	Codasip 明石 貴昭 氏
12	第17回	24/3予定	TBD	ISHI会 今村 謙之 氏

# 3-3. JASA RISC-V WGの活動について



About the activities of JASA RISC-V WG

## 《WGの活動方針》

- ・オープンな仕様で会員が自由に活用できるRISC-Vプラットフォームを会員の協力で整備し、組込み分野でのRISC-V普及に努める
- ・関連団体とのコラボによりプラットフォームの応用範囲を広げる

## 《活動内容の項目》

- ◆ 月例WGの開催
- ◆ RISC-V著名人を講師にお迎えし、隔月でWebinarを開催
- ◆ 組込みに使えるRISC-Vプラットフォームの整備
- ◆ RISC-V関連団体との協創

# 3-4. FPGAベースの開発ロードマップ



FPGA Based Development schedule for recent 3 years

《22年までの3年間の活動》

2020年度	2021年度	2022年度
<ul style="list-style-type: none"><li>• Rocket ChipのFPGAへの実装</li><li>• ブートローダ開発</li><li>• Arduino環境移植</li></ul>	<ul style="list-style-type: none"><li>• VSCデバッグ環境構築</li></ul>	<ul style="list-style-type: none"><li>• 64ビット版RISC-VコアFPGA実装</li><li>• LINUXカーネル移植</li><li>• ブート環境</li></ul>

- 市販FPGAボード上でRISC-Vを開発できるプラットフォームを開発
- 初心者でも手軽に扱えるよう全体を一気通貫でドキュメント化
- 開発用、教育用プラットフォームとしてご活用いただくことを期待
- この3年間で32ビット組込み版と64ビットLINUX搭載版の2モデルを開発
- 22年度は産学連携で開発・整備
- 現在、22年度の成果物の利便性を高めるためサポートページを公開中

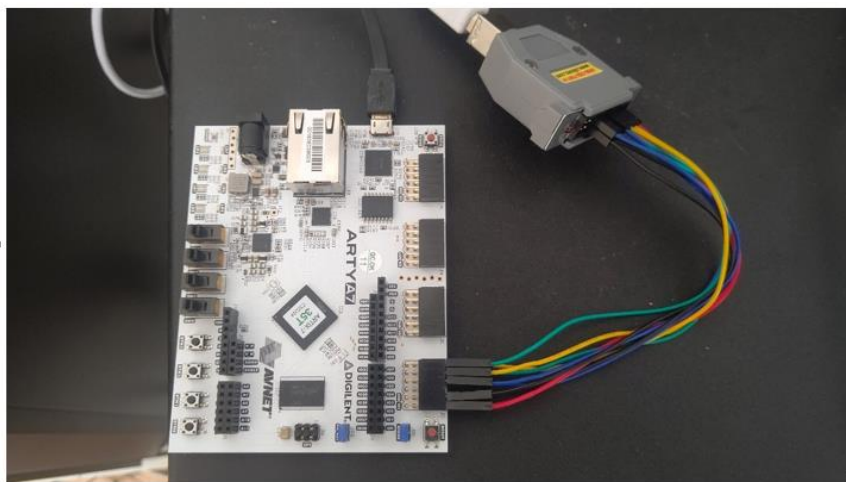
# 3-5. 活用できるプラットフォームの開発①



Development of usable platform

《32ビット/Arduino版》

2020年度	2021年度	2022年度
<ul style="list-style-type: none"><li>• Rocket ChipのFPGAへの実装</li><li>• ブートローダ開発</li><li>• Arduino環境移植</li></ul>	<ul style="list-style-type: none"><li>• VSCデバッグ環境構築</li></ul>	<ul style="list-style-type: none"><li>• 64ビット版RISC-VコアFPGA実装</li><li>• LINUXカーネル移植</li><li>• ブート環境</li></ul>



ARTY A7 35T

- 市販FPGAボードにRISC-Vコア実装 (32ビット版)
- ブートローダを開発
- Arduino IDE環境を移植
- VSCデバッグ環境をセットアップ

上記を手順通りやれば初心者でも実現できるように手順のドキュメントを作成

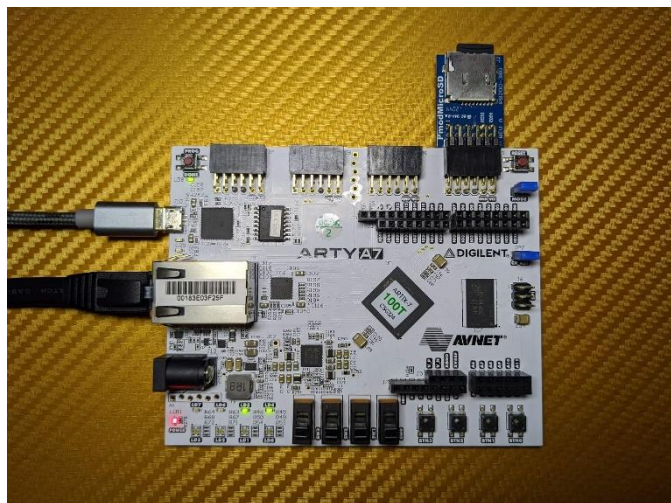
# 3-6. 活用できるプラットフォームの開発②



Development of usable platform

## 《64ビット/LINUX版》

2020年度	2021年度	2022年度
<ul style="list-style-type: none"><li>• Rocket ChipのFPGAへの実装</li><li>• ブートローダ開発</li><li>• Arduino環境移植</li></ul>	<ul style="list-style-type: none"><li>• VSCデバッグ環境構築</li></ul>	<ul style="list-style-type: none"><li>• 64ビット版RISC-VコアFPGA実装</li><li>• LINUXカーネル移植</li><li>• ブート環境</li></ul>



ARTY A7 100T

- 市販FPGAボードにRISC-Vコア実装 (64ビット版)
- LINUXが動作できる環境を構築
- 手順をまとめたWebコンテンツを制作

今年度は成果物を手軽に利活用できるよう、WGのページからリンクしたガイドを公開しました



# 3-7. 22年度の開発内容①



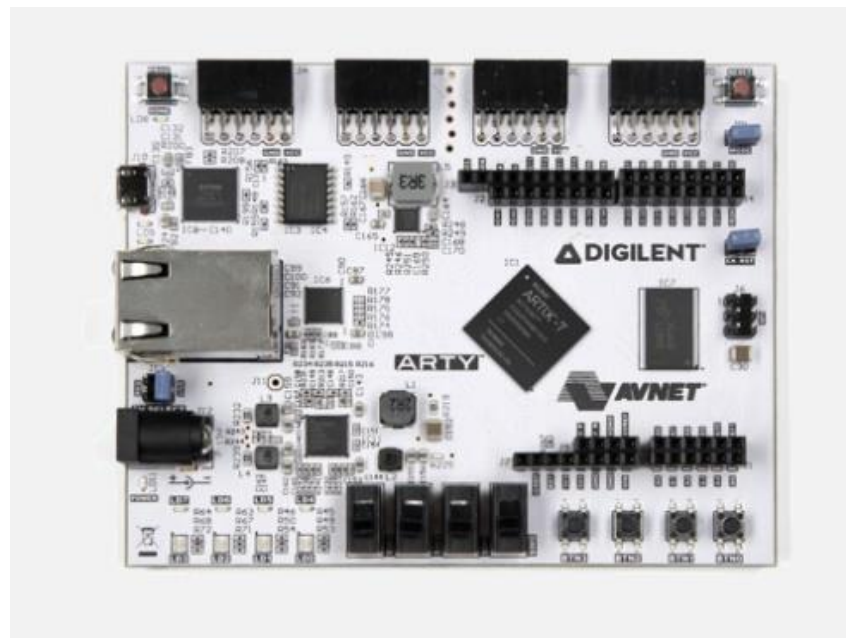
Development details for 2022

## ◆ 開発体制

東京農工大学 中條研究室  
との産学連携による、入手性が  
高く安価なArtix7搭載FPGA  
ボードへのRV64の実装

## ◆ ターゲットボード

ARTY A7 100T



## ◆ 22年度開発のねらい

- ・「初心者のサンプル」として学部1年生も担当
- ・RV64を実装し、OS（Linux）の動作例を収集
- ・各実装例の詳細なドキュメントの整備
- ・独自プロセッサ開発に向けた設計・実装プロセスの確立

# 3-8. 開発成果の活用にもむけて



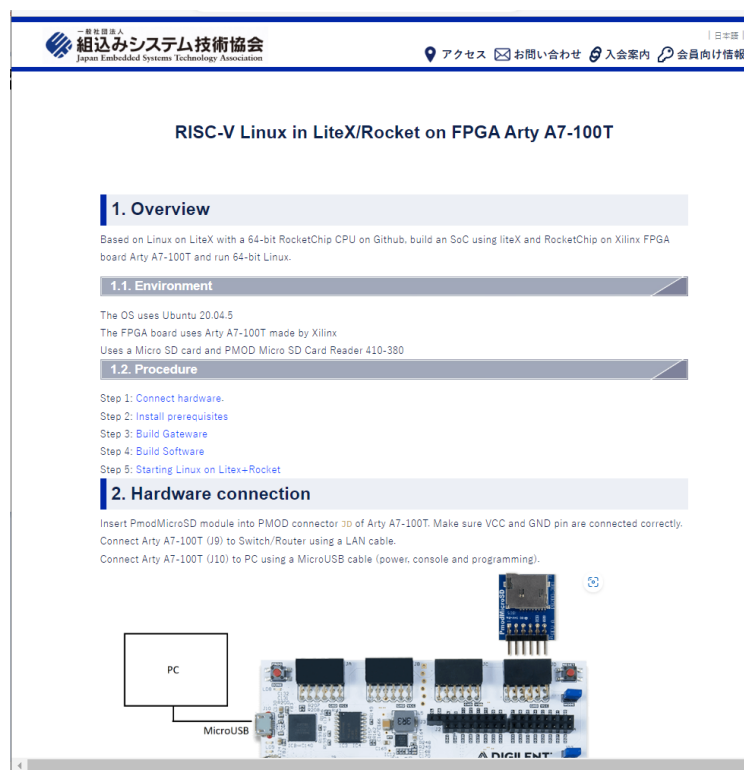
Feedback to JASA members

- ◆ 開発成果のJASA会員への還元
  - ・興味さえあればRISC-V, FPGA初心者でも作れるものをめざす  
→ 手順等をまとめたWebコンテンツを制作
  - ・動画を活用してわかりやすさを考慮
- ◆ グローバル化に対応
  - ・日本語版、英語版を用意
  - ・RISC-V WGページからリンク

<https://www.jasa.or.jp/tech/risc-vwg/>



- ◆ メンテナンス
  - ・プラットフォーム進化に対応したコンテンツ更新の予定 (HW, SW, ツール)



# 3-9. 今後のチップ開発計画[案]



Future chip development plan [draft]

## JASAチップ°1

RoT外付  
アナログ外付  
無線通信外付

## JASAチップ°2

RoT内蔵  
アナログ内蔵  
無線通信外付

## JASAチップ°3

RoT内蔵  
アナログ内蔵  
無線通信内蔵

デュアルRISC-V  
IoT管理チップ

デュアルRISC-V  
IoT管理チップ  
RoT含

IoT管理チップ  
RoT含  
無線通信含

2023-24  
eFabless 130nm

2026  
AiSol  
フラッシュ  
プロセス

2029  
AiSol  
フラッシュ  
プロセス

# 3-10. チップ開発後の整備計画[案]



Maintenance plan after chip development [draft]

## JASAチップ<sup>1</sup>

RoT外付

アナログ外付

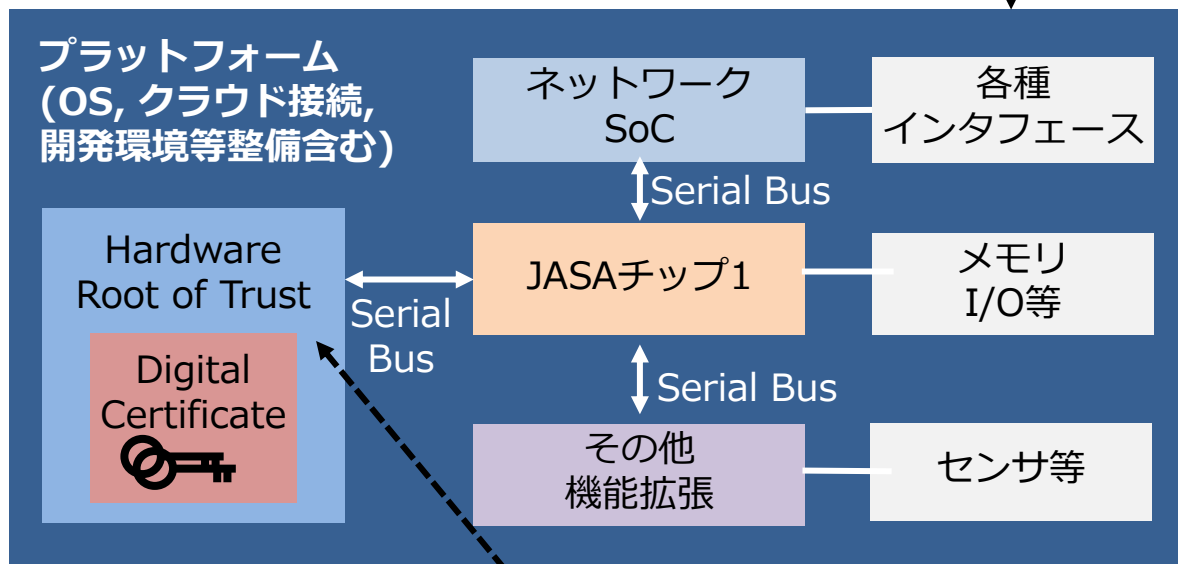
無線通信外付

デュアルRISC-V  
IoT管理チップ

2023-24

eFabless 130nm

- (1) プラットフォームの整備
- (2) 教育コンテンツの開発



今後の拡張を考慮

# 3-11. 開発予定のチップの機能概要



Functional overview of the chip to be developed

機能	内容
RISC-V CPU	RV32IMAC、M/S/U モード (Rocket)
命令キャッシュ	16 KiB (最大8 KiB を命令密統合メモリ (ITIM) に構成可)
データキャッシュ	8 KiB
汎用I/O GPIO	汎用入出力コントローラ
(Q)SPI QSPI0	(Q)SPI-フラッシュ インターフェイス (QSPI) (XIP サポート)
(Q)SPI QSPI1	(Q)SPI ペリフェラル インターフェイス (QSPI) (CS x2)
(Q)SPI QSPI2	(Q)SPI-PSRAM インターフェイス (QSPI) (XIP サポート)
シリアル UART0-4	ユニバーサル非同期レシーバー/トランスミッター (UART) x5
シリアル I2C0-1	集積回路間 (I2C) マスターインターフェイス x2
PWM0-2	パルス幅変調器 (PWM) (各 4x 16 ビット コンパレータ) x3
デバッグ	デバッグ機能、JTAG I/F

# 3-12. 開発予定のチップの特徴



Features of the chip to be developed

- ◆ 16KiBの命令キャッシュと8KiBの密結合型データRAM
- ◆ 外部RAMやフラッシュメモリをCPUメモリ空間にマップし、大きなROM, RAM実装を可能にした  
⇒フル仕様のFreeRTOSをコンパイルして動作させられる
- ◆ これに加えて無線スタック (WiFi, LoRa) も動かせる  
⇒一般に外付けメモリにコードやデータを置いて直接実行するとスピードが落ちるが、対応するための命令キャッシュやデータRAMを備える
- センシングやアクチュエーションは内部メモリで高速/低消費電力で実行
- 遠隔ソフトウェアアップグレードなどは外付メモリで低速に実行

# 3-13. これからの取り組み



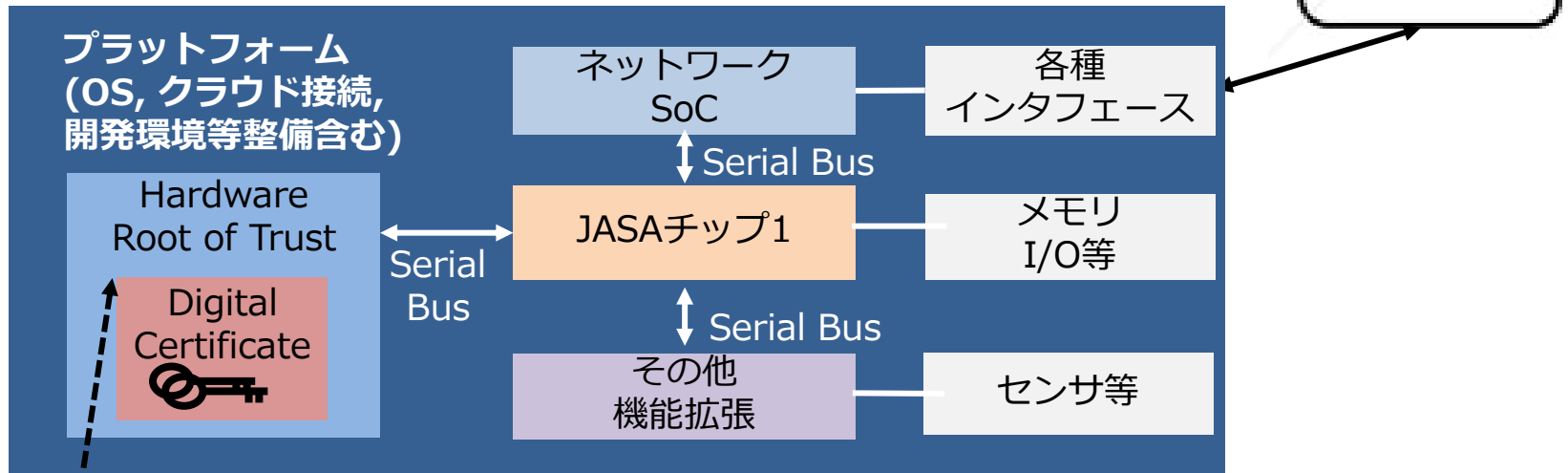
Future initiatives

## (1) プラットフォームの整備

- ・今年度仕込むJASA版 RISC-Vチップをベースに、**評価基板の作成**、**OSのポータリング**、**クラウドへの接続**、**開発環境**等のプラットフォームを整備する

## (2) 教育コンテンツの開発

- ・**チップ開発**から上記**プラットフォームの整備**までに興味を持つ産学の人財が1から取り組んで同等レベルのものを開発できるようになる  
Webベースの**教育コンテンツを開発して公開**する



今後の拡張を考慮

# 3-14. JASA RISC-V WGの活動について



About the activities of JASA RISC-V WG

## 《WGの活動方針》

- ・オープンな仕様で会員が自由に活用できるRISC-Vプラットフォームを会員の協力で整備し、組込み分野でのRISC-V普及に努める
- ・関連団体とのコラボによりプラットフォームの応用範囲を広げる

## 《活動内容の項目》

- ◆ 月例WGの開催
- ◆ RISC-V著名人を講師にお迎えし、隔月でWebinarを開催
- ◆ 組込みに使えるRISC-Vプラットフォームの整備
- ◆ RISC-V関連団体との協創



# 3-15. RISC-V関連団体との協創



Co-creation with RISC-V related organizations

## 《相互交流》

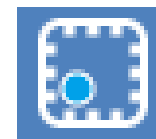
### (1) RISC-V協会

- ・RISC-V Days Tokyo 2022 Springで講演
- ・第11回WG主催WebセミナーでRISC-V協会代表理事が講演
- ・RISC-V Days Tokyo 2023 Summerで講演
- ・相互に賛助会員となり、EdgeTech+2023で共同展示
- ・今回



### (2) 産総研 AIチップ設計拠点(AIDC)

- ・AIDC 第44回 フォーラムで講演
- ・第12回RISC-V WG主催WebセミナーにてAIDCから講演



### (3) AIST Solutions

- ・現在、これからの協創について会話中





1. より緊密に
2. JASA RISC-V WGについて
3. RISC-V WGの活動の概要
- 4. まとめ**

## 4. まとめ

- ◆ RISC-V協会と相互に賛助会員となった
- ◆ JASAとRISC-V WGの位置づけを紹介
- ◆ RISC-V WGの活動を紹介
  - ・月例WG, 年6回のWG主催Webセミナーを実施
  - ・FPGAベースのRISC-Vプラットフォームを産学で開発し手順をRISC-V WGのページからリンク
  - ・今後SoCベースのプラットフォームを開発予定  
→手順をWebコンテンツとして公開する予定
- ◆ これからも関連団体と協創を推進

ご清聴ありがとうございました



RISC-Vプラットフォーム整備に向けて (r4)

2024/1/16 発行

発行者 一般社団法人 組込みシステム技術協会  
東京都 中央区 入船 1-5-11 弘報ビル5階  
TEL: 03(6372)0211 FAX: 03(6372)0212  
URL: <https://www.jasa.or.jp/>

本書の著作権は一般社団法人組込みシステム技術協会(以下、JASTA) が有します。  
JASTAの許可無く、本書の複製、再配布、譲渡、展示はできません。  
また本書の改変、翻案、翻訳の権利はJASTAが占有します。  
その他、JASTAが定めた著作権規程に準じます。