

# Imperas社の仮想プロトタイプ活用による RISC-Vソフトウェアの開発効率化

イーソルトリニティ株式会社  
取締役 田中 周三

# 目次

- 会社紹介：イーソルトリニティ、Imperas Software
- Imperas社のシミュレーション技術
  - ソフトウェア開発およびデバッグ環境
  - 解析機能：VAP (Verification, Analysis, Profiling)
- Imperas社のビジネスモデルとOVPについて
  - Imperas社の製品構成
- RISC-Vへの取り組み
  - RISC-Vシミュレーションモデル一覧
  - ソフトウェア開発環境としての活用
  - ハードウェア検証への適用例
  - カスタム命令への対応
- ユーザー事例紹介
  - NSITEXE様 TRASIOプロジェクト
- まとめ

# 会社紹介：イーソルトリニティ株式会社

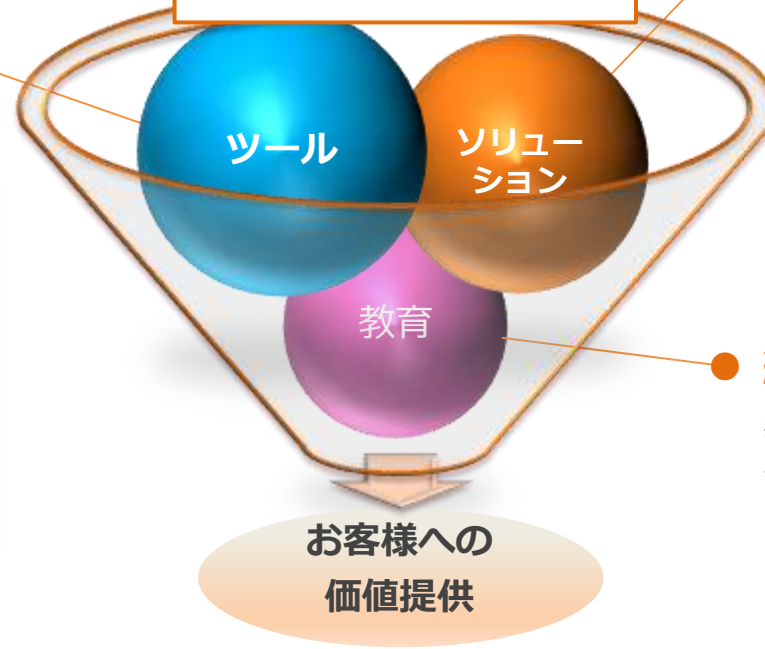
①ツール、②ソリューション、③エンジニア教育を三つの柱として提供し、自動車関連企業の車載機器開発を包括的に支援します。

## ● ツール活用に関するソリューション事業

開発プロセス管理、機能安全、モデルベース開発（MBD）支援、マルチ・メニーコア、テスト支援、ソフトウェア性能評価、仮想プラットフォーム



TRINITY = 三位一体



## ● 車載領域向けソリューション事業

品質の見える化、ソフトウェア再構築、ソフトウェア定石

## ● 組み込みシステム全般に関する教育事業

教育：組み込みソフトウェア基礎、車載システム関連、Linux、MBD等

### 基本情報

会社名：イーソルトリニティ株式会社  
(eSOL TRINITY Co.,Ltd.)

設立：2015年3月

資本金：10百万円



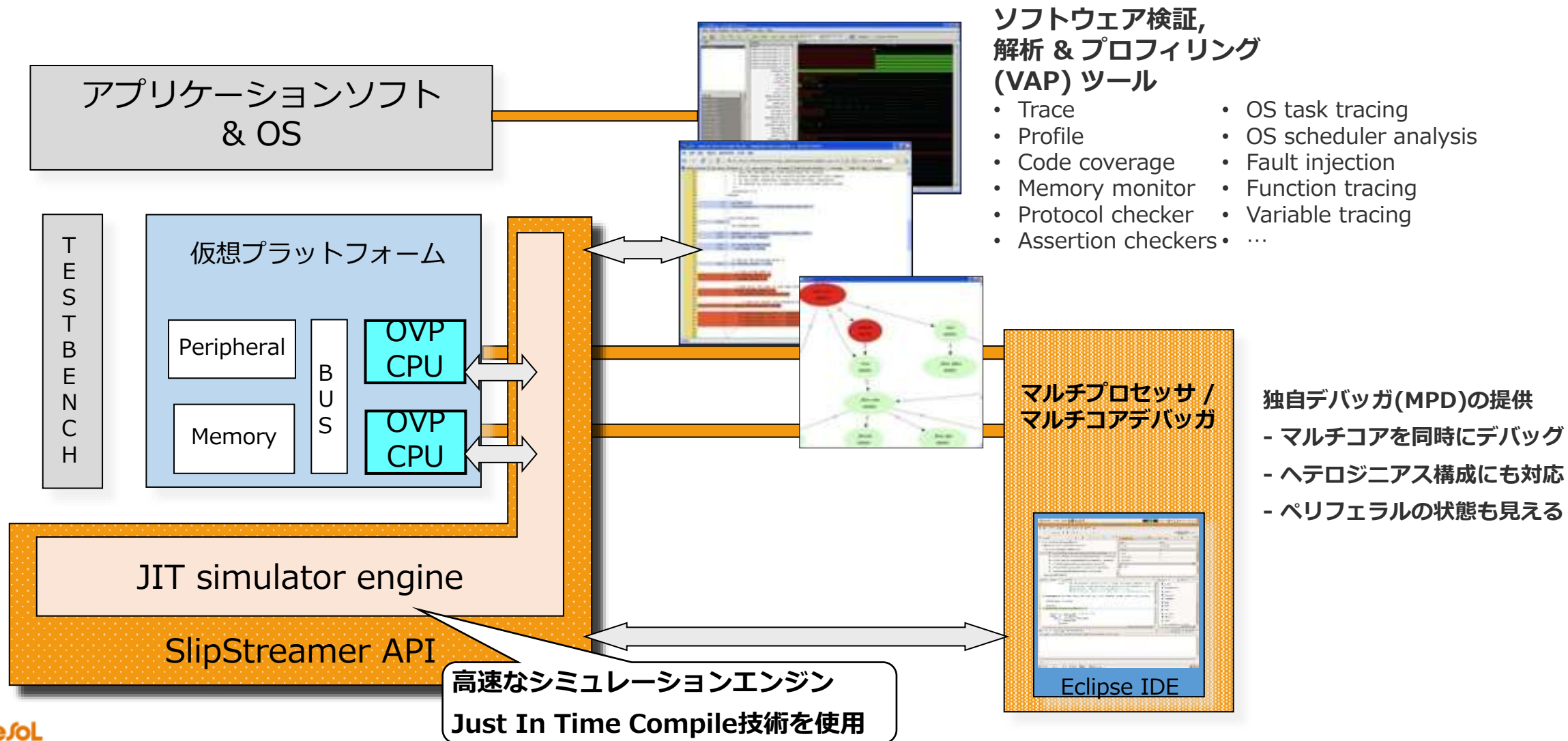
# 会社紹介：Imperas Software Ltd.

- 会社名：Imperas Software Ltd.
- 設立：2007年 本社は英国 Oxford
  - 資本は全てImperasのメンバーが出資
- CEO: Simon Davidmann
- バックグラウンド
  - エンジニアリングチームは、EDAツール、FPGA およびプロセッサIP開発の経験を持つ
- ビジネスフォーカス
  - ソフトウェアエンジニア向けのマルチコアシミュレーションツールを提供
  - 現在はRISC-VのシミュレーションおよびIP検証ツールの提供にフォーカス
  - RISC-V InternationalにStrategic Memberとして参加
  - Compliance Workingグループで活動

The logo for Imperas, featuring the word "imperas" in a blue, lowercase, sans-serif font. A small orange square is positioned above the letter "i".

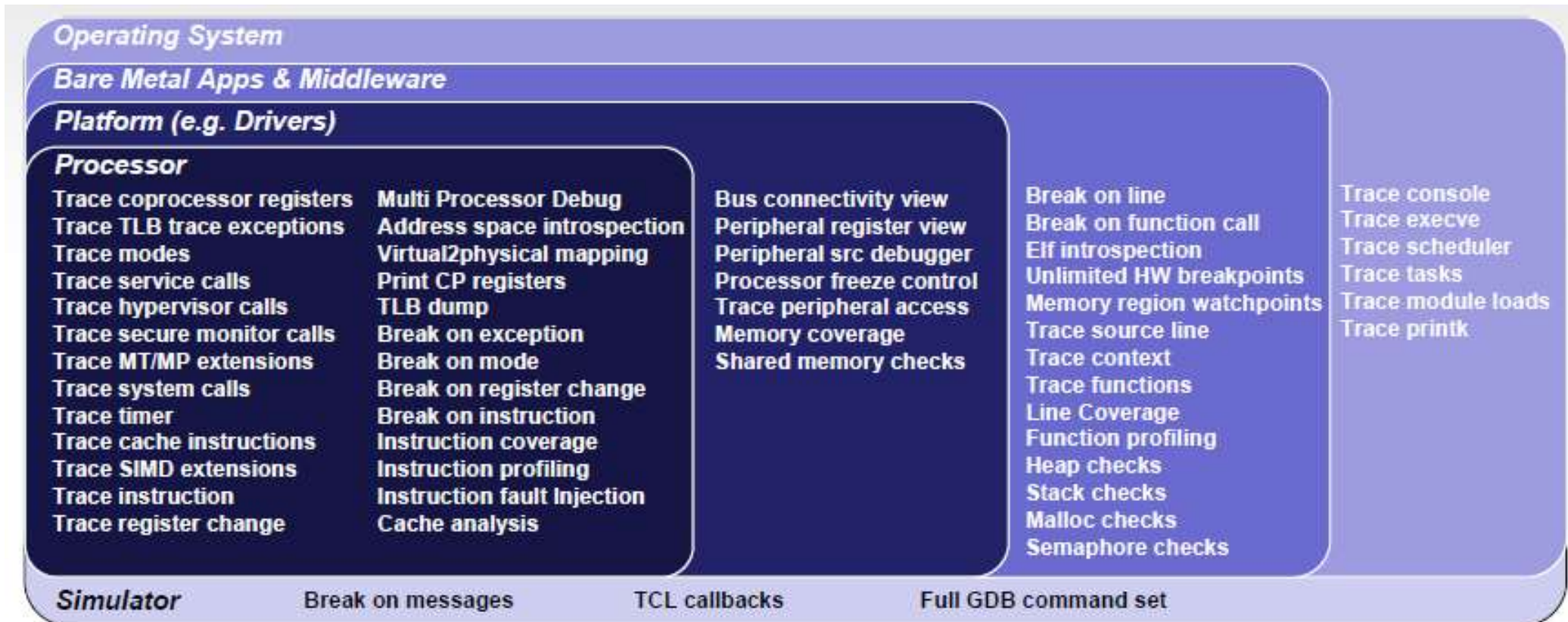
# Imperas社のシミュレーション技術

## ■ ソフトウェア開発およびデバッグ環境



# Imperas社のシミュレーション技術

- 解析機能：VAP (Verification, Analysis, Profiling)
  - シミュレータの特性を生かした強力なプロファイリング機能により、プロセッサレベルからOSレベルまでのプロファイリングを取得できます。
  - これにより、ソフトウェアおよびハードウェアの解析を容易に行う事が可能です。

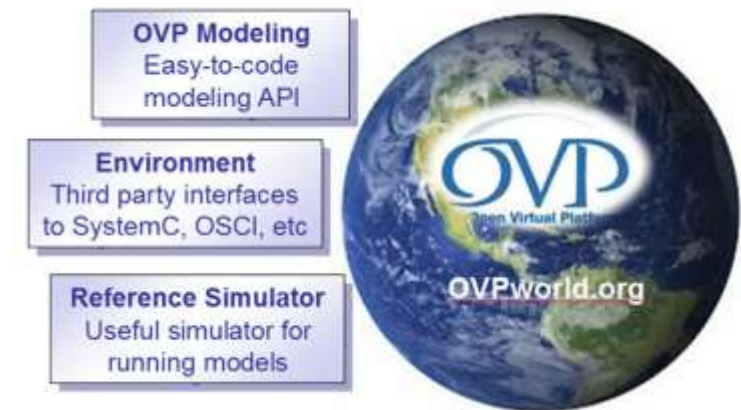


# Imperas社のビジネスモデルとOVPについて

**Imperas社のビジネスモデルはツールのライセンス販売であり、モデルは全て無償です。**

- CPUモデル、周辺モデルは [www.OVPworld.org](http://www.OVPworld.org) から無償でダウンロードできます。また、各モデルはオープンソース(Apache2.0 open source license)となっており、お客様でのカスタマイズが可能です。
  - モデリング用APIが公開されています。
  - OVPsimは商用利用以外では無償での利用が可能です。
- 主なモデル（200を超える高速CPUモデルおよび周辺モデル）
  - 全てのモデルはCおよびSystemC/TLM2のインタフェースを持っています。
  - **RISC-V :**
    - 汎用モデル : RV32/64 RV32/64 IMAFDCEVBHQP M/S/U privilege modes
    - プロセッサIPベンダモデル : Andes, Cudasip, MIPS, OpenHW, SiFive
  - Arm : for Armv4, v5, v6, v7 and v8 architectures
  - MIPS : microMIPS, MIPS32 and MIPS64 architectures
  - Renesas : RH850, V850 architectures; 16-bit microcontroller cores
  - Synopsys : ARC6xx, ARC7xx, EM families
  - Intel : Nios II
  - Xilinx : Microblaze

OVP : **O**pen **V**irtual **P**latform



# Imperas社の製品構成

Imperas Product Features	C*DEV	S*DEV	M*DEV	M*SDK
モデルライブラリ	無償			
iGen™ (モデル作成ツール)	✓	✓	✓	✓
シミュレーション機能	✓	✓	✓	✓
シングルコア				
ホモジニアス マルチコア				
ヘテロジニアス マルチコア		✓	✓	✓
VAPツール 検証, 解析, プロファイリング				✓

Imperas社のビジネスモデルはツールのライセンス販売であり、モデルは全て無償です。

高速並列シミュレーション Option	QuantumLeap™			
Fixed Platform Kit	FPKs			

iGen, QuantumLeap は、英国Imperas Software Ltd. の商標です。



# RISC-Vへの取り組み

# RISC-Vへの取り組み

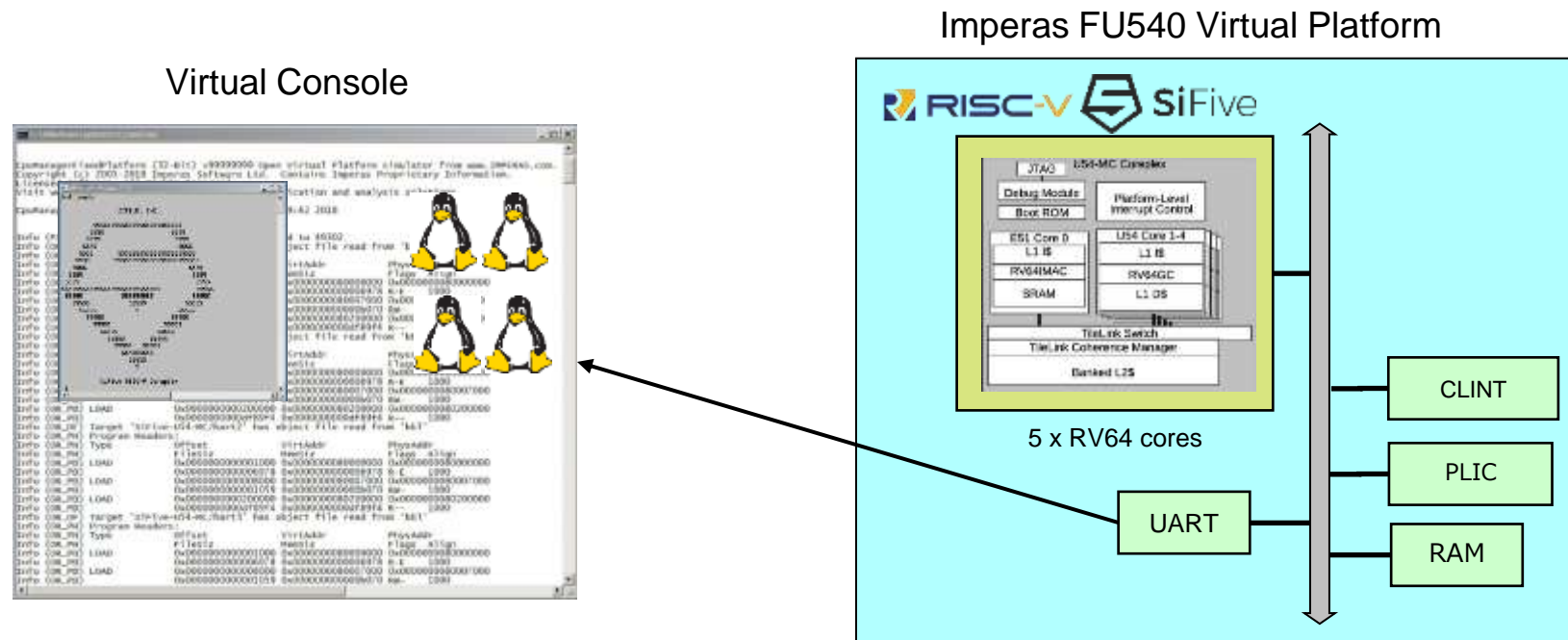
## ■ RISC-V シミュレーションモデル一覧

	モデル	説明
プロセッサモデル	RV32 G(IMAFD), E, C, B, H, K, N, P, V	
	RV64 G(IMAFD), C, B, H, K, N, P, V,	
プロセッサモデル	CORE-V	OpenHw Group
	Ibex_RV32	lowRISC
	A25, AX25, N25, NX25	Andes Technology社製CPUコア
	E2, E3, E5, E7, S2, S5, U5, U7	SiFive社製CPUコア
	MiV_RV32IMA CoreRISCV	Microsemi社製CPUコア
ペリフェラルモデル	CLINT, PLIC	
	Sifive-GPIO, Sifive-SPI, Sifive-UART	SiFive周辺モデル
	ATCUART100, NCEPLIC100, NCEPLMT100	Andes周辺モデル
	MicrosemiCoreUARTapb	Microsemi周辺モデル
プラットフォーム (SoC)	FU540 (E51 core x1 + U54 core x4)	SiFive FU540-C000 SoC module.
	S51CC (S51 core)	SiFive S51 (aka E51) Core Complex module
	virtio (RVB64I core)	Virtio System Platform to boot BusyBear-Linux
	RiscvRV32FreeRTOS (RV32IM core)	Example platform to boot FreeRTOS.

# RISC-Vへの取り組み ソフトウェア開発環境としての活用

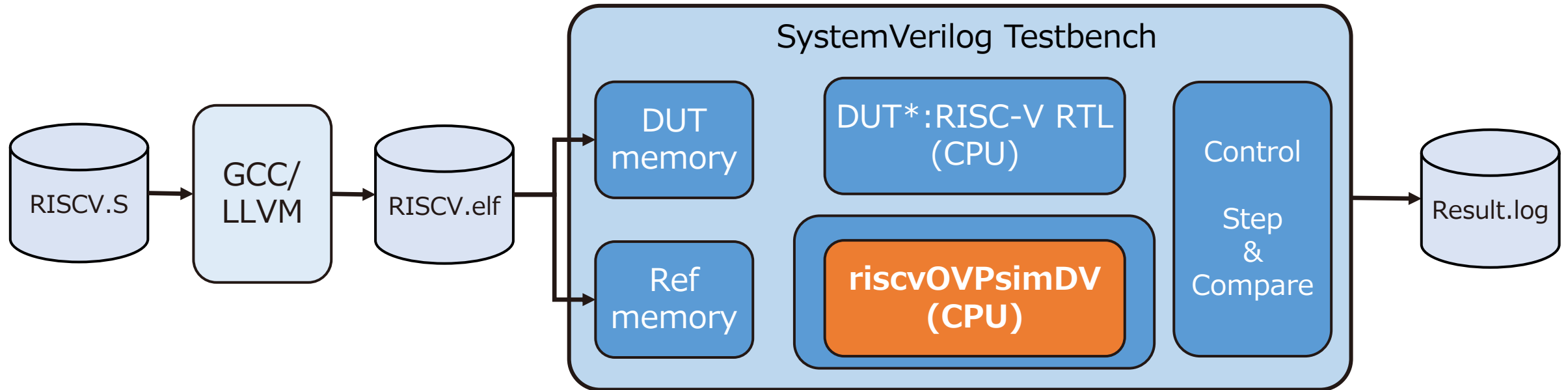
## ■ SiFive FU540仮想環境

- 高速。Linuxブートが約7秒で実現
- マルチコアデバッガ（ヘテロ構成マルチコアを同時にデバッグ可能）
- 高い再現性、決定論的に動作
- 容易にカスタマイズ可能



# RISC-Vへの取り組み ハードウェア検証への適用例

## ■ RISC-V RTL\*検証用のリファレンスモデルとしての利用

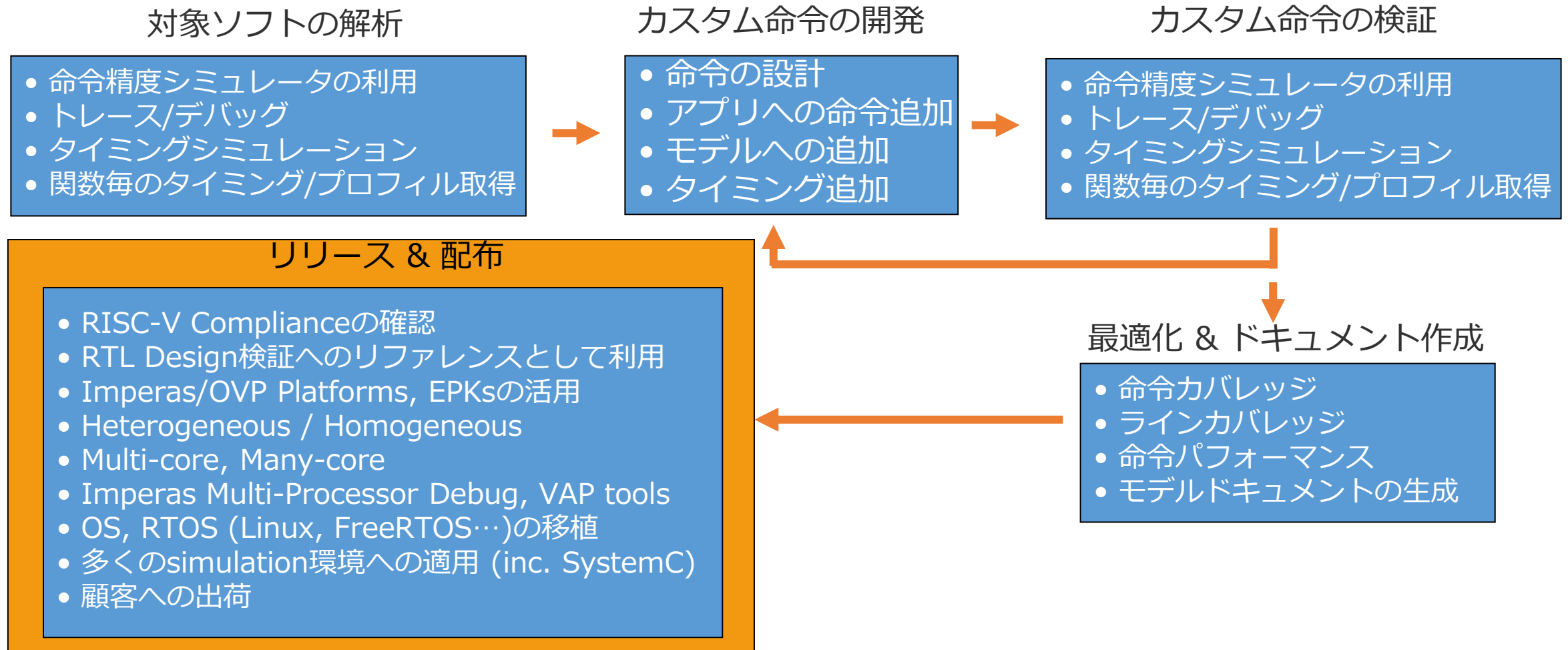


- riscvOVPsimDVをSystemVerilogモジュールとして組込む
- インタフェース信号：Reset, CLK, Address Bus, Data Bus, Interrupt, 他
- テストベンチはELFファイルを両方のメモリにロードし、両方のCPUにResetをかける
- 両方のCPUをステップ実行し、PCやレジスター値を比較し検証する

# RISC-Vへの取り組み カスタム命令への対応

## ■ カスタム命令の追加フロー

- 各フェーズにてImperas社のシミュレータを活用できます。



# ユーザー事例紹介

## NSITEXE様 TRASIOプロジェクト

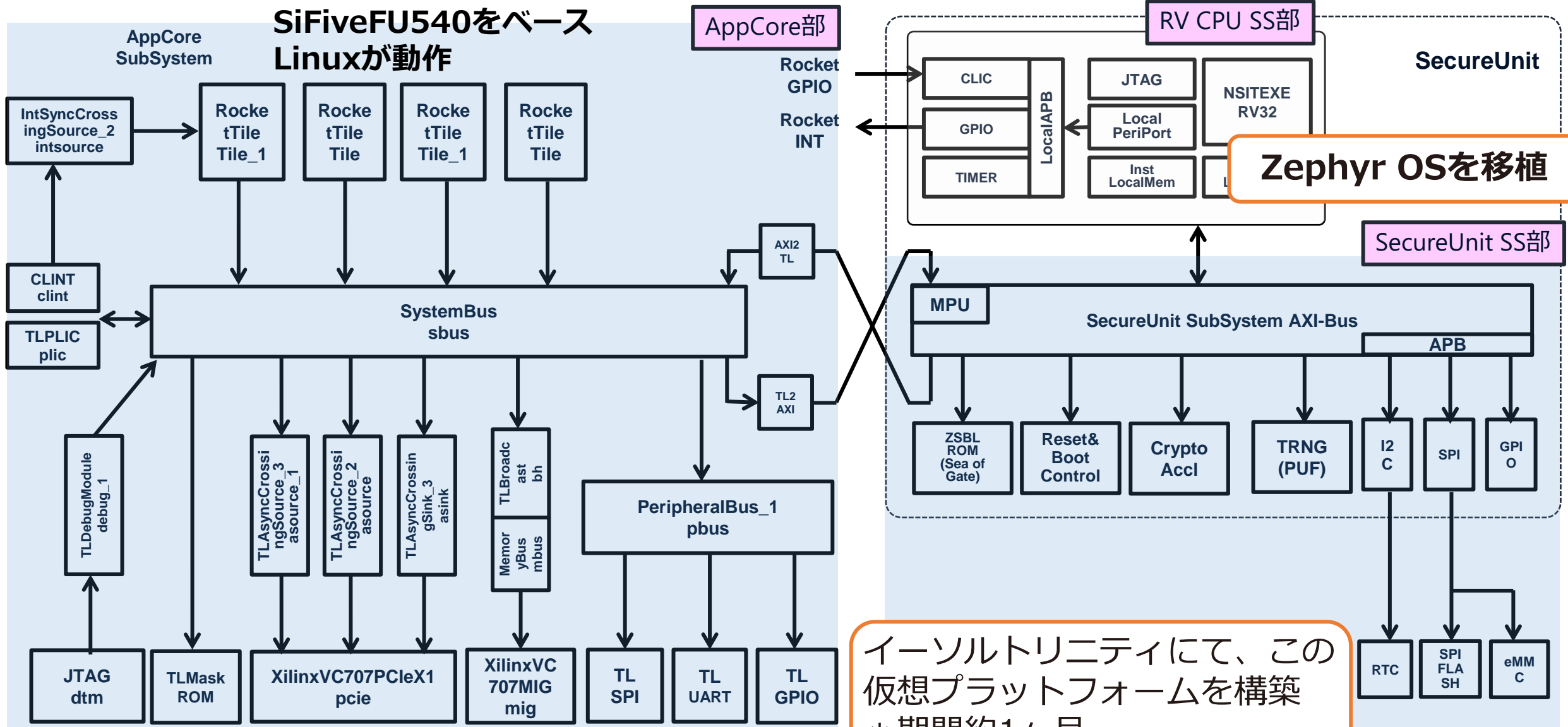
\* 弊社はオープンコミュニティ powered by TRASIOの賛助会員として、TRASIOの研究成果を利用しています。

\* この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務(JPNP16007)の結果得られたものです。

## ユーザー事例紹介：NSITEXE様 TRASIOプロジェクト

- セキュアオープンアーキテクチャ・エッジ基盤技術研究組合  
(TRASIO : Technology Research Association of Secure IoT Edge application based on RISC-V Open architecture) に参加されておりますNSITEXE社様にて、デバイスのシミュレーション環境に**Imperas社のシミュレータを採用**頂きました。
- NEDOプロジェクトにおけるTRASIOの具体的な活動内容
  - 半導体チップのセキュリティを検証可能とするため、RISC-Vオープンアーキテクチャを活用し、セキュリティのハードウェア・ソフトウェア基盤技術をホワイトボックス化する試験研究の実施
  - セキュリティ技術の協調領域として開発技術をオープンにし、AIエッジデバイスの実用化と普及の促進を図る

# Imperasツールでモデル化されたセキュアデバイスのブロック図



イーソルトリニティにて、この仮想プラットフォームを構築  
\* 期間約1ヶ月



# まとめ

## ■ 豊富なモデルライブラリ

- プロセッサモデルは200以上。RISC-Vを含め、多くのモデルはソースコードも提供。
- モデル単位のライセンスではないため、コアの組み合わせも自由。

## ■ 高速で拡張可能なシミュレーション基盤

- 整備されたフレームワークによって、ユーザ独自の拡張も容易。
- SystemCモデル（TLMレベル）へのエクスポートも可能。

## ■ ターゲット向けソフトウェア開発環境

- シミュレーション技術によって、不安定さがなく、観測性の良いデバッグ環境を提供。
- CI/CT環境へも最適。

## ■ リファレンスモデルとしてハードウェア検証環境への利用

- 実績のあるImperas製RISC-Vコアモデルを用いて、効率の良いRTL検証手法を実現。

**eSOL TRINITY**

<https://www.esol-trinity.co.jp/>

**お問い合わせ先**

Tel:03-5365-1037

e-mail: [inquiry@esol-trinity.co.jp](mailto:inquiry@esol-trinity.co.jp)

